

0 - Présentation du TP :

- Pré-requis : ⇒ Avoir suivi les TP
- TP_description_schéma_compteur-FPGA
 - TP_compteur_VHDL_virtual_instruments-FPGA
- Durée estimée : ⇒ 2 heures
- Objectif : ⇒ Implanter une fonction écrite en **VHDL** dans un **FPGA**.

A l'issue de ce TP vous serez capable d'implanter une fonction décrite en **VHDL** dans le **FPGA cyclone 3** sur la carte **Nanoboard**.
Vous serez aussi capable de visualiser et paramétrer les signaux entrants et sortants du FPGA.

Sommaire du TP :

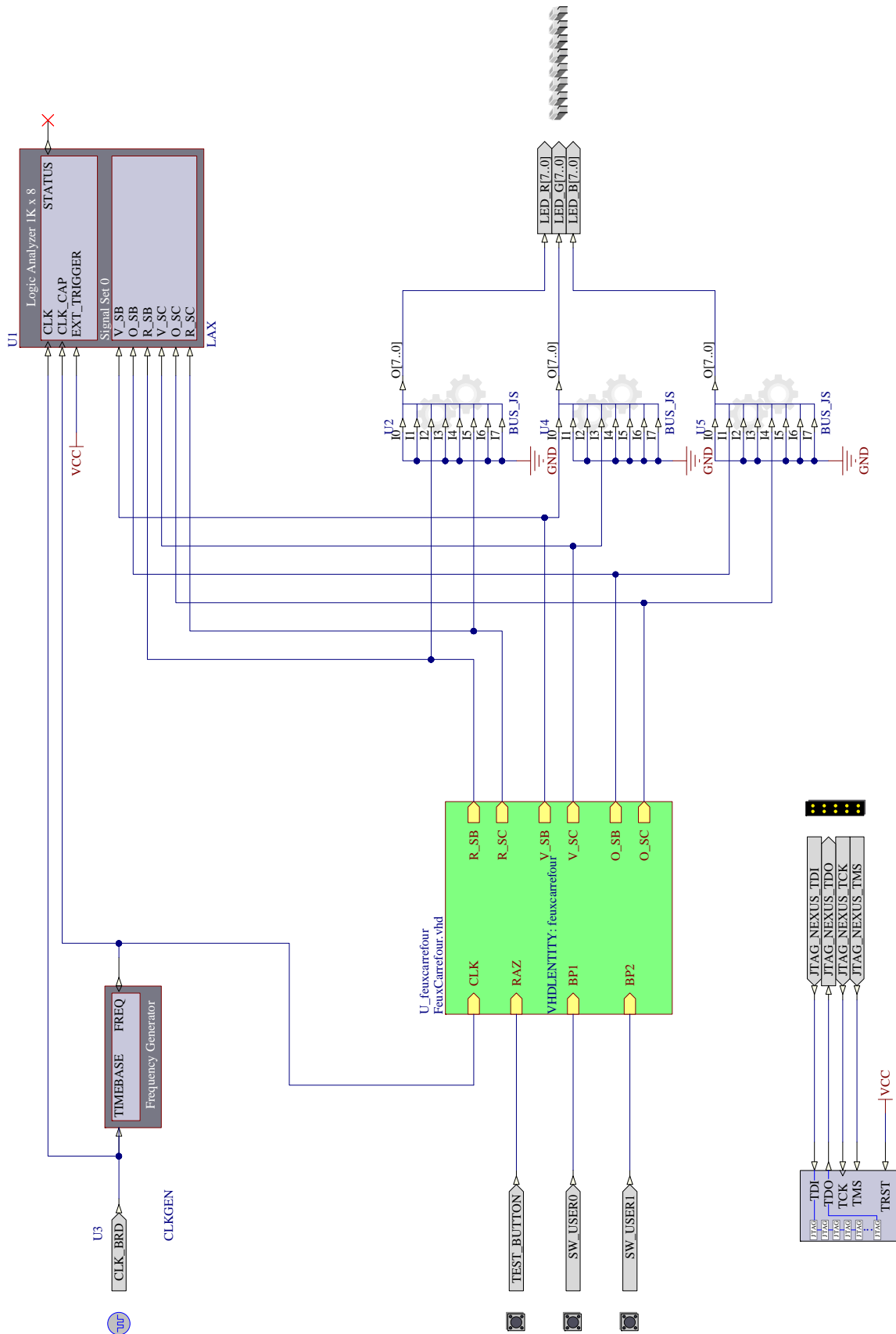
- 1 Créer un nouveau projet FPGA.
- 2 Ajouter au projet un fichier VHDL (ici une machine d'état).
- 3 Créer le « TOP » schéma, placer dans le schéma le symbole créé à partir du code VHDL.
- 4 Placer les ports d'entrée sortie du FPGA dans le schéma
- 5 Placer les instruments virtuels dans le schéma.
- 6 Définir les fichiers de contraintes.
- 7 Compiler, synthétiser, construire, programmer le FPGA.
- 8 Mettre en œuvre les instruments de mesure virtuels.

* Rappel : sous ALTIUM la feuille de schéma *.SchDoc est en haut du projet, c'est le « TOP LEVEL ».

* Version des logiciels utilisés :
Altium Designer Version 13.1.2 (build 27559)
Quartus II Web Edition 12.0 sp2
Aldec Active-HDL Student Edition ver 9.1

Contexte d'étude : **GESTION DE FEUX TRICOLORES**

Schéma à réaliser au cours du TP :



On se propose de gérer les feux tricolores du carrefour représenté ci-dessous

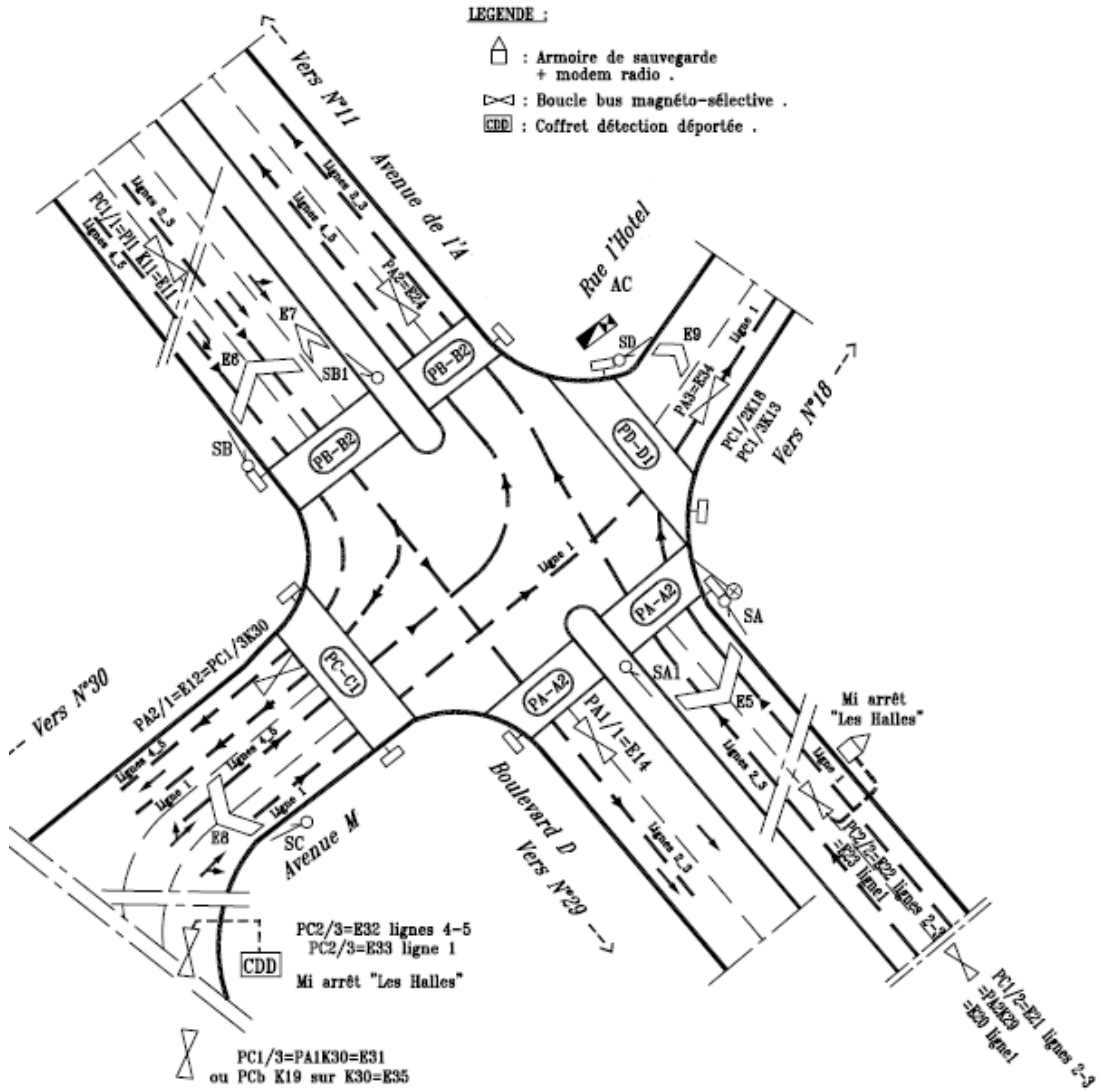
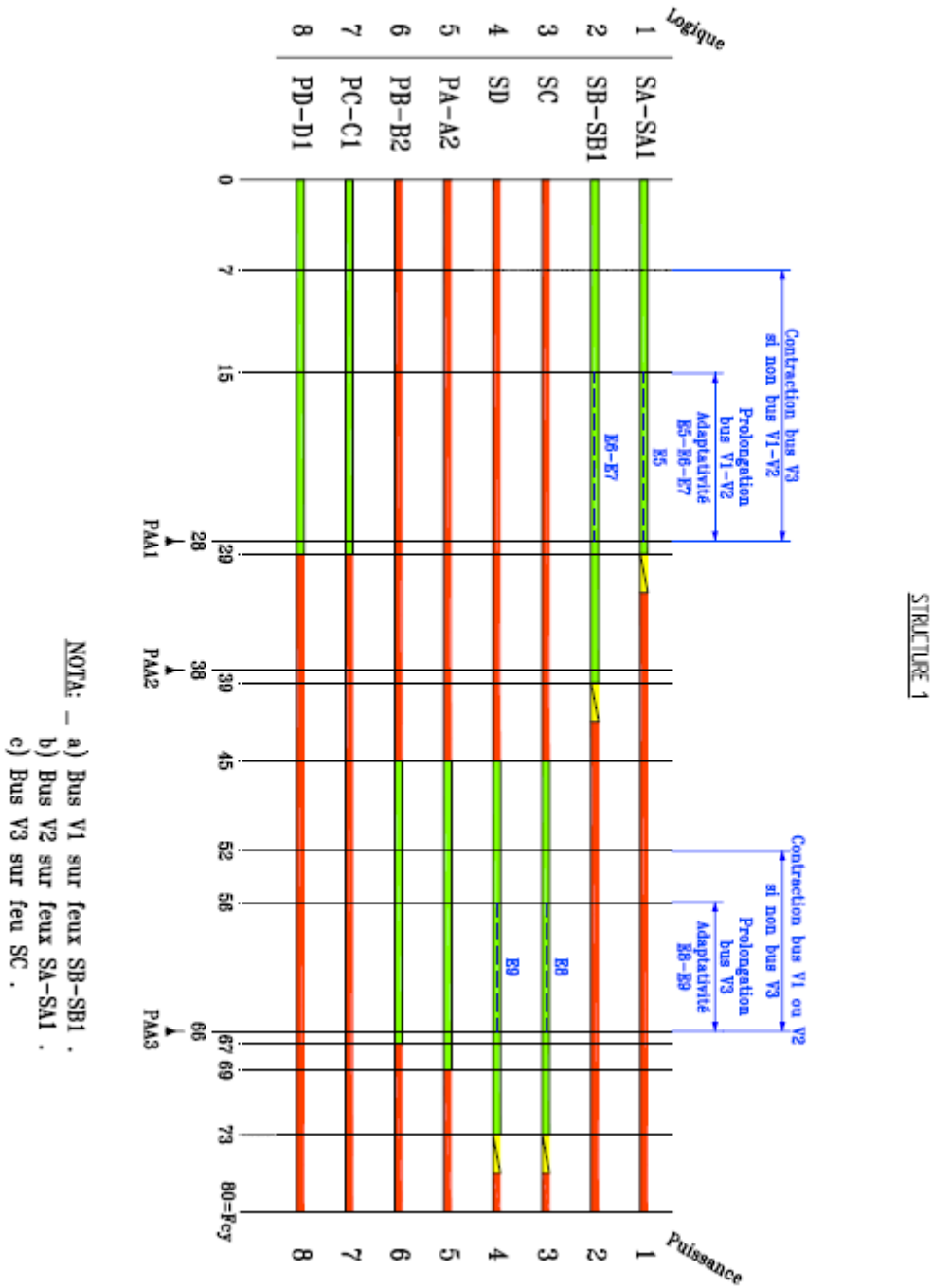


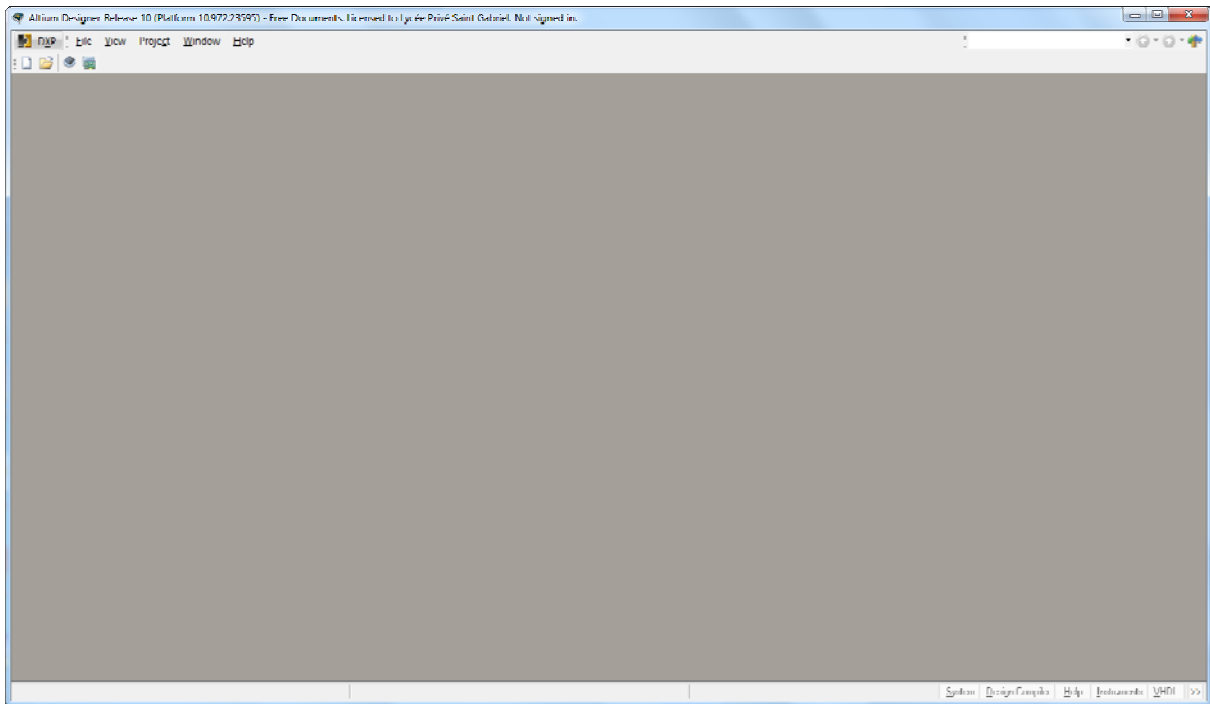
Diagramme de séquence du feu de carrefour



Le bouton poussoir SW_USER0 sur le schéma structurel permet de simuler le passage des bus des lignes 1&2.

1 Créer un nouveau projet FPGA.

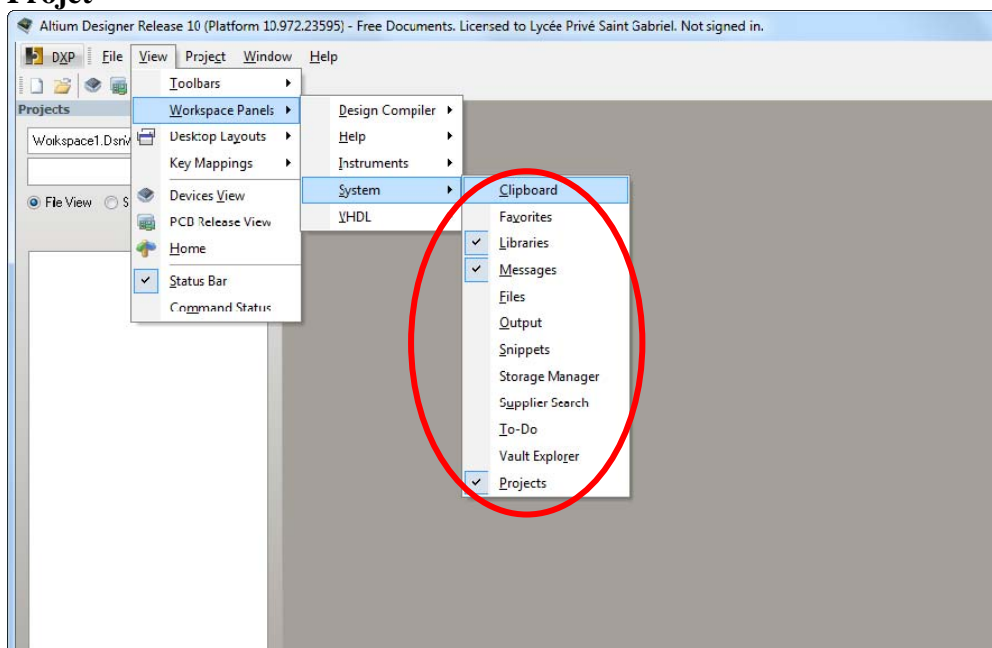
1.1 Repartir d'un environnement vide :



1.2 Ouvrir les fenêtres projet et messages :

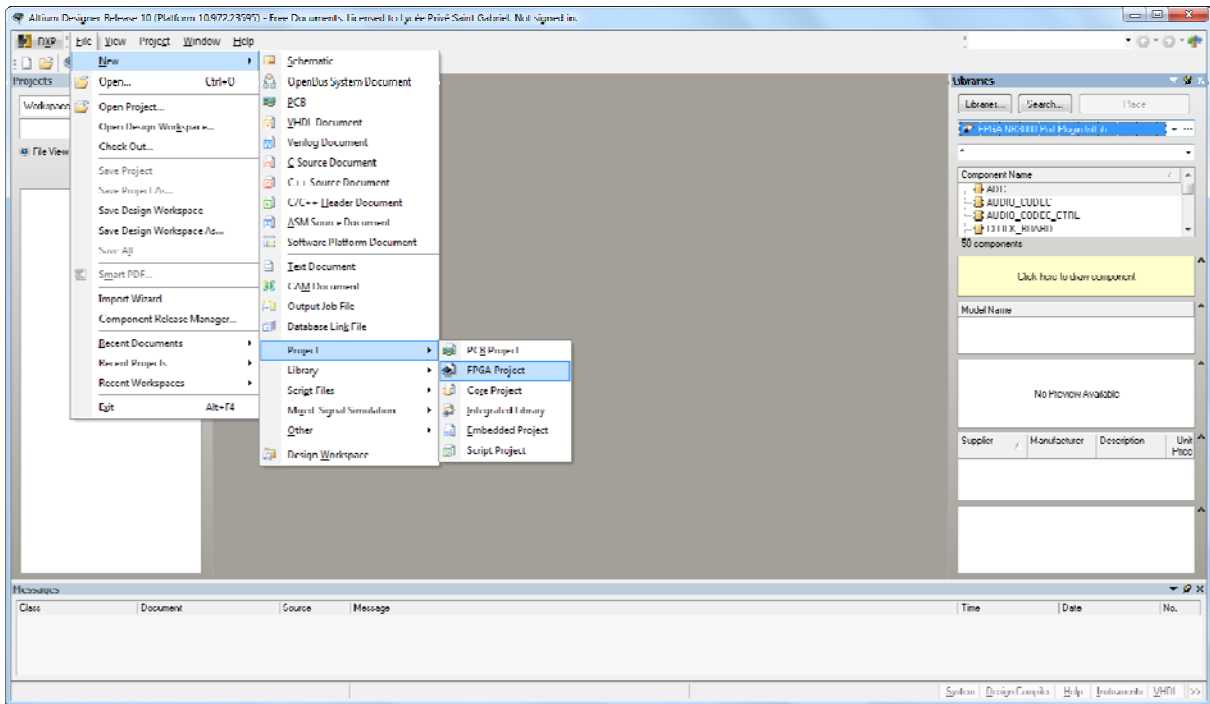
Paramétrer l'environnement de travail d'Altium Designer en utilisant la commande :

View >> Workspace Panels >> System, puis cocher les options **Libraries, Messages et Projet**

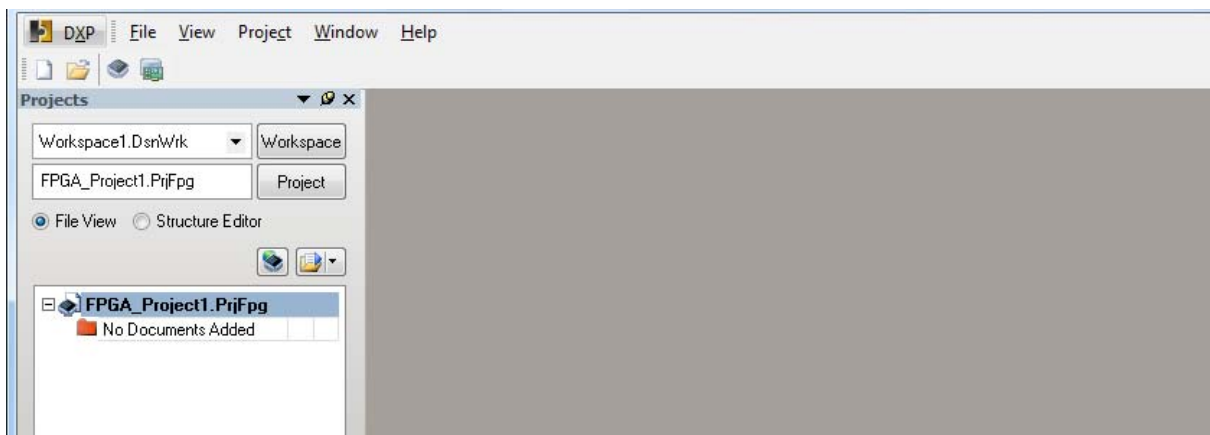


1.3 Créer et renommer le projet :

Créer un nouveau projet en utilisant la commande : **File >> New >> FPGA Project.**



Un projet nommé (*FPGA_Projet1.PrjFPGA*) apparaît dans l'onglet gestion de projet.

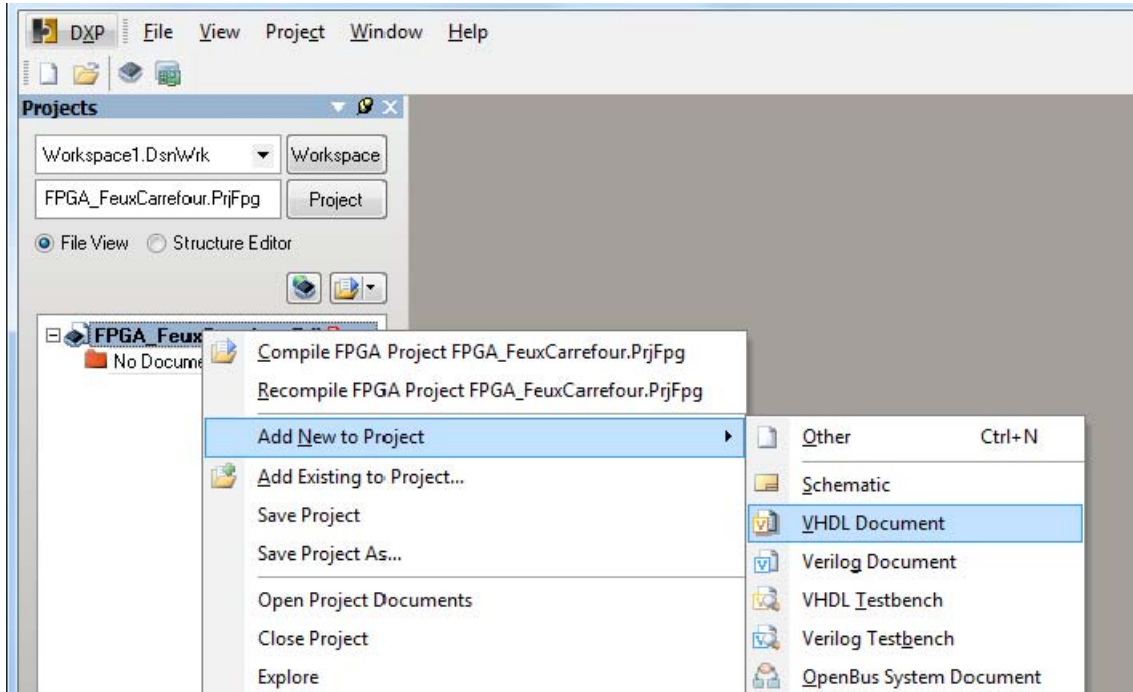


Clic droit sur le nom du nouveau projet (*FPGA_Projet1.PrjFpg*) dans l'onglet Projets et choisir la commande **Save Project as « FPGA_FeuxCarrefour.PrjFpg »** pour sauvegarder le projet dans le répertoire de travail **\TP3_FeuxCarrefour**.

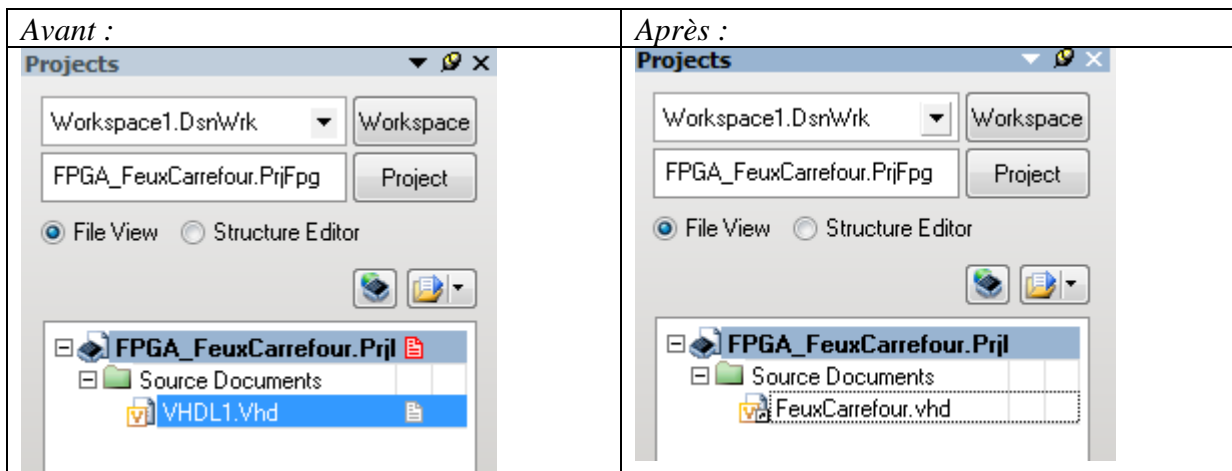
Remarque : Les caractères espace () et/ou tiret (-) ne doivent pas être utilisés dans les noms du projet ou des documents. Le caractère underscore (_) peut être utilisé pour améliorer la lisibilité.

2 Ajouter au projet un fichier VHDL (ici un compteur).

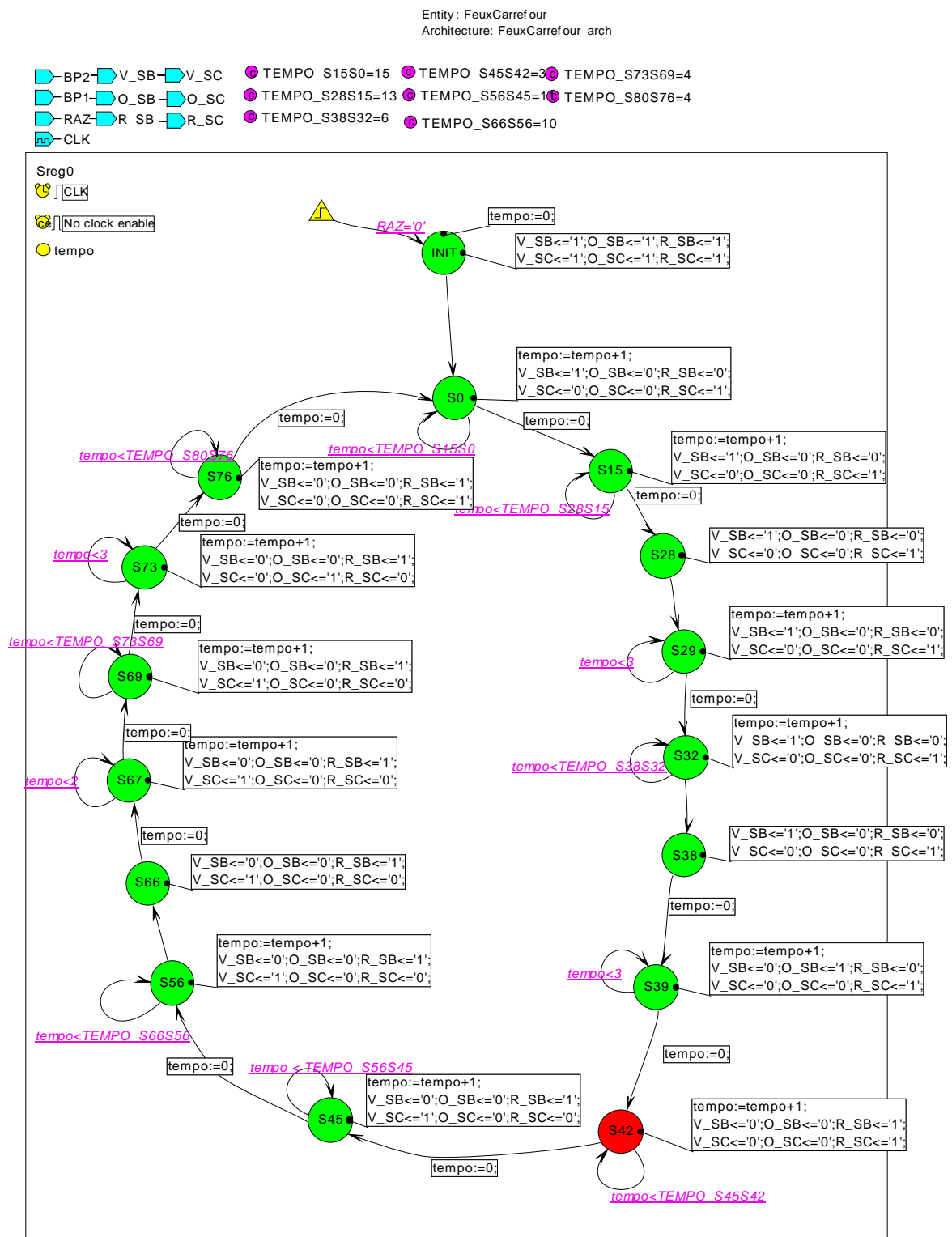
Ajouter un nouveau fichier VHDL par un *clic droit* sur le nom du projet FPGA dans l'onglet Projets et choisir la commande **Add New to Project>> VHDL Document**



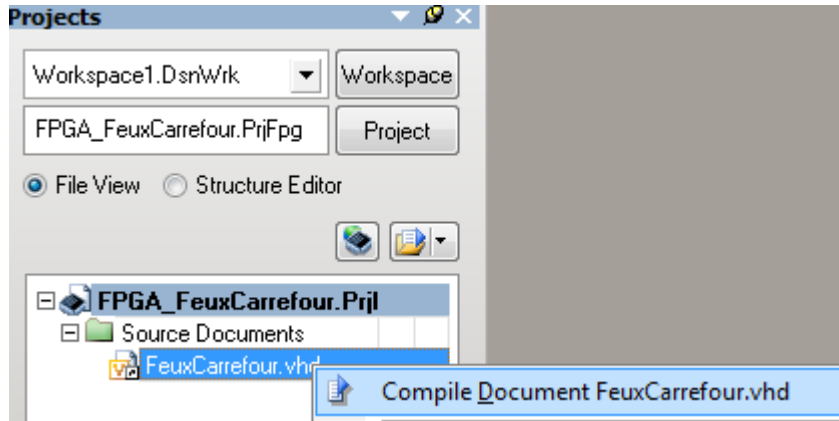
Clic droit sur le nom du nouveau fichier VHDL (*VDHL1.vhd*) dans l'onglet Projets et choisir la commande sauvegarder le document **Save As** avec le nom *FeuxCarrefour.vhd* dans le même dossier parents du projet **\TP3_FeuxCarrefour**.



Le fichier « FeuxCarrefour.vhdl » est vide, nous allons avec l'aide du logiciel **Aldec Active-HDL Student Edition** décrire le diagramme de séquence du feu de carrefour avec une machine d'état :



Editer le fichier « FeuxCarrefour.vhdl » à partir du code donné le logiciel **Aldec Active-HDL Student Edition** puis compiler le fichier vhdl par un *clik droit* sur le nom du fichier VHDL « *FeuxCarrefour.vhd* » dans l'onglet Projets , puis choisir la commande **Compile FPGAProject** « **FPGA_FeuxCarrefour.PrjFpg** ».

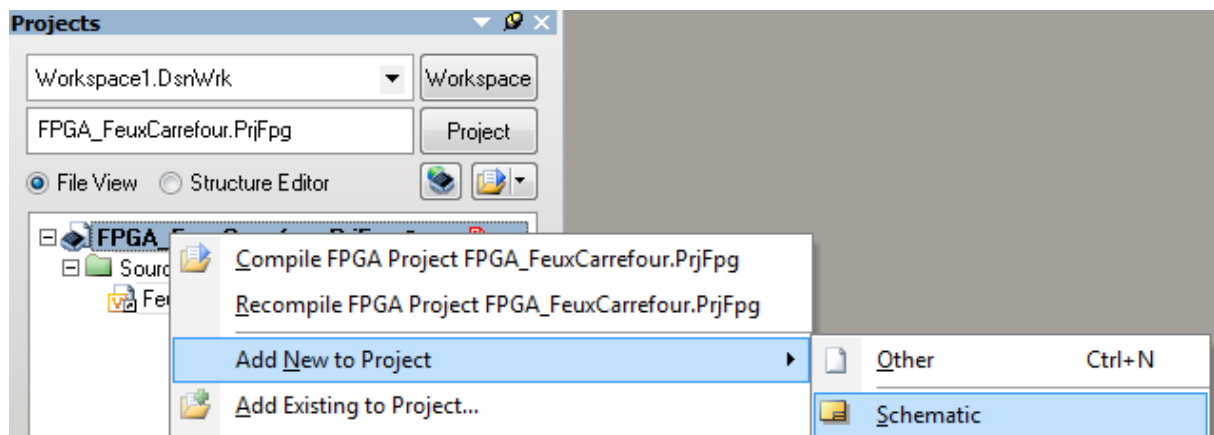


3 Créer le TOP schéma, placer dans le schéma le symbole créé à partir du code VHDL.

3.1 Création du fichier schéma en tête du projet FPGA :

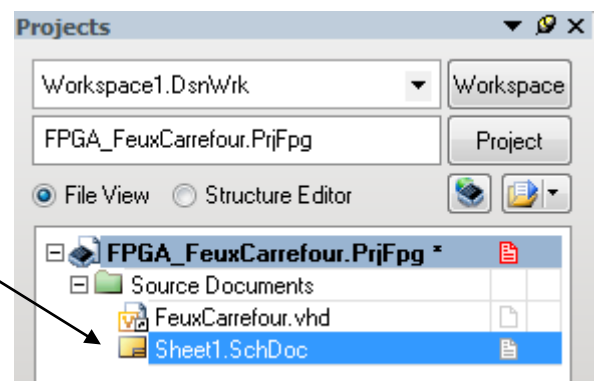
=> Ajouter un nouveau schéma :

Clic droit sur le nom du projet FPGA dans l'onglet Projets et choisir la commande **Add New to Project >> Schematic**.

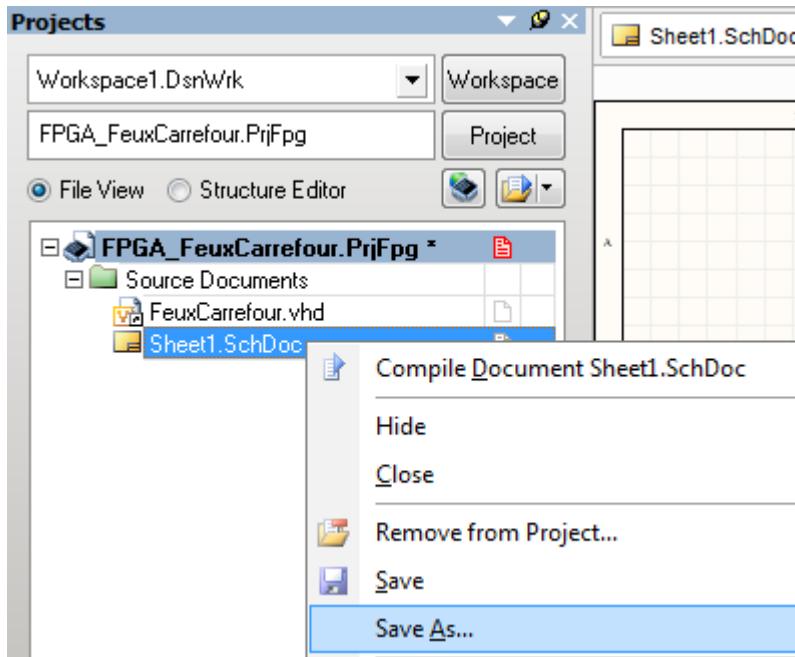


Remarque :

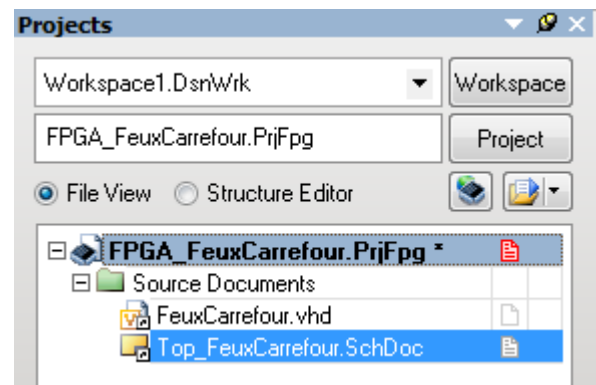
A ce stade le schéma Sheet1.SchDoc est hiérarchiquement sous le fichier VHDL.



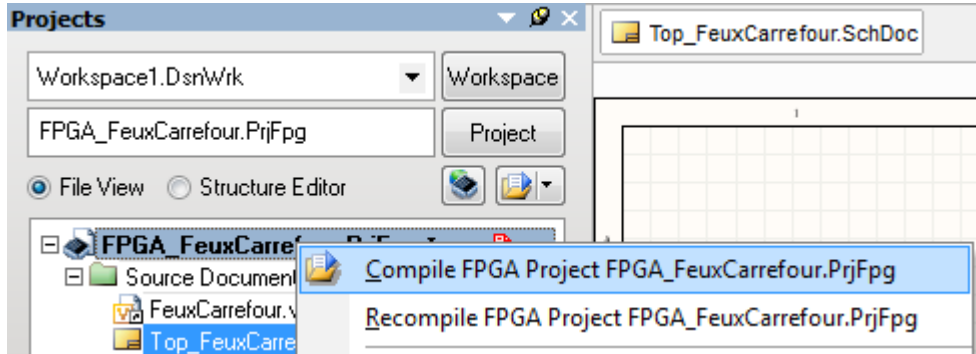
Clic droit sur le nom du nouveau schéma (*Sheet1.SchDoc*) dans l'onglet Projets et choisir la commande sauvegarder le document **Save As** avec le nom *Top_FeuxCarrefour.SchDoc* dans le même dossier parents du projet **\TP3_FeuxCarrefour**.



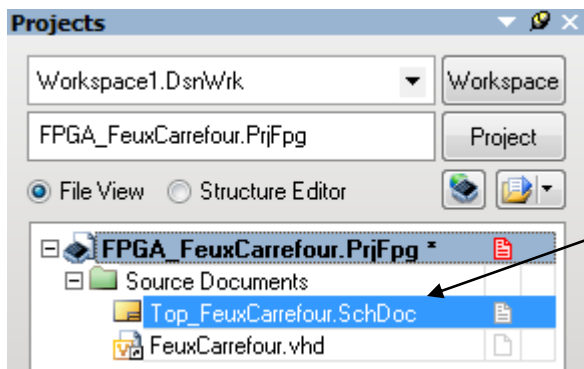
=> Ce que l'on doit obtenir :



Compiler le projet par un *clic droit* sur le nom du projet « *FPGA_FeuxCarrefour.PrjFpg* » dans l'onglet Projets et choisir la commande **Compile FPGAProject FPGA_FeuxCarrefour.PrjFpg**.



=> Ce que l'on doit obtenir :



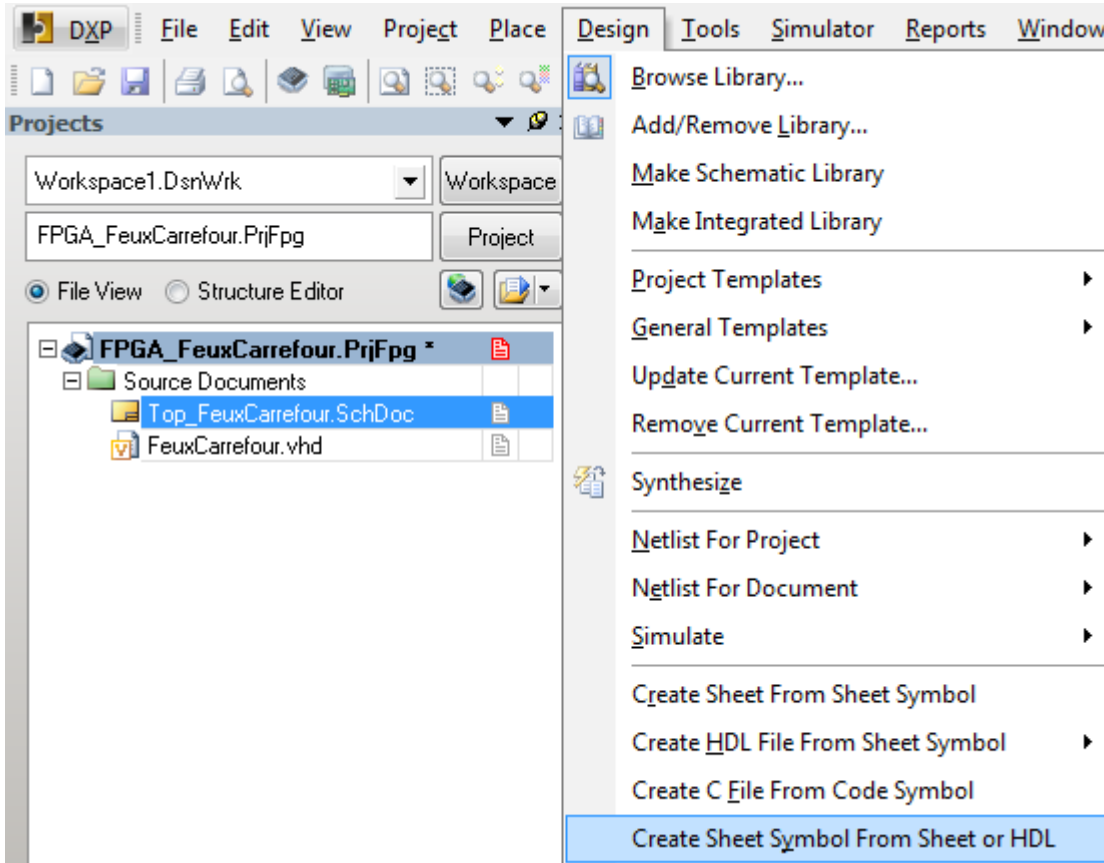
Remarque :
Suite à la compilation du projet FPGA le schéma est remplacé en tête du projet.

=> Dans la zone message doit apparaître le résultat de la compilation :
Si la compilation n'est pas réussie corriger votre code VHDL.

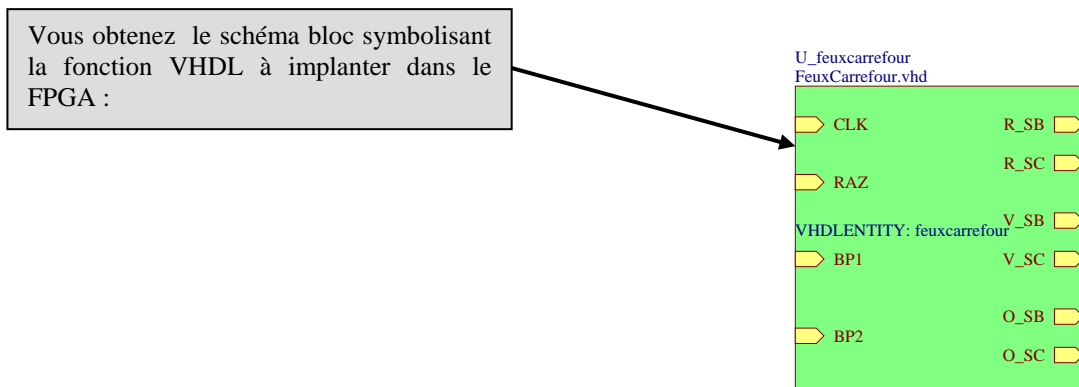
Class	Document	Source	Message
[Info]	FPGA_FeuxCarrefour.PrjFpg	Compiler	Compile successful, no errors found.

3.2 Placer dans le schéma le symbole créé à partir du code VHDL :

Clic sur le nom du schéma « *Top_FeuxCarrefour.SchDoc* », puis dans la barre de menu choisir la commande **Design >> Create Sheet Symbol From Sheet or HDL**



Dans la fenêtre qui apparaît, choisir le fichier « *Feux_Carrefour.vhd* » puis cliquer sur OK



Pour passer à une feuille de travail au format A4 vers A3, aller dans la barre de menu, choisir la commande **Design >> Documents Options** puis choisir A3.

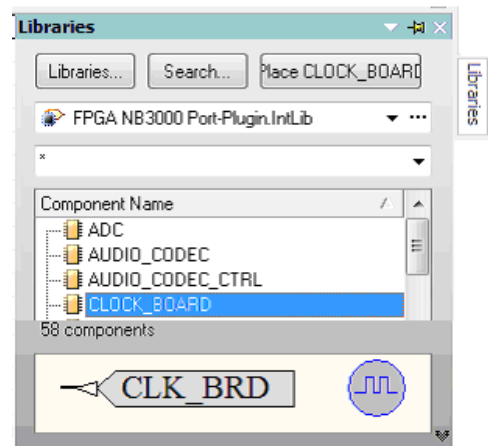
4 Placer les ports d'entrée sortie du FPGA dans le schéma :

⇒ Placer dans le schéma les éléments suivants :

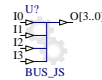
Description	Nom de la fonction	bibliothèque
Test / Reset Button	TEST_BUTTON	FPGA NB3000 Port-Plugin.IntLib
Bouton utilisateur 0	USER_BUTTON0	FPGA NB3000 Port-Plugin.IntLib
Bouton utilisateur 1	USER_BUTTON1	FPGA NB3000 Port-Plugin.IntLib
Commande du Barre-graphe 8 LED 3 couleurs	LEDS_RGB	FPGA NB3000 Port-Plugin.IntLib
Entrée de l'horloge paramétrable	CLOCK_BOARD	FPGA NB3000 Port-Plugin.IntLib
Bus générique configurable	BUS_JS	FPGA Configurable Generic.IntLib

Pour placer un nouveau composant :

- ⇒ cliquez sur **Librairies** sur le bord droit de l'écran
- ⇒ Sélectionnez la bibliothèque du composant
- ⇒ Sélectionnez le composant
- ⇒ Placez le composant

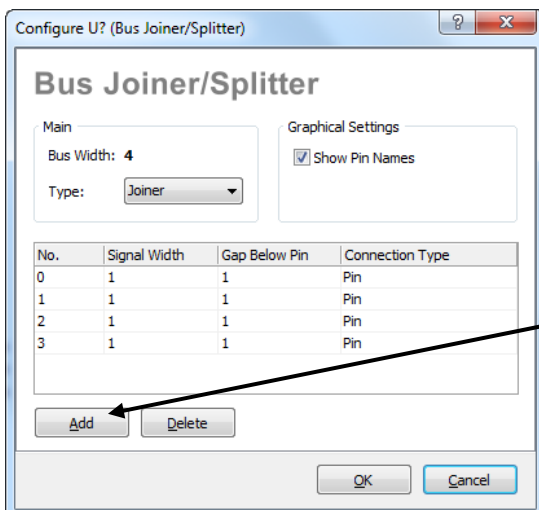


Pour accéder à la fonction paramétrage du bus générique :



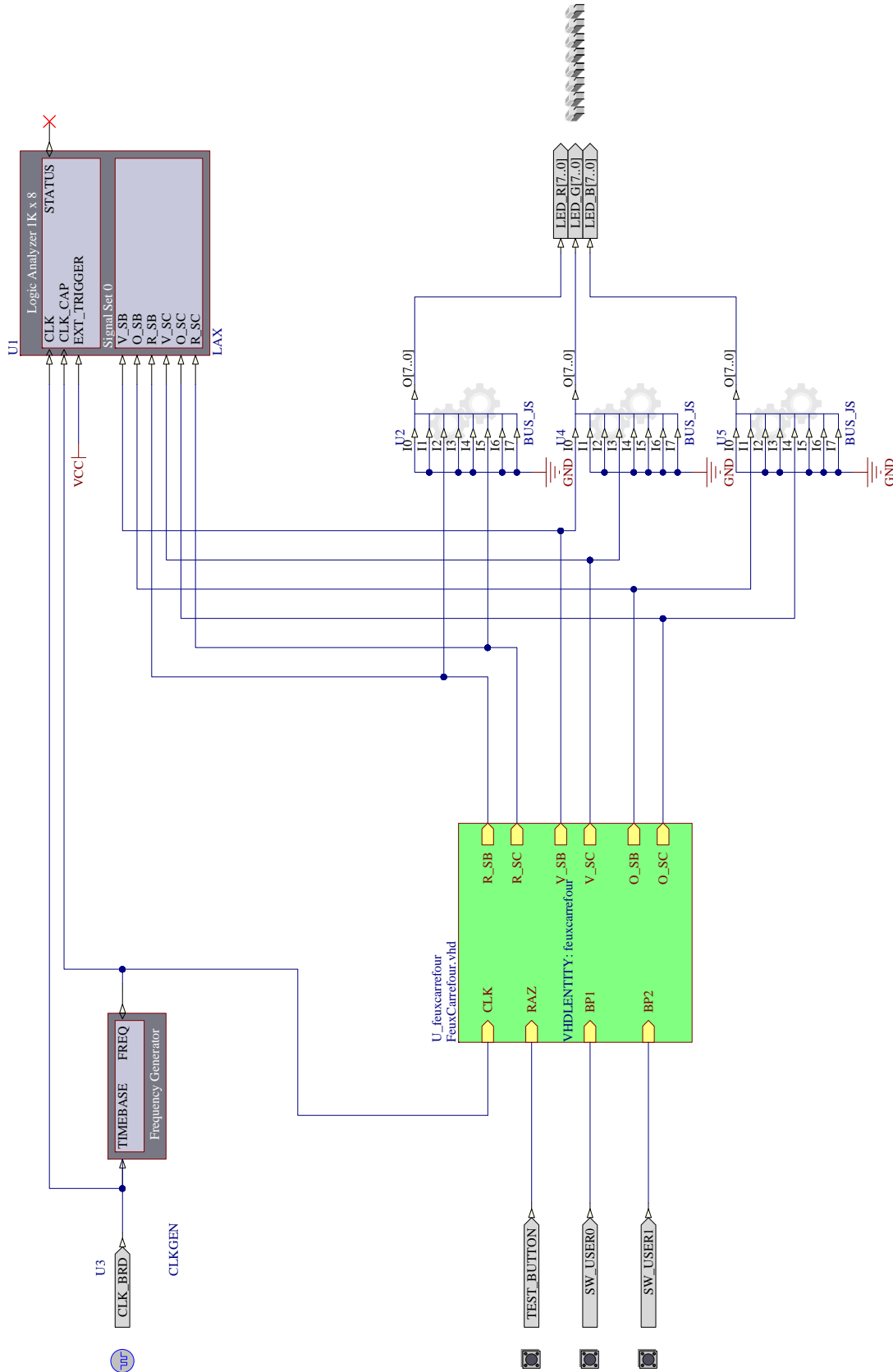
Clic bouton droit de la souris sur le composant s'ouvre la commande **Configure**

et puis choisir dans l'onglet qui



Cliquer sur le bouton ADD pour ajouter les 4 fils supplémentaires au bus

⇒ Nous pouvons donc saisir le schéma ci-dessous :



A ce stade du projet :

Nous pourrions, après ajout des fichiers contraintes, compiler, synthétiser, construire, et programmer le FPGA, puis lancer le programme.

Il serait à même d'être exécuté sur la Nanoboard 3000.

Nous n'aurions toutefois pas d'outils nous permettant de contrôler la validité de notre programme et d'analyser le fonctionnement du FPGA.

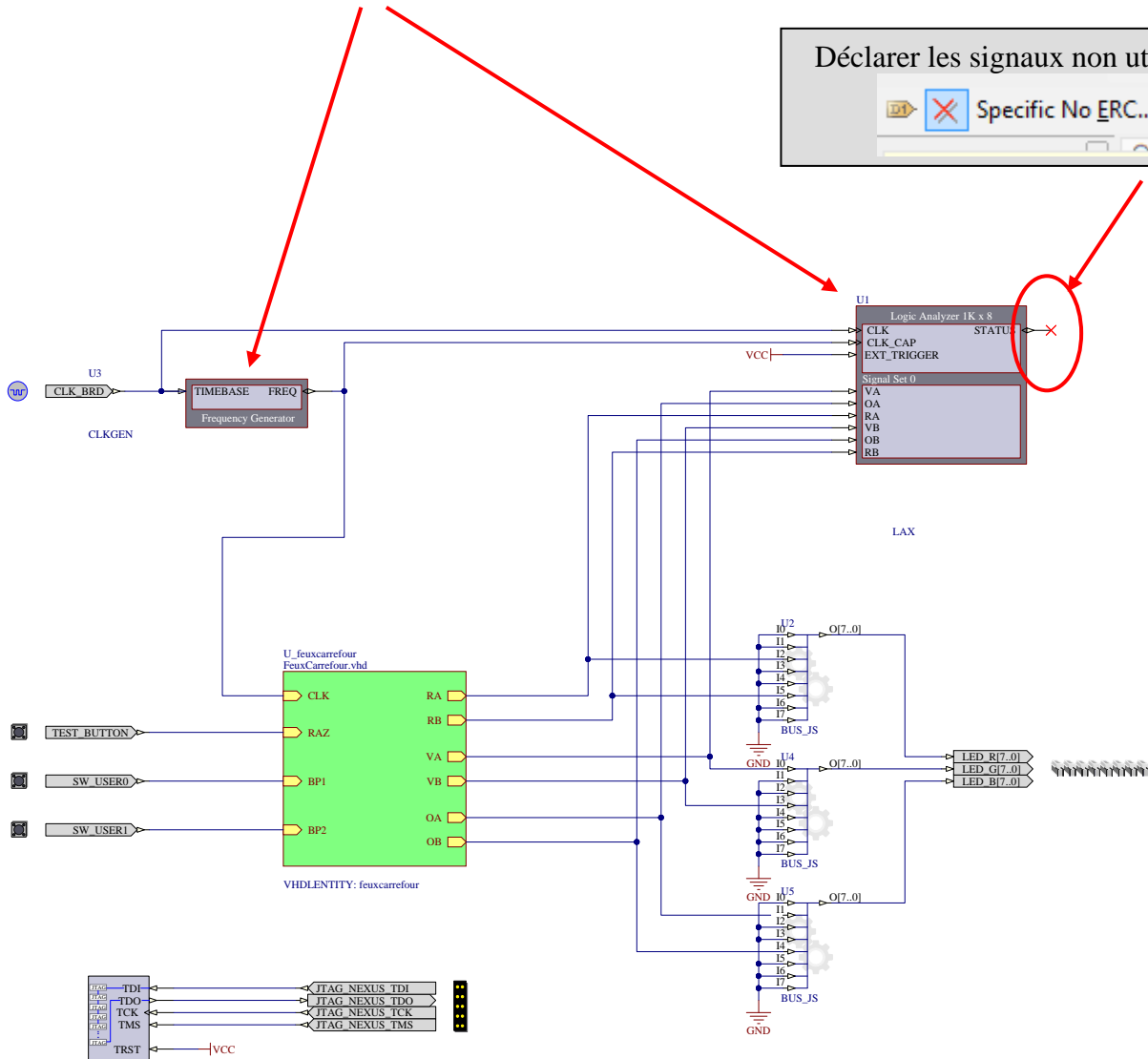
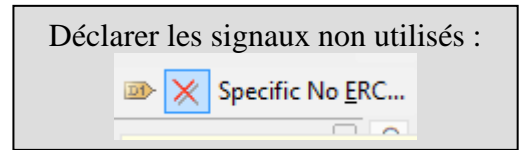
Aussi avant de programmer le FPGA nous allons rajouter à notre projet
des instruments de mesures virtuels.

5 Placer les instruments virtuels dans le schéma.

5.1 placement des instruments virtuels :

Description	Nom de la fonction	bibliothèque
Mise en place d'une horloge paramétrable	CLKGEN	FPGA Instruments.IntLib
Analyseur logique	LAX	FPGA Instruments.IntLib
Déclaration d'un second JTAG dans le FPGA	NEXUS_JTAG_PORT	FPGA Generic.IntLib
JTAG Nexus	NEXUS_JTAG_CONNECTOR	FPGA NB3000 Port-Plugin.IntLib

⇒ Placer les instruments virtuels comme ci-dessous :



5.2 Paramétrage des instruments virtuels:

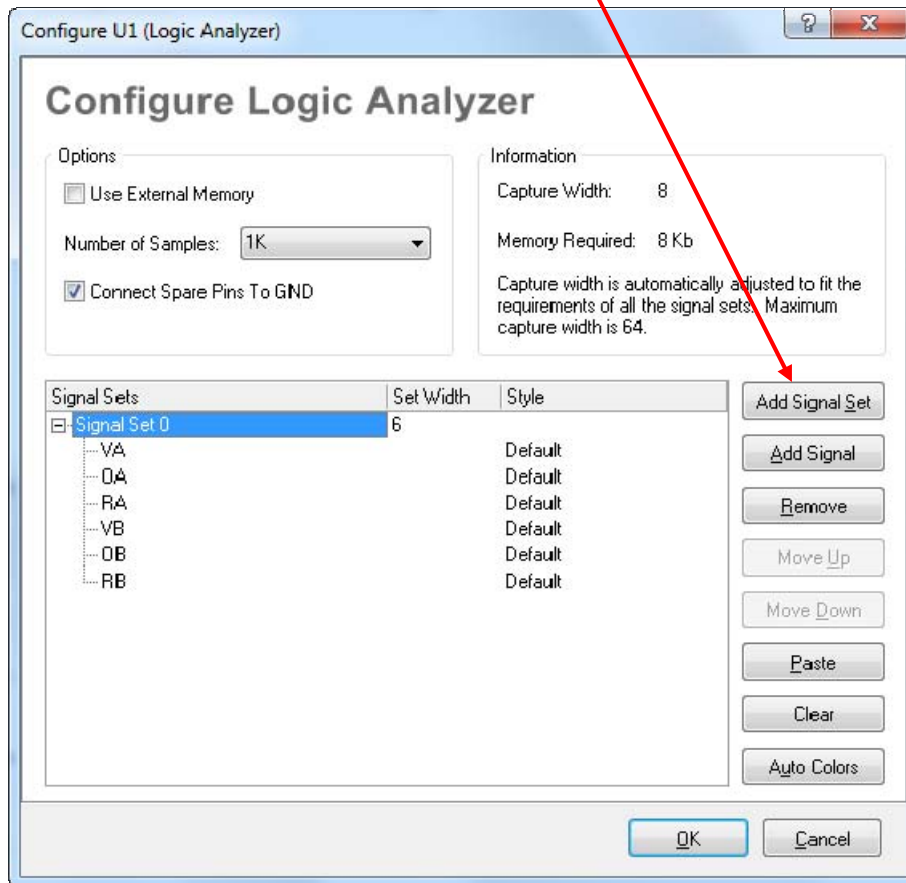
5.2.1 Paramétrage du LAX (Logic Analyser)

Pour accéder à la fonction paramétrage d'un instrument virtuel :

Clic bouton droit de la souris sur l'instrument virtuel puis choisir dans l'onglet qui s'ouvre la commande **Configure**

Configure U1 (LAX) ...

Cliquer sur le bouton « **Add Signal Set** » pour ajouter les signaux à analyser.



5.3 Numérotation des composants :

Utiliser la fonction automatique : ⇒ **Menu** : TOOLS
⇒ **Commande** : Annotate Schematics Quietly...

Annotate Schematics Quietly...

6 Définir les fichiers des contraintes.

Les fichiers des contraintes décrivent notamment la connexion broche à broche des fonctions implémentées dans le FPGA. Comme nous travaillons toujours avec la Nanoboard 3000AL2, il est plus rapide de reprendre toujours le même fichier contraint fourni par ALTIUM. (voir partie 6.2)

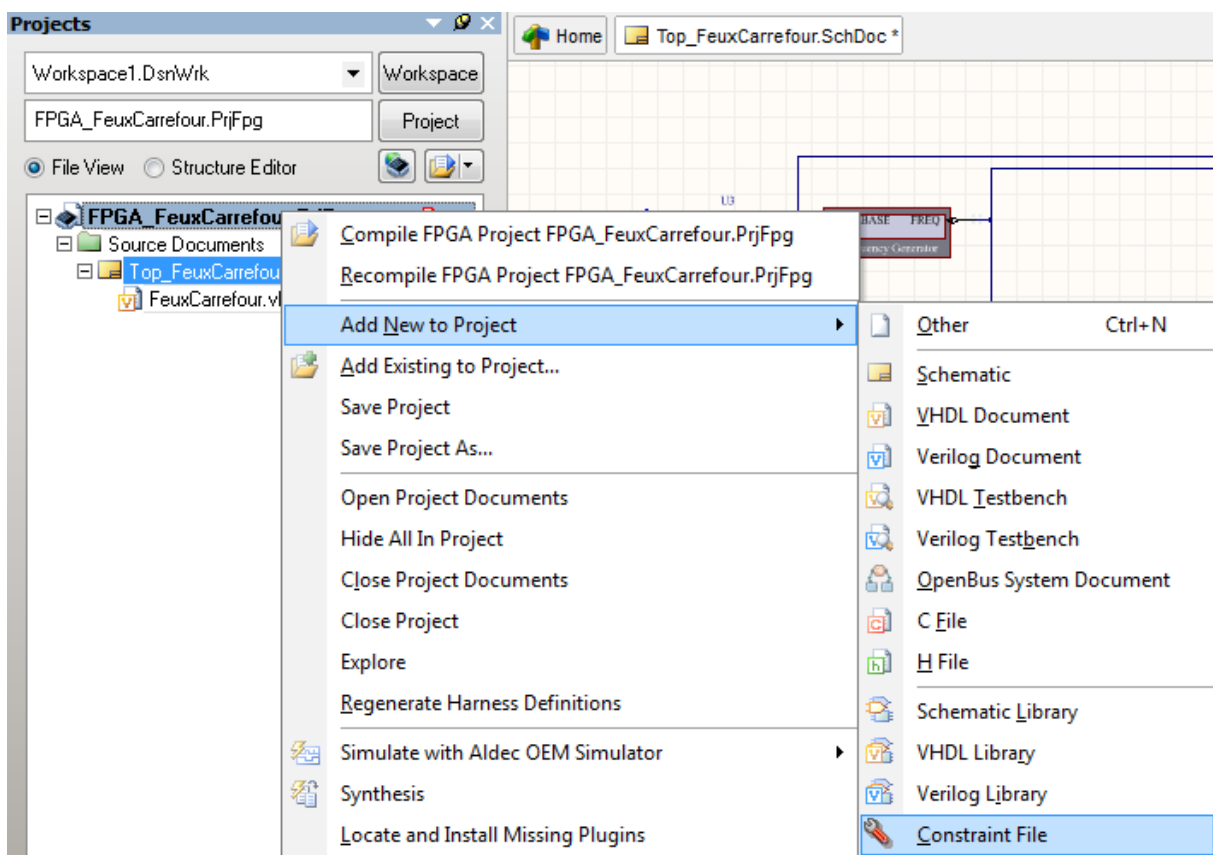
Autres rôles des fichiers de contraintes:

- ⇒ paramétrer des broches spécifiques tels que l'horloge (voir partie 6.1).
- ⇒ si nous décrivons un projet à une autre carte que la Nanoboard il faudra alors créer les fichiers

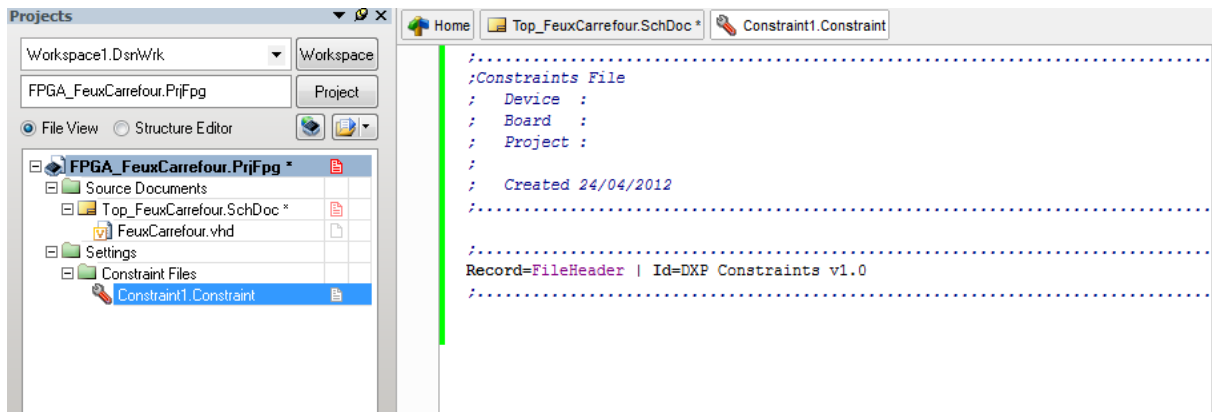
6.1 Le fichier des contraintes des horloges :

⇒ Ajouter un nouveau fichier de contrainte au projet :

Clic bouton droit sur le nom du projet FPGA dans l'onglet Projets et choisir la commande **Add New to Project >> Contrainte File**



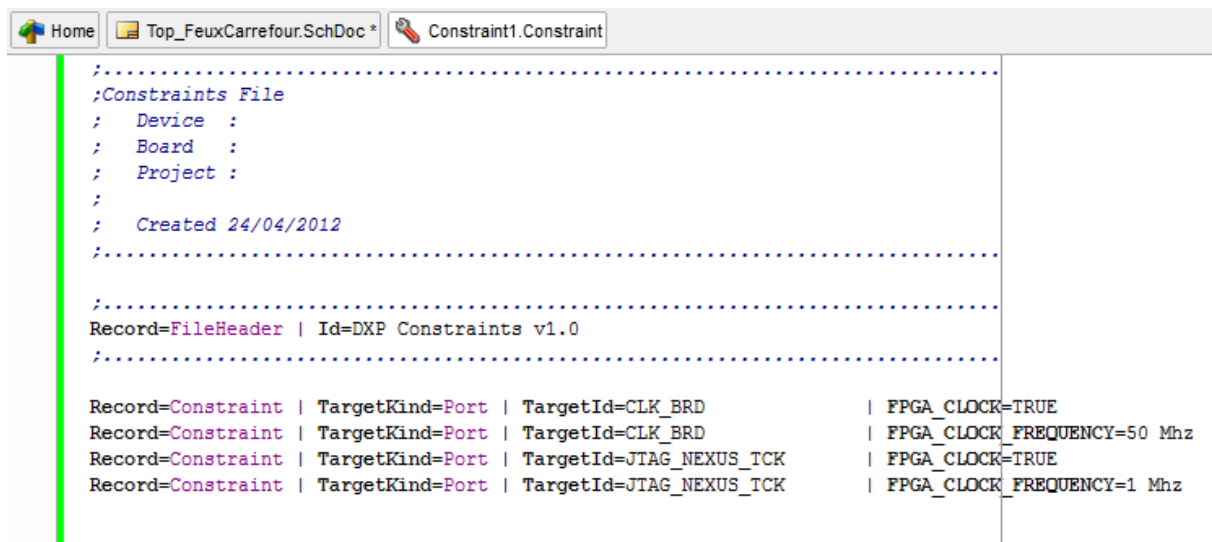
⇒ Il apparaît un fichier texte contrainte à compléter :



⇒ Pour compléter ce fichier de contrainte, nous allons copier les lignes suivantes :

```
Record=Constraint | TargetKind=Port | TargetId=CLK_BRD          | FPGA_CLOCK=TRUE
Record=Constraint | TargetKind=Port | TargetId=CLK_BRD          | FPGA_CLOCK_FREQUENCY=50 Mhz
Record=Constraint | TargetKind=Port | TargetId=JTAG_NEXUS_TCK   | FPGA_CLOCK=TRUE
Record=Constraint | TargetKind=Port | TargetId=JTAG_NEXUS_TCK   | FPGA_CLOCK_FREQUENCY=1
Mhz
;.....
```

⇒ Vous devez maintenant obtenir le fichier ci-dessous :



⇒ Sauvegarder ce fichier.

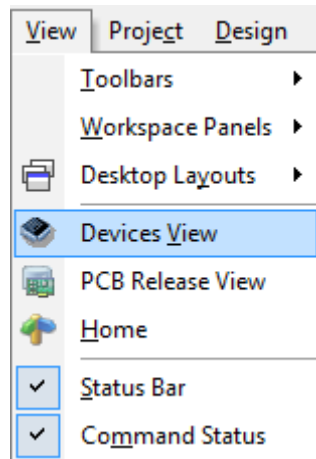
Clic droit sur le nom du nouveau fichier (*Constraint1.Constraint* dans l'onglet Projets et choisir la commande sauvegarder le document **Save** dans le même dossier parents du projet **TP3_FeuxCarrefour**.

6.2 Le fichier de contraintes liant les broches du FPGA aux périphériques implantés sur la Nanoboard 3000 :

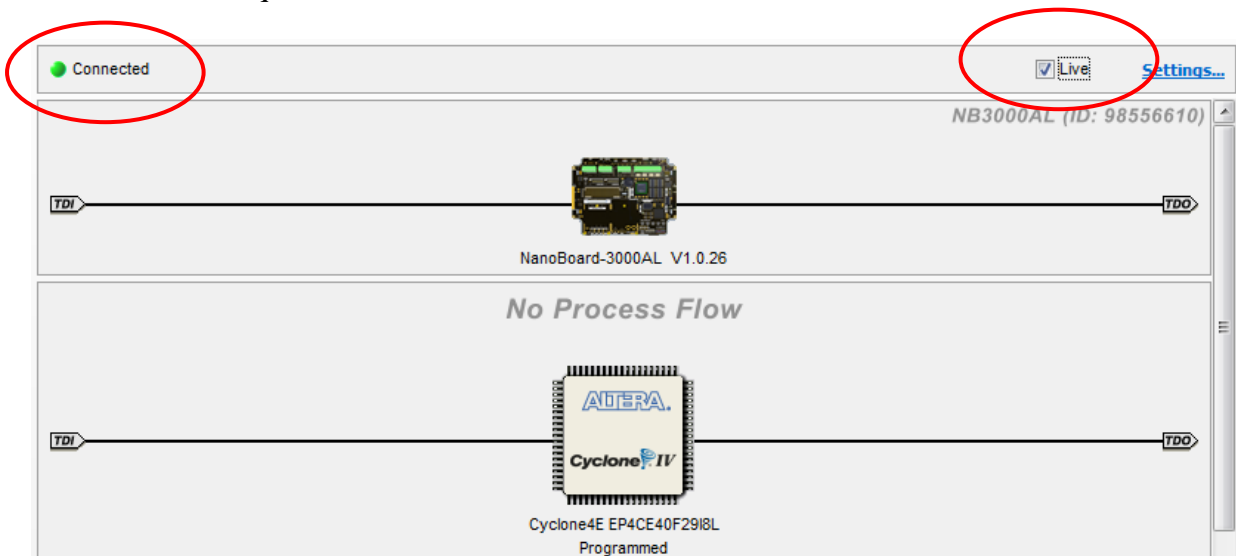
Ce fichier contrainte existe déjà ! Inutile de l'écrire.

Pour adjoindre ce fichier de contrainte à votre projet vous devez d'abord connecter votre PC à la **Nanoboard**.

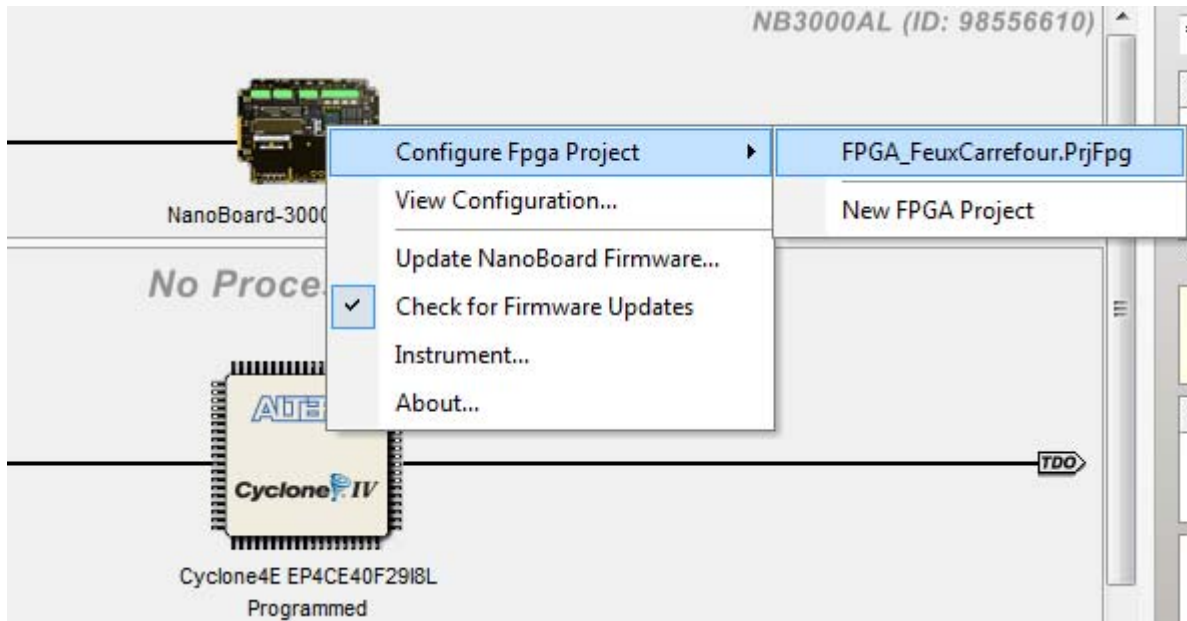
⇒ Faites apparaître la fenêtre de visualisation des composants :



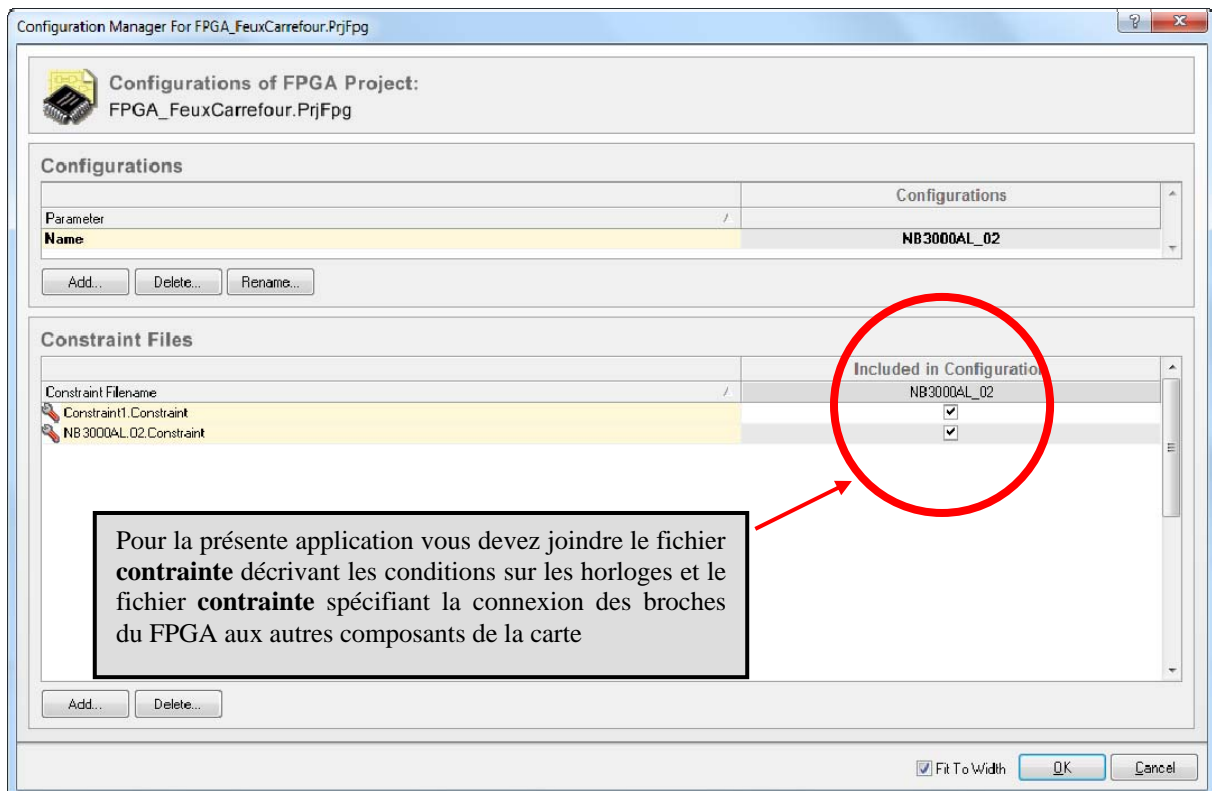
⇒ Assurez-vous que la Nanoboard est bien connectée à votre PC :



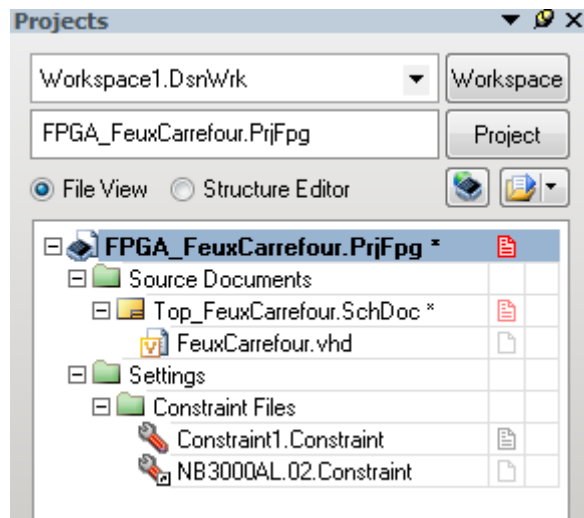
⇒ *Clic bouton droit* sur l'icône de la Nanoboard et configurer le projet FPGA



⇒ La fenêtre ci-dessous vous invite à spécifier les fichiers de contraintes que vous voulez utiliser pour votre prochaine phase de **Compilation / Synthèse / Programmation**.



⇒ A l'issue de cette étape un deuxième fichier contraint (*NB3000AL.02.Constraint*) est lié à votre projet :

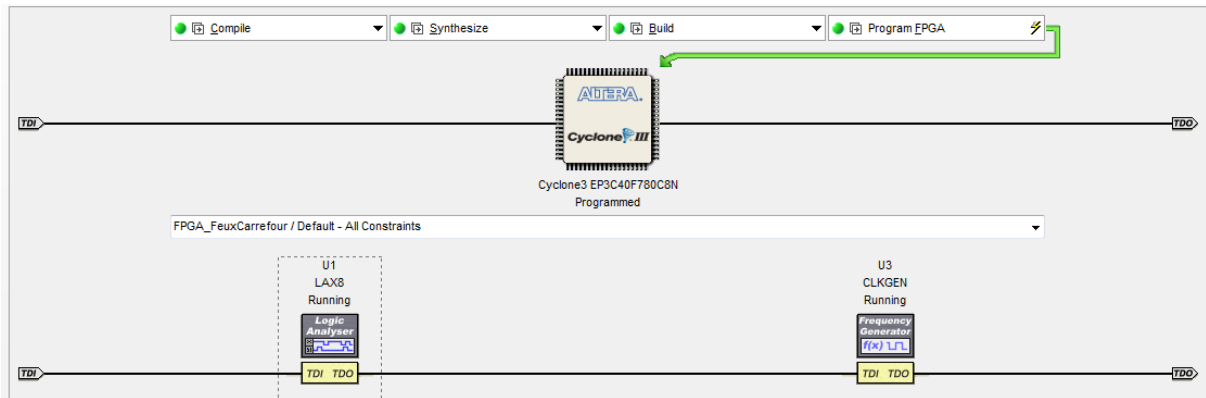


7 Compiler, synthétiser, construire, programmer le FPGA.

⇒ Cliquer sur **Compile**, cliquer sur **Synthesize**, cliquer sur **Build**.

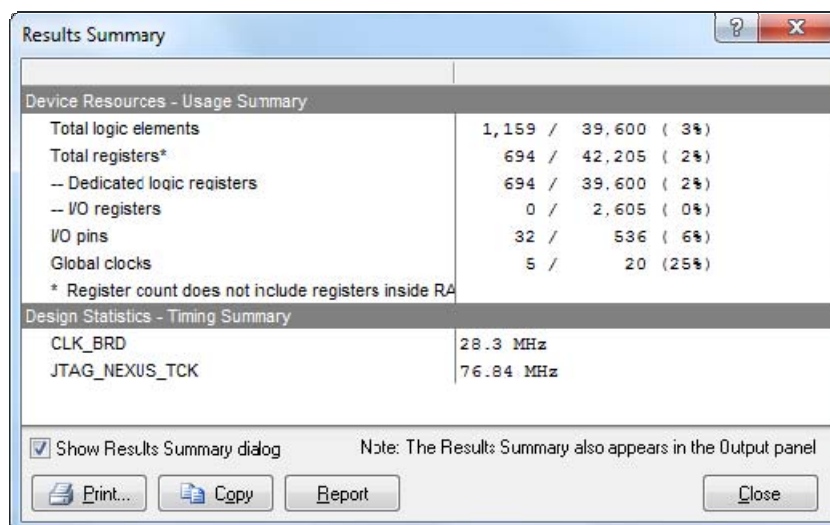
⇒ Si une erreur apparaît vous devez la corriger en modifiant le fichier source identifié à partir du message d'erreur :

Sources d'erreurs possibles : ⇒ le fichier VHDL
 ⇒ le schéma TOP
 ⇒ les fichiers de contraintes



Remarque : Nous retrouvons les deux instruments virtuels mis en œuvre dans le projet :
 U1 : l'analyseur logique LAX
 U3 : le générateur d'horloge

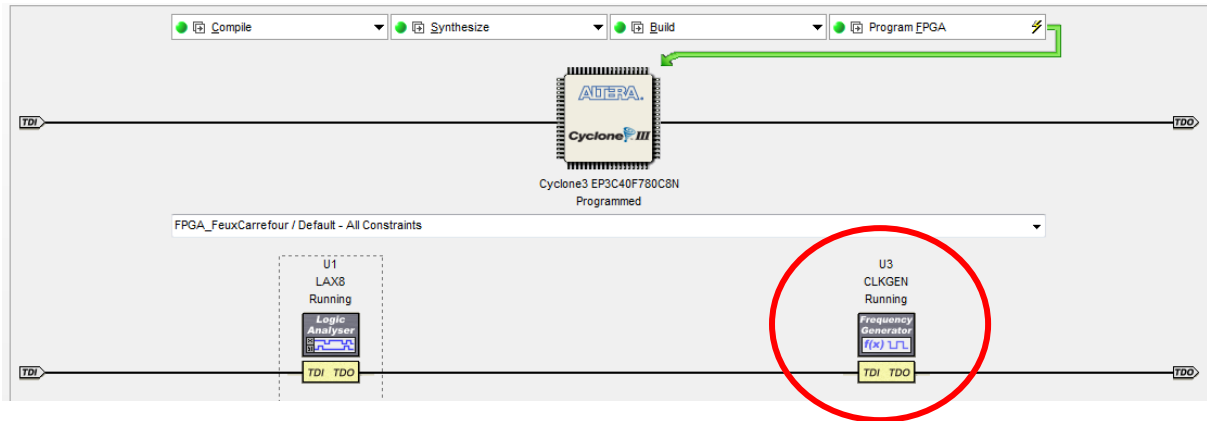
Après avoir franchi ces trois étapes la fenêtre de résultats s'affiche : vous pouvez alors programmer le FPGA : **cliquez sur program FPGA !**



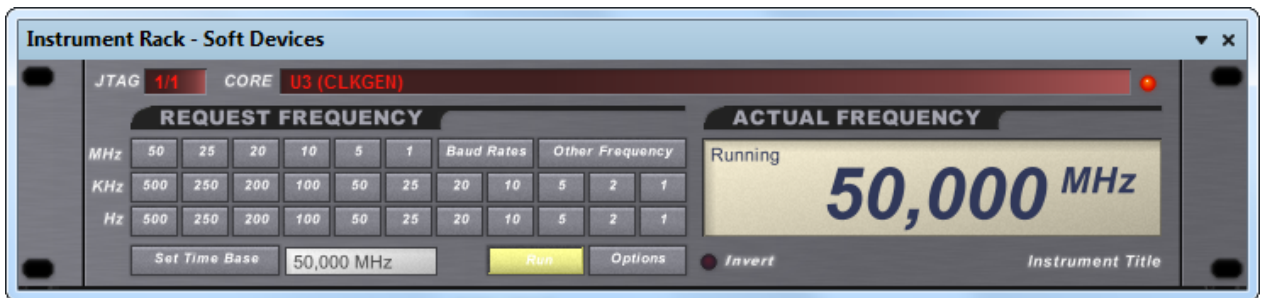
8 Mettre en œuvre les instruments de mesures virtuels.

8.1 Réglage de la fréquence entrante par U3 : le générateur d'horloge

⇒ Cliquez sur U3 :

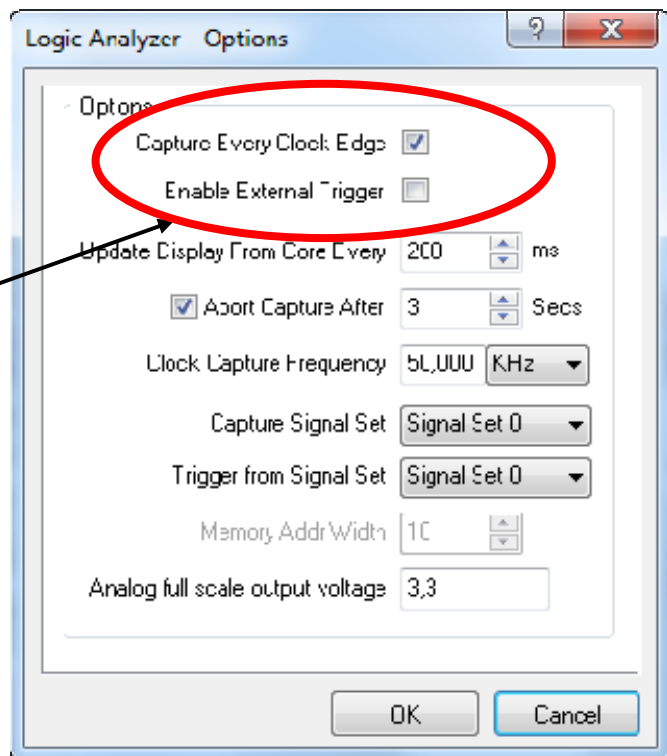


⇒ Réglez la fréquence à 50 MHz.



8.2 Visualisation des signaux

⇒ Cliquez sur l'analyseur logique U1 : LAX16. le rack contient maintenant la partie visualisation des données.



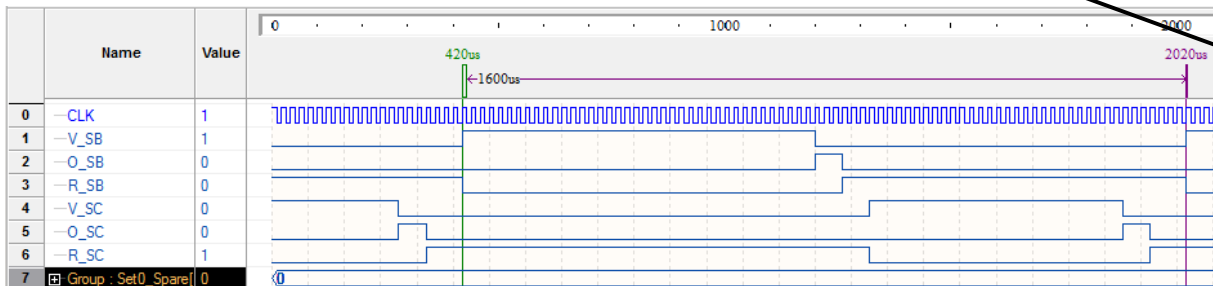
Paramétrez les options comme ci-contre

Lancement d'une nouvelle simulation



⇒ Les données acquises peuvent être visualisées sous forme numérique dans une table d'événement.

Visualisation des signaux numériques sur une seconde



Visualisation de la table d'événements

LAX - U1

Logic Analyzer Triggering

Triggering Mode: Single 8-Bit Channel

CH[7..0]

Trigger: 0 0 0 0 0 0 0 0

Mask: X X X X X X X X

Capture Control

Arm Options... Capture Signal Set 0 Trigger from Signal Set 0

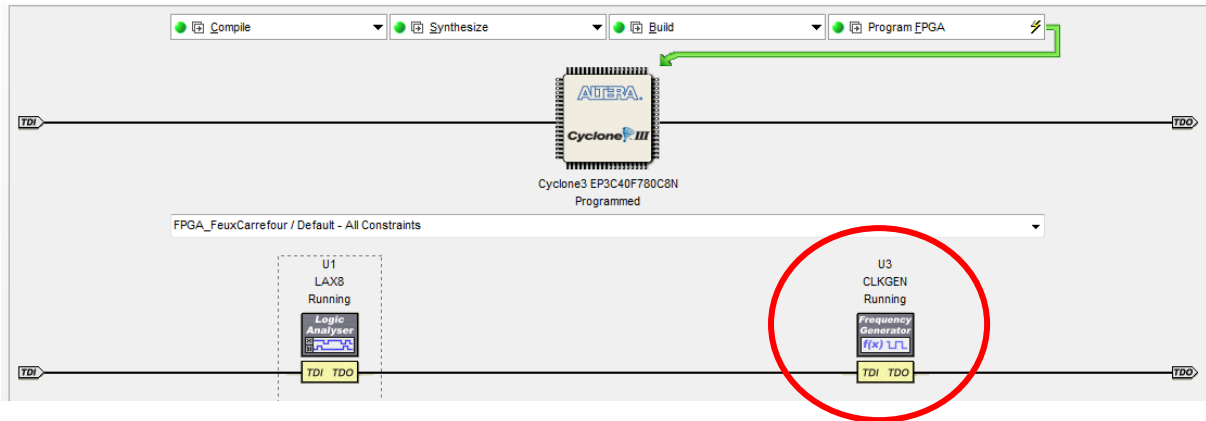
Capture Binary [x] Decimal [] Signed Decimal [] Char [] Disassembler None

Index	Time	Set0_Sp...	R_SC	O_SC	V_SC	R_SB	O_SB	V_SB
13	260,0us	0 00	1 1	0 0	0 0	0 0	0 0	1 1
14	280,0us	0 00	1 1	0 0	0 0	0 0	0 0	1 1
15	300,0us	0 00	1 1	0 0	0 0	0 0	0 0	1 1
16	320,0us	0 00	1 1	0 0	0 0	0 0	0 0	1 1
17	340,0us	0 00	1 1	0 0	0 0	0 0	0 0	1 1
18	360,0us	0 00	1 1	0 0	0 0	0 0	0 0	1 1
19	380,0us	0 00	1 1	0 0	0 0	0 0	0 0	1 1

8.3 Réglage de la fréquence entrante par U3 : le générateur d'horloge

Réglage de la fréquence entrante par U3 : le générateur d'horloge

⇒ Cliquez sur U3 :



⇒ Réglez la fréquence à 1 Hz.



Question : que voyez-vous évoluer sur la Nanoboard 3000 ?

Réponse attendue :

Sur la voie B :

la led verte est allumée pendant 39s

la led orange (bleu sur NB3000) est allumée pendant 3s.

la led rouge est allumée pendant 38s

Sur la voie C :

la led rouge est allumée pendant 49s

la led orange (bleu sur NB3000) est allumée pendant 3s.

la led verte est allumée pendant 28s

8.4 Modification de la machine d'état

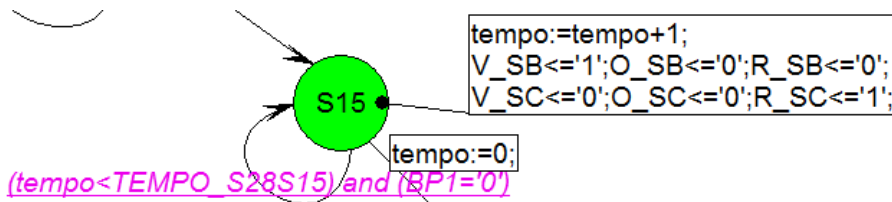
⇒ Il reste à implanter la prolongation du feu vert ou la contraction du feu rouge SB-SB1 de la voie B lorsque les bus des lignes 1&2 arrivent.

BP1 permet de simuler la présence d'un bus de la ligne n°1

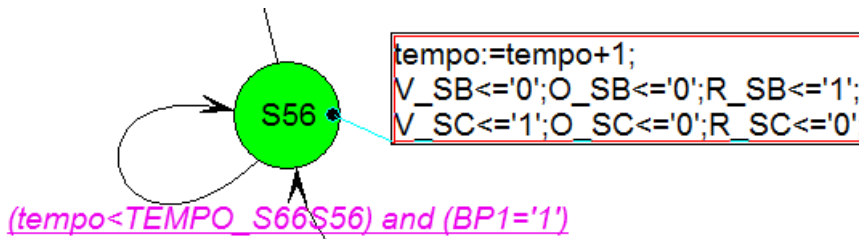
Appui : présence bus ligne N°1 ⇒ NL0

Relachée : pas de présence de bus ligne n°1 ⇒ NL1

Appui sur BP1 => Prolongation feux vert SB-SB1



Appui sur BP1 => Contraction feux rouge SB-SB1



***** Fin du TP3 *****