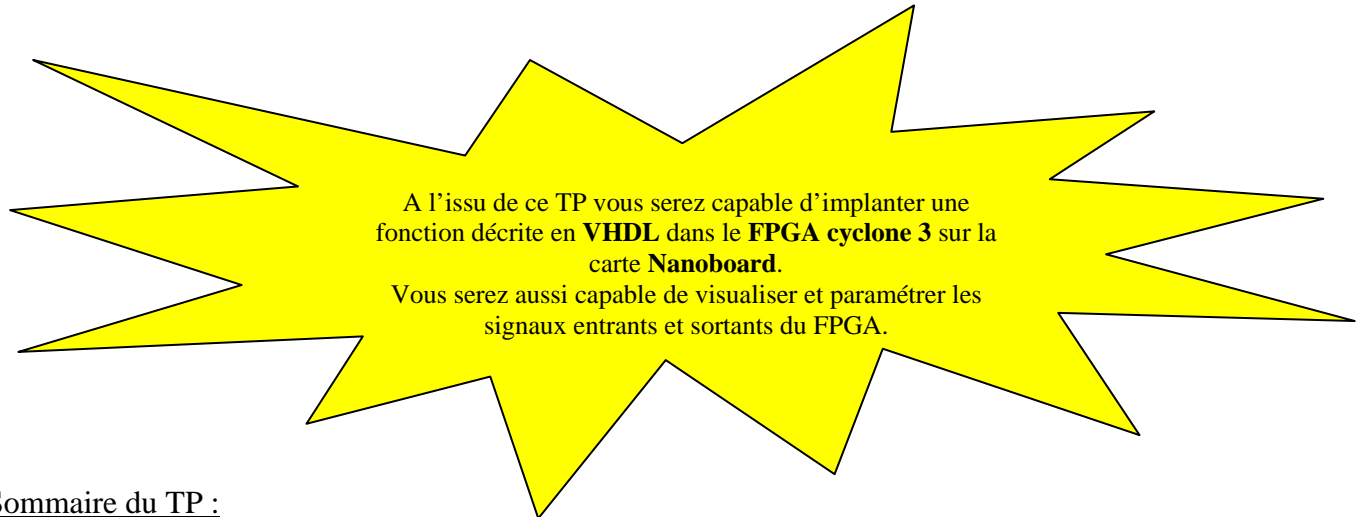


0 Présentation du TP :

- Pré-requis : ⇒ Avoir suivi le TP_description_schématic_compteur-FPGA
durée estimée : ⇒ 2 heures
Objectif : ⇒ Implanter une fonction écrite en **VHDL** dans un **FPGA**.
 ⇒ Visualiser depuis le PC les signaux entrant et sortant du **FPGA**.

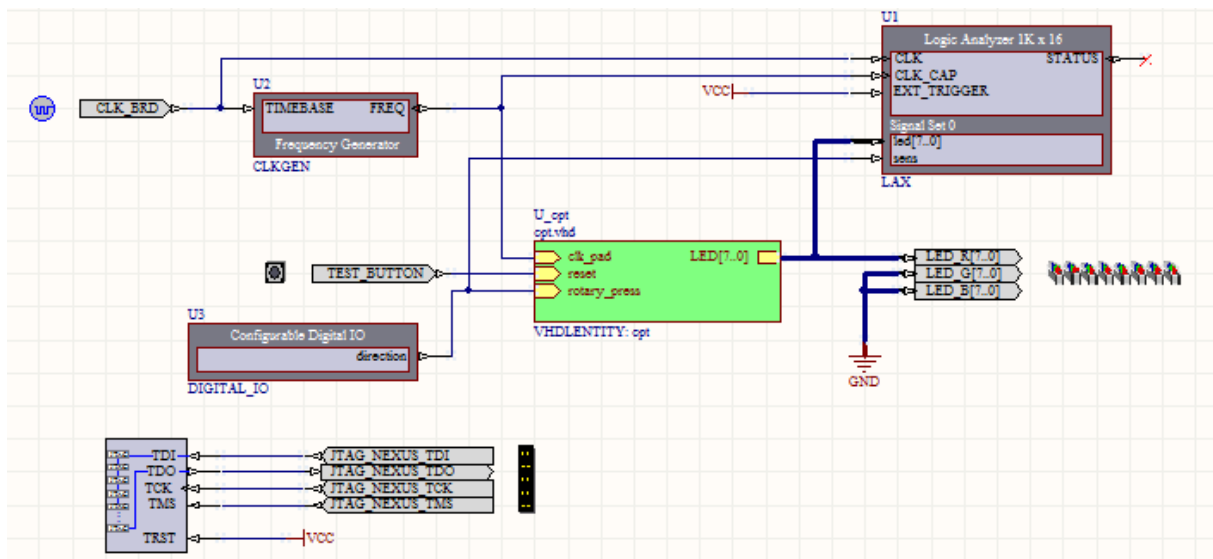


Sommaire du TP :

- 1 Créer un nouveau projet FPGA.
- 2 Ajouter au projet un fichier VHDL (ici un compteur).
- 3 Créer le « TOP » schéma * , placer dans le schéma le symbole créé à partir du code VHDL.
- 4 Placer les ports d'entrées sorties du FPGA dans le schéma
- 5 Placer les instruments virtuels dans le schéma.
- 6 Définir les fichiers de contraintes.
- 7 Compiler, Synthétiser, construire, Programmer le FPGA.
- 8 Mettre en œuvre les instruments de mesure virtuels.

* Rappel : sous ALTIUM la feuille de schéma «TOP.SchDoc» est en haut du projet, c'est le «TOP LEVEL».

Schéma à réaliser au cours du TP :



TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.

Code VHDL décrivant le compteur à implanter : le fichier **cpt_TP2.vhd**

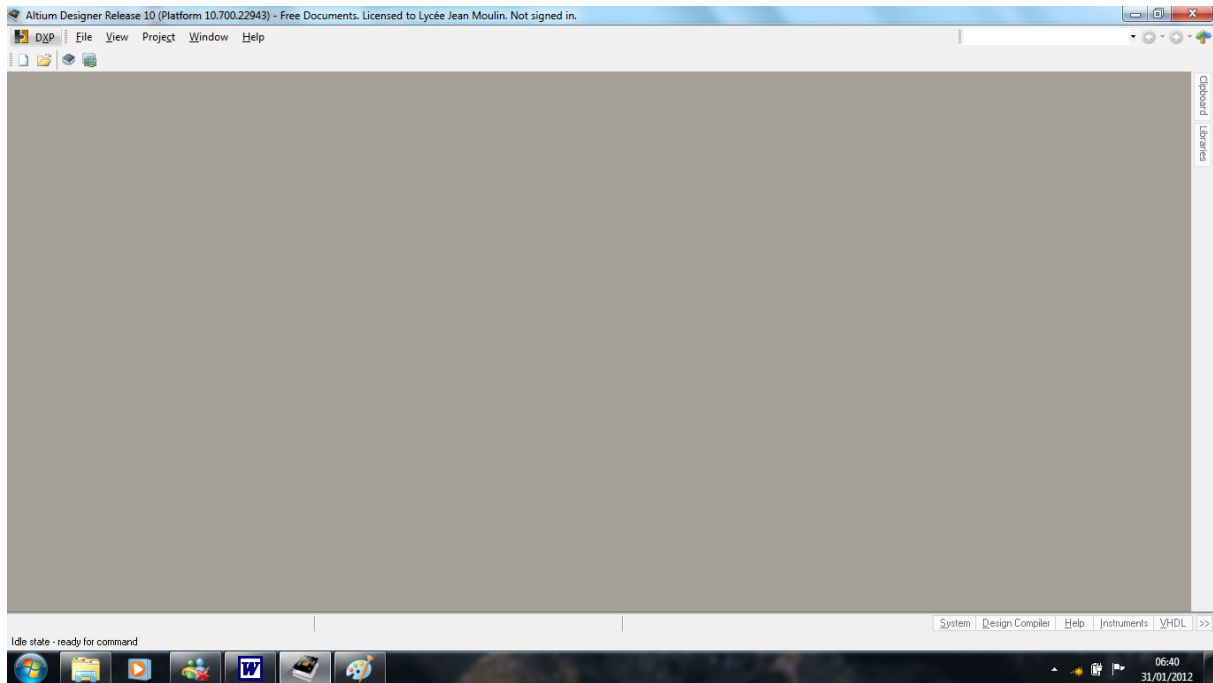
```
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3  use IEEE.STD_LOGIC_ARITH.ALL;
4  use IEEE.STD_LOGIC_UNSIGNED.ALL;
5
6  entity cpt is
7  port (
8      clk_pad      : in    std_logic;
9      reset       : in    std_logic;
10     rotary_press : in    std_logic;
11     LED          : out   std_logic_vector(7 downto 0)
12 );
13 end cpt;
14
15 architecture Behavioral of cpt is
16     signal count_int : std_logic_vector(31 downto 0);
17     signal clk       : std_logic;
18 begin
19
20     clk <= clk_pad;
21
22     process (CLK, RESET)
23     begin
24         if RESET='0' then
25             COUNT_int <= (others => '0');
26         elsif clk'event and clk='1' then
27             if rotary_press='0' then
28                 COUNT_int <= COUNT_int - 1;
29             else
30                 COUNT_int <= COUNT_int + 1;
31             end if;
32         end if;
33     end process;
34
35     process (CLK, RESET)
36     begin
37         if RESET='0' then
38             LED <= (others => '1');
39         elsif clk'event and clk='1' then
40             LED <= count_int(7 downto 0);
41         end if;
42     end process;
43
44 end Behavioral;
```

TP : Planter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.

1 Créer un nouveau projet FPGA.

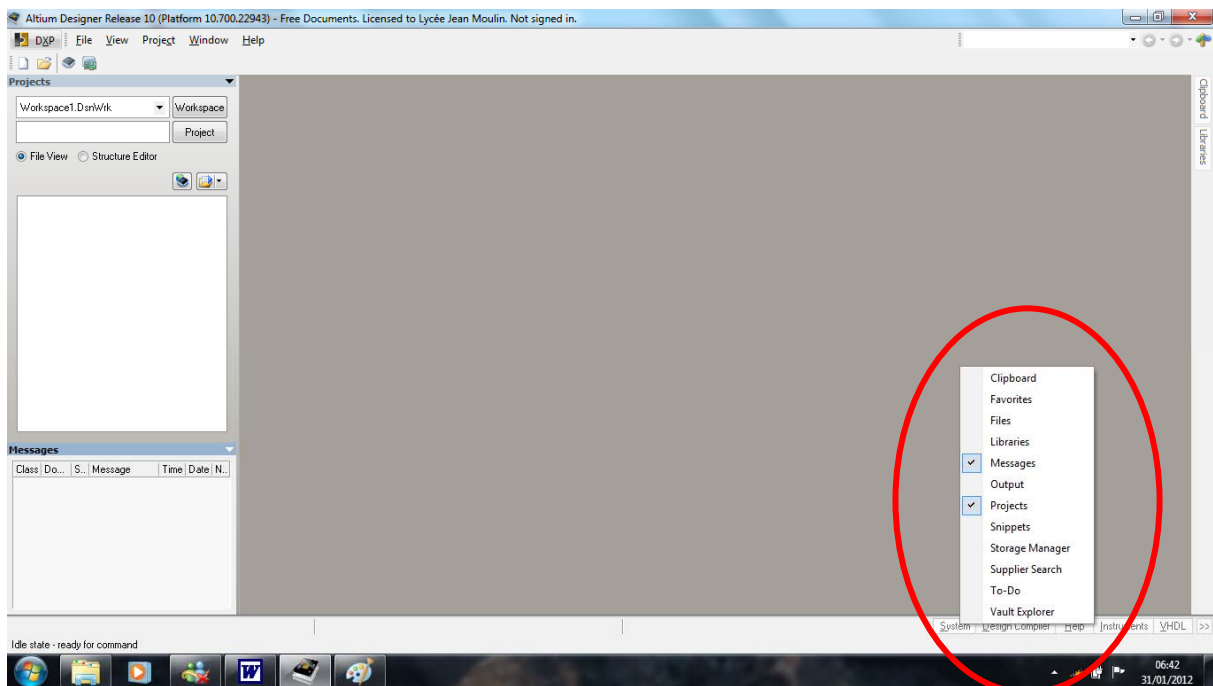
Conseil : créer un nouveau répertoire dans lequel vous placerez tous les éléments du présent projet dont le fichier VHDL « **cpt_TP2.vhd** ».

1.1 Repartir d'un environnement vide :



1.2 Ouvrir les fenêtres projet et message :

Paramétrer l'environnement de travail d'Altium Designer en utilisant la commande :
⇒ **System** (en bas à droite) ⇒ **Messages et Projects**.

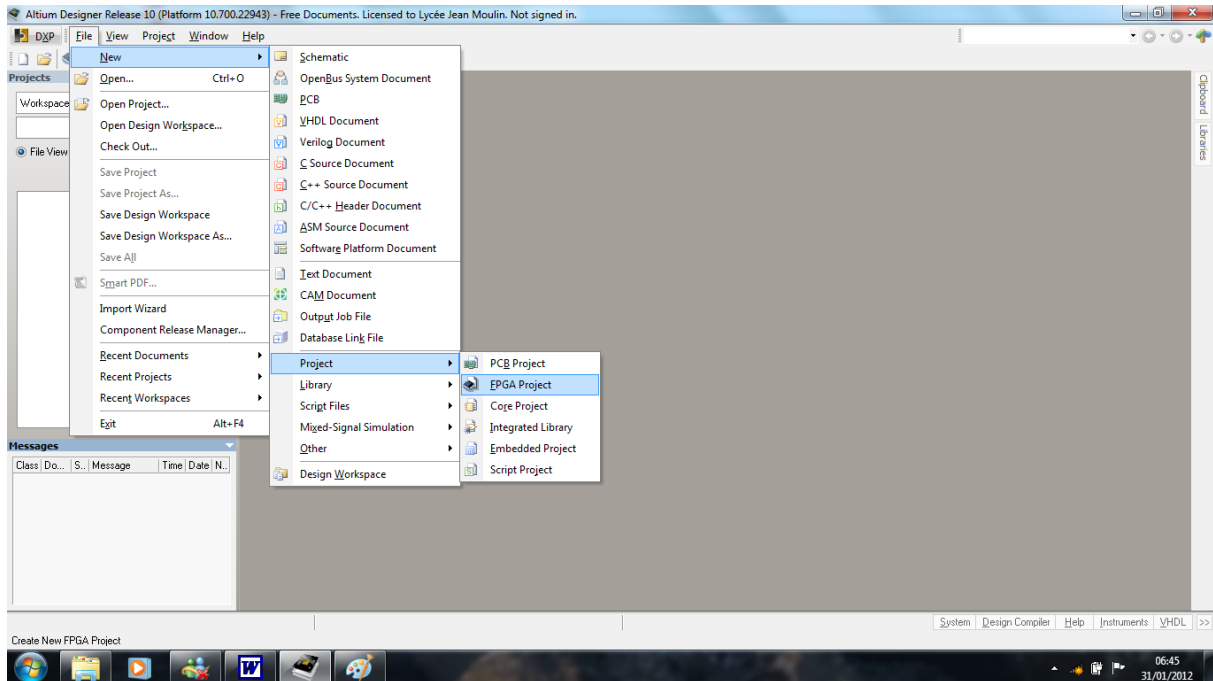


**TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.**

1.3 Créer et renommer le projet :

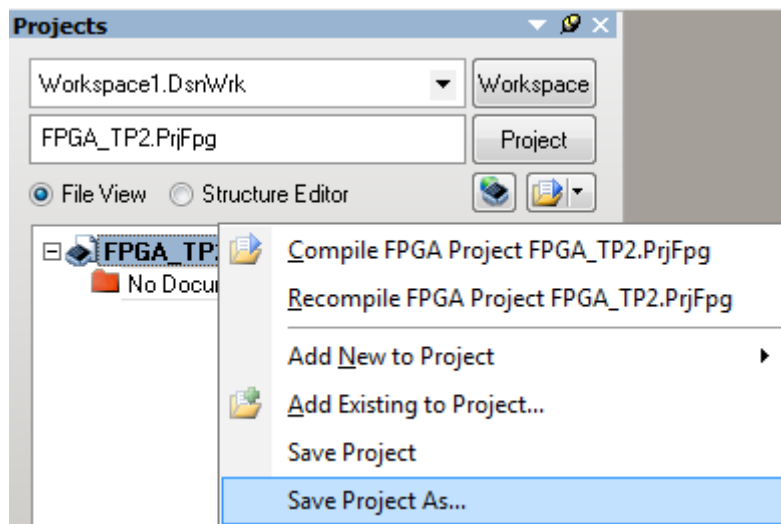
Créer un nouveau projet en utilisant la commande :

⇒ **File ⇒ New ⇒ FPGA Project.**



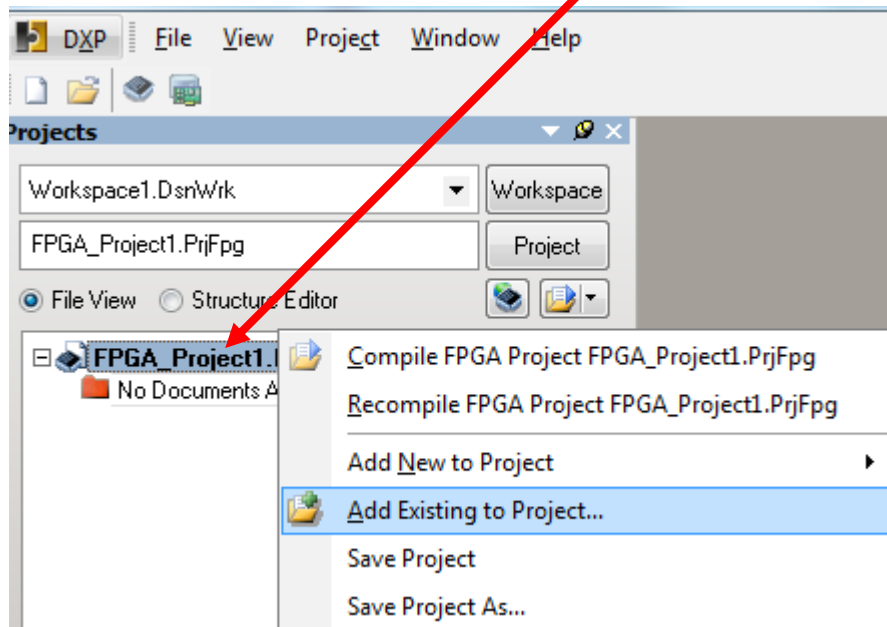
⇒ Cliquer droit sur le nom du nouveau projet.

⇒ Choisir la commande **Save Project as «FPGA_TP2.PrjFpg»** pour sauvegarder le projet dans le répertoire de travail.

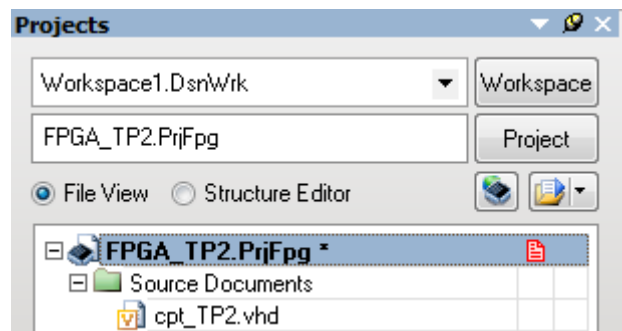


2 Ajouter au projet un fichier VHDL (ici un compteur).

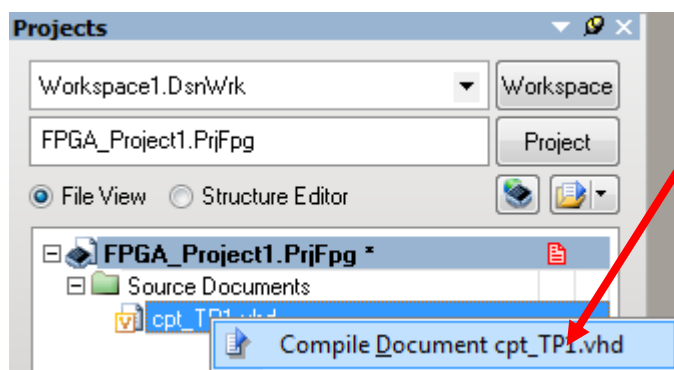
Ajouter un fichier VHDL existant par un **clik droit** sur le nom du projet FPGA
⇒ **Add Existing to Project** ⇒ **VHDL Document**.



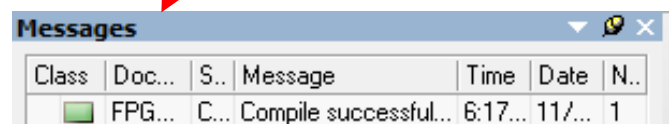
Remarque : Le fichier VHDL aura été mis au préalable dans le répertoire de travail du présent projet.



Compiler le fichier VHDL par un **clik droit** sur le nom du fichier « **cpt_TP2.vhd** » dans l'onglet **Projects** et choisir la commande **Compile Document** :



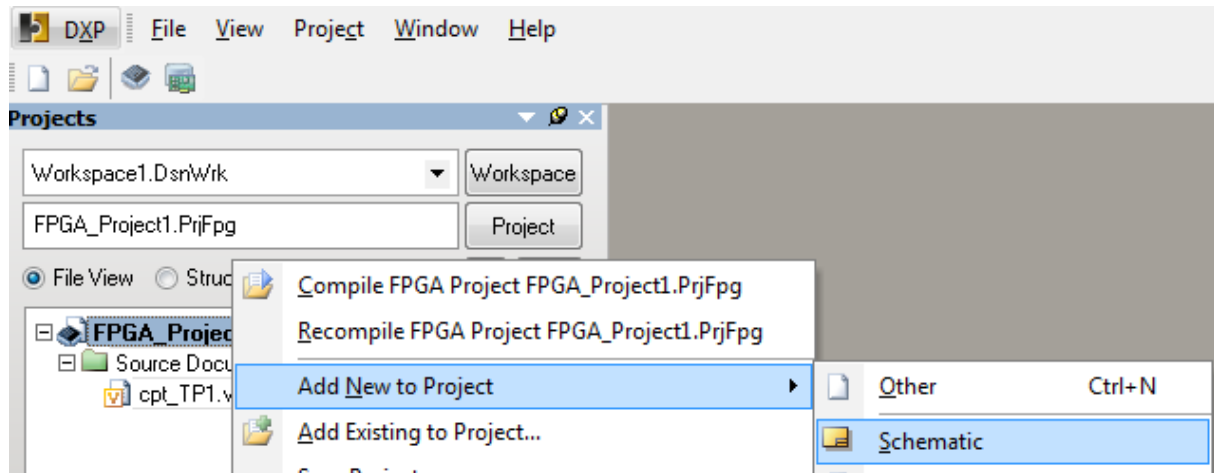
Remarque : Si la compilation n'aboutit pas corriger le fichier VHDL.
Le résultat de compilation apparaît dans la fenêtre **Messages**.



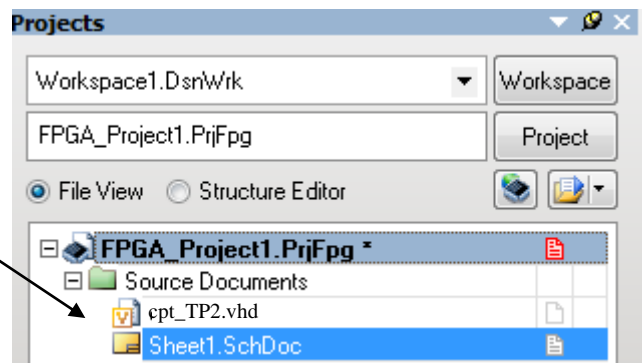
3 Créer le TOP schéma, placer dans le schéma le symbole créé à partir du code VHDL.

3.1 Création du fichier schéma entête du projet FPGA :

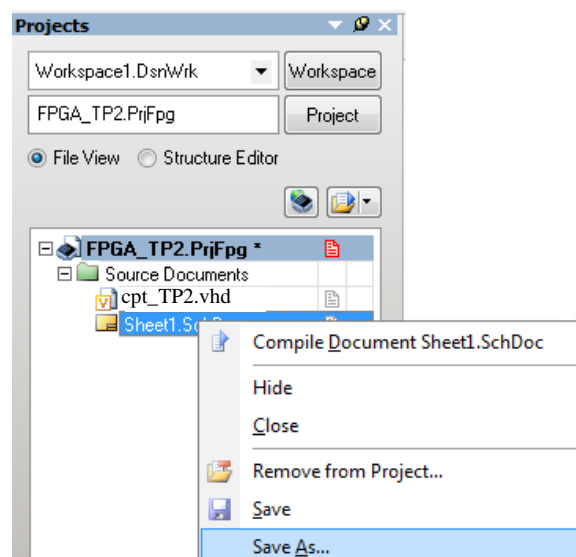
Ajouter un nouveau schéma par un **clic droit** sur le nom du projet FPGA dans l'onglet Projets
⇒ **Add New to Project** ⇒ **Schematic**.



Remarque : à ce stade le schéma Sheet1.SchDoc est hiérarchiquement sous le fichier VHDL.

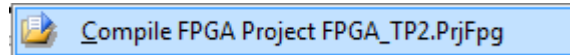


⇒ Clic droit sur le nom du nouveau projet « **Sheet1.SchDoc** »
⇒ **File Save As** « **Top_cpt_TP2.SchDoc** » dans le dossier parent du projet.

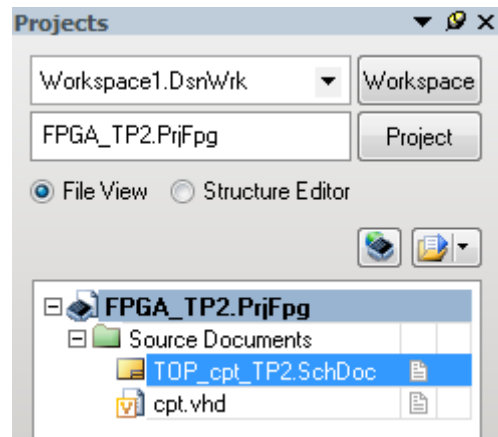


TP : Planter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.

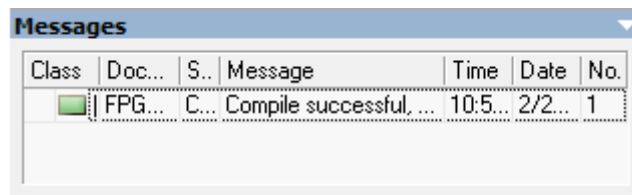
- ⇒ Compiler le projet par un **clic droit** sur le nom du fichier VHDL « **cpt_TP2.vhd** »
- ⇒ Commande : **Compile FPGA_TP2.PrjFpg.**



- ⇒ Ce que l'on doit obtenir :
suite à la compilation du projet FPGA le schéma est replacé en tête du projet.

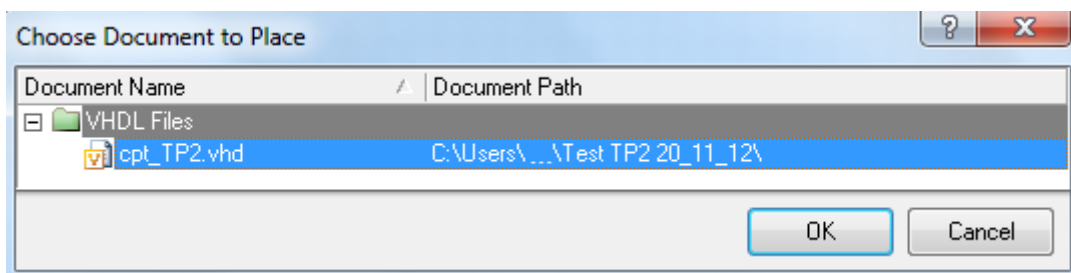
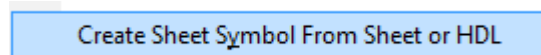


- ⇒ Dans la zone message doit apparaître le résultat de la compilation :
Si la compilation n'est pas réussie corriger votre code VHDL.



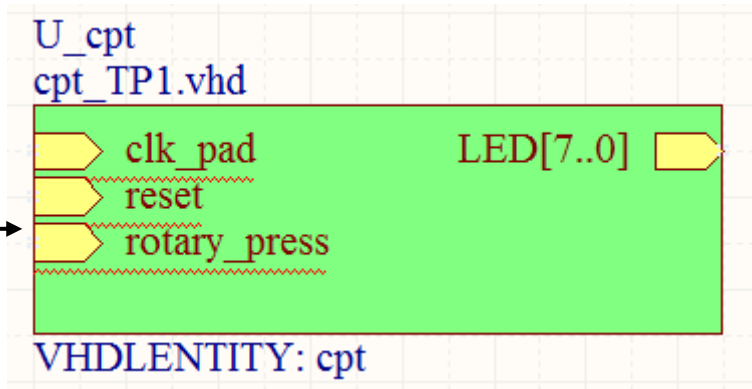
3.2 Placer dans le schéma le symbole créé à partir du code VHDL :

- ⇒ Depuis la fenêtre « TOP » Top_cpt_TP2.SchDoc :
 - ⇒ **Menu** : DESIGN
 - ⇒ **Commande**: Create sheet Symbol from sheet or HDL



TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.

Vous obtenez le schéma bloc symbolisant la fonction VHDL à implanter dans le FPGA :



4 Placer les ports d'entrées sorties du FPGA dans le schéma :

⇒ Placer dans le schéma les éléments suivants :

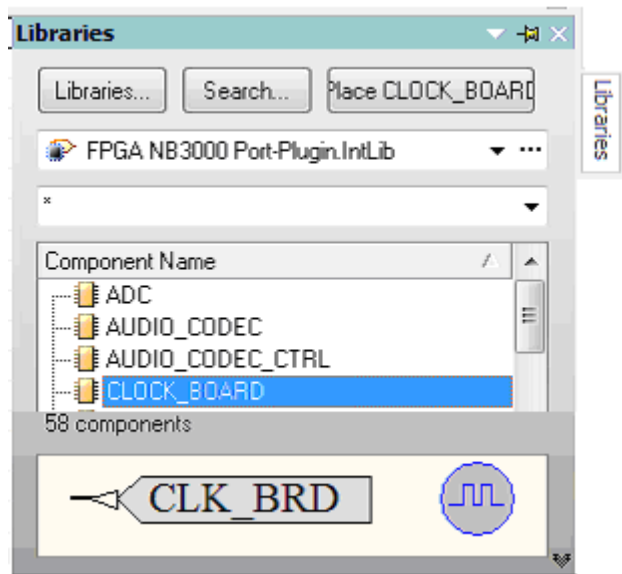
Description	Nom de la fonction	Bibliothèque
Test / Reset Button	TEST_BUTTON	FPGA NB3000 Port-Plugin.IntLib
Commande du Barre-graphe 8 LED 3 couleurs	LEDS_RGB	FPGA NB3000 Port-Plugin.IntLib
Entrée de l'horloge paramétrable	CLOCK_BOARD	FPGA NB3000 Port-Plugin.IntLib

Pour placer un nouveau composant :

- ⇒ cliquez sur **Librairies** sur le bord droit de l'écran
- ⇒ Sélectionnez la bibliothèque du composant
- ⇒ Sélectionnez le composant
- ⇒ Placez le composant

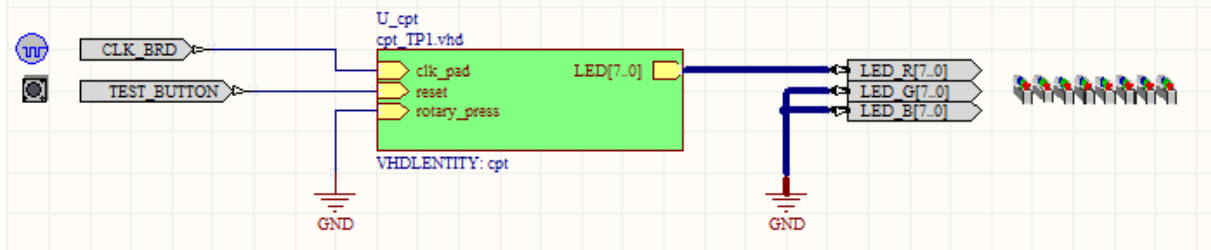
Si la fenêtre **Librairies** n'apparaît pas cliquez en bas à droite sur système puis sur :

Librairies



⇒ Nous pouvons donc compléter le schéma ci-dessous :

Rappel : pour tourner un composant
 « **BARRE ESPACE** »



**TP : Planter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.**

A ce stade du projet :

Nous pourrions, après ajout des fichiers contraintes, compiler, synthétiser, construire, et programmer le FPGA, puis lancer le programme.
Il serait à même d'être exécuté sur la Nanoboard 3000.
Nous n'aurions toutefois pas d'outils nous permettant de contrôler la validité de notre programme et d'analyser le fonctionnement du FPGA.

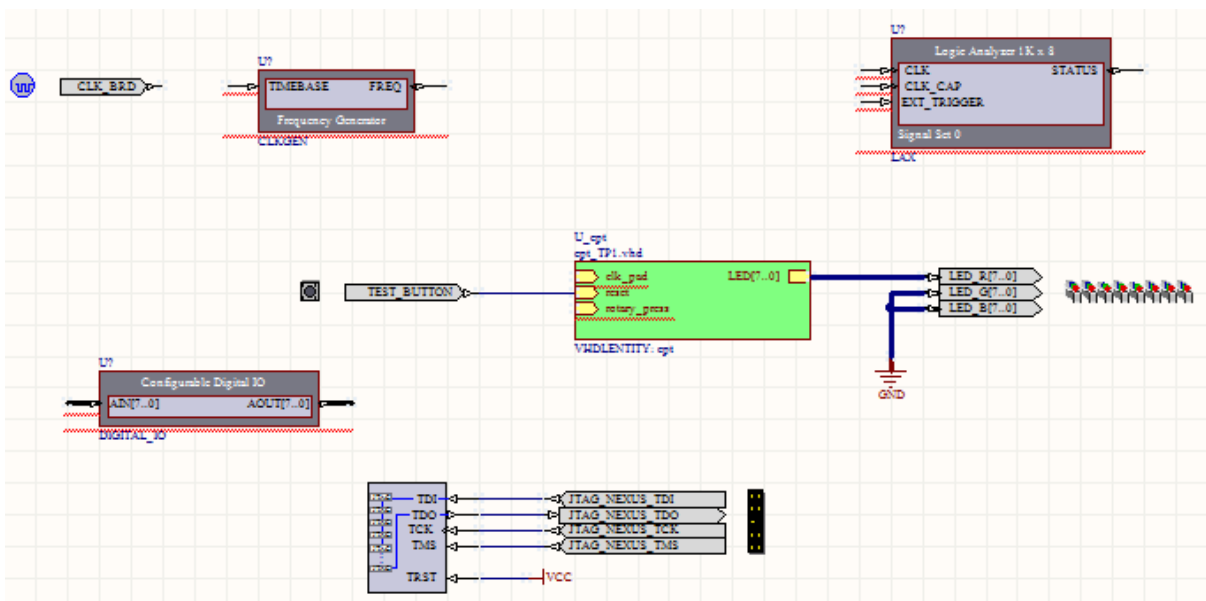
Aussi avant de programmer le FPGA nous allons rajouter à notre projet
des instruments de mesure virtuels.

5 Placer les instruments virtuels dans le schéma.

5.1 Placement des instruments virtuels :

Description	Nom de la fonction	Bibliothèque
Commande binaire du sens de rotation	Digital IO	FPGA Instruments.IntLib
Mise e place d'une horloge paramétrable	CLKGEN	FPGA Instruments.IntLib
Analyseur logique	LAX	FPGA Instruments.IntLib
Déclaration d'un second JTAG dans le FPGA	NEXUS_JTAG_PORT	FPGA Generic.IntLib
JTAG Nexus	NEXUS_JTAG_CONNECTOR	FPGA NB3000 Port-Plugin.IntLib

⇒ Placer les instruments virtuels comme ci-dessous :



5.2 Paramétrage des instruments virtuels:

5.2.1 Paramétrage de la commande sens de rotation :

Cette commande est un signal booléen qui permet de commander la direction du jeux de lumière réaliser par le barre-graphe (Donc de commander le compteur en mode comptage ou décomptage).

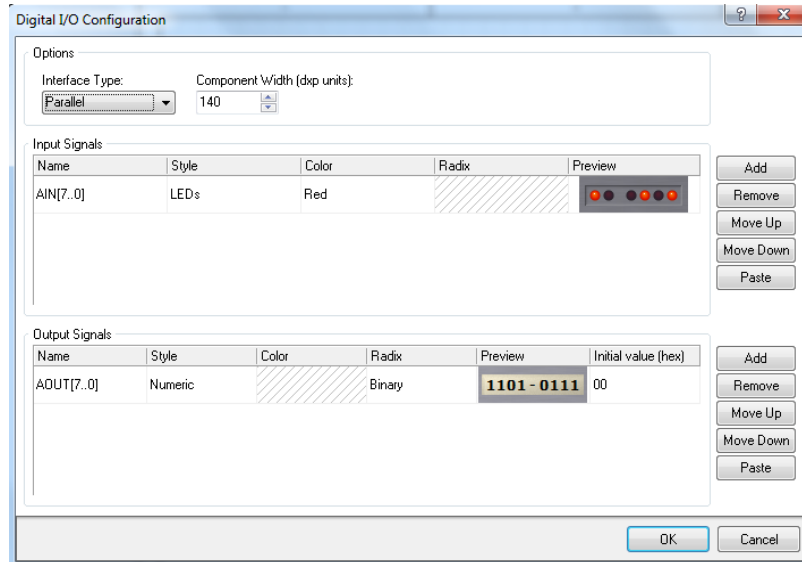
**TP : Planter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.**

Pour accéder à la fonction au paramétrage d'un instrument virtuel :

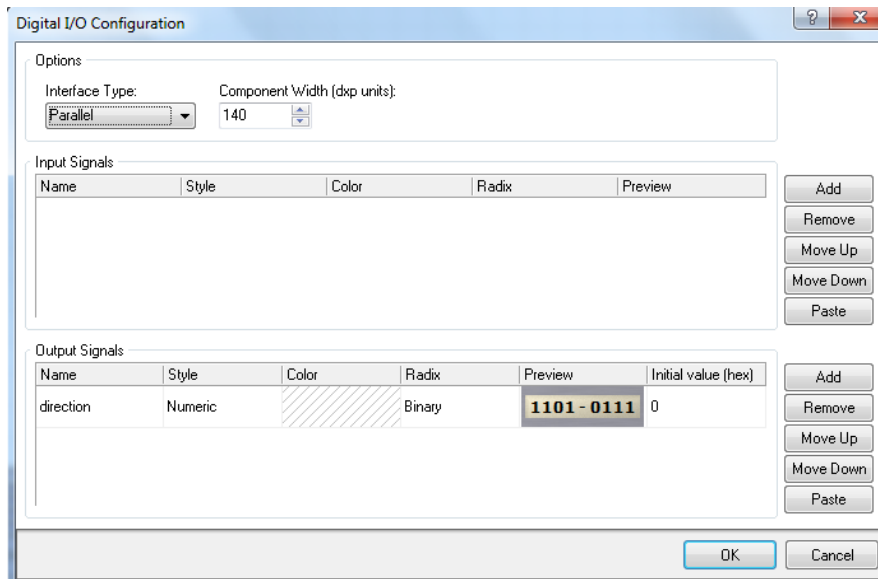
- ⇒ **Cliquer bouton droit** de la souris sur l'icône de l'instrument virtuel
- ⇒ **Commande Configurer** :

Configure U? (DIGITAL_IO) ...

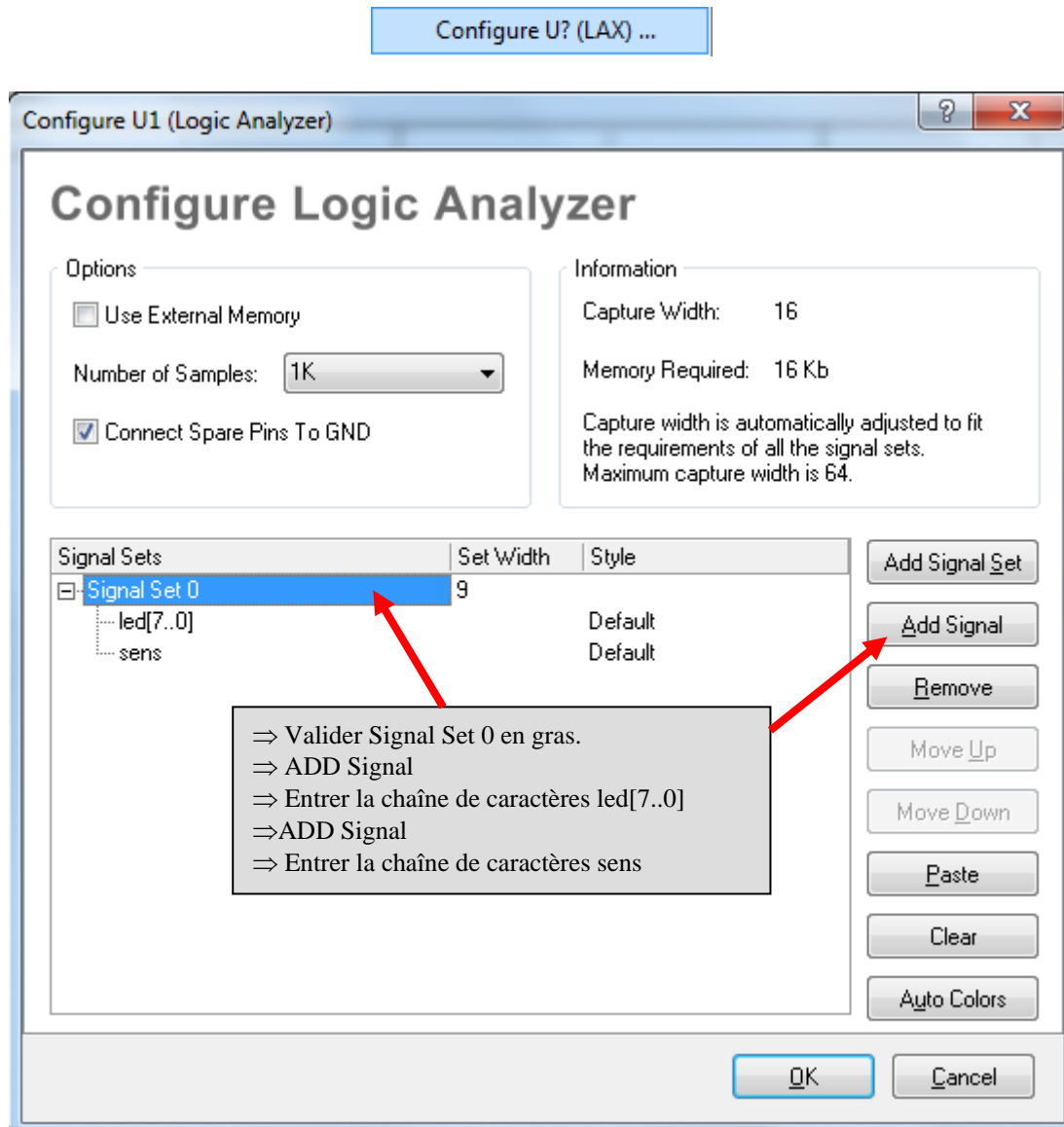
⇒ Avant :



⇒ Après :



5.2.2 Paramétrage du LAX (Logic Analyser)



5.3 Numérotation des composants :

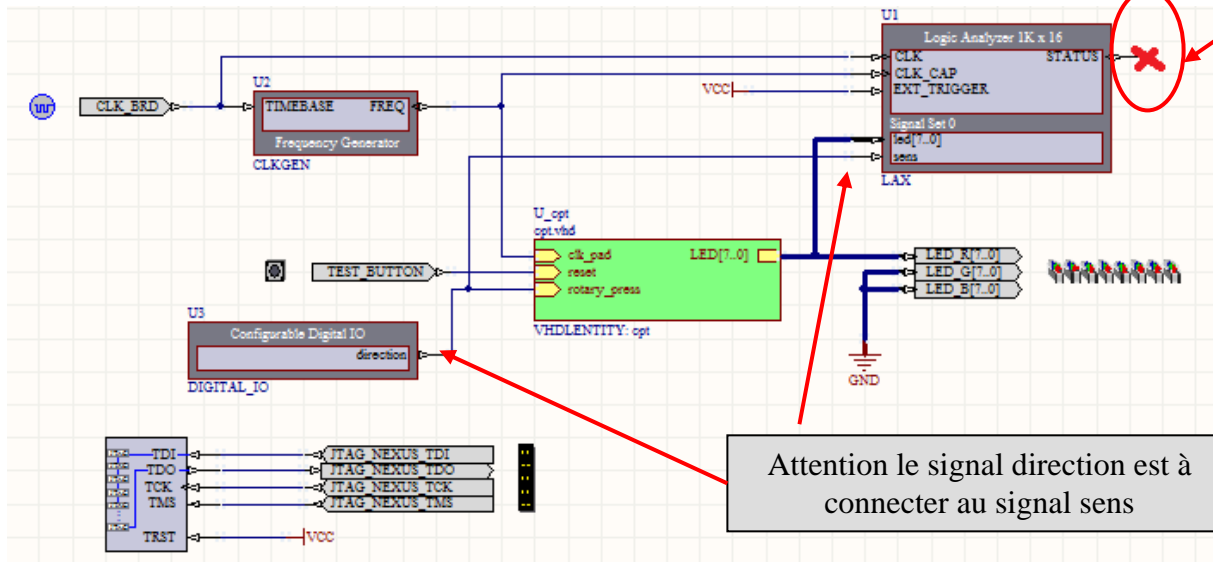
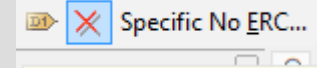
Utiliser la fonction automatique : ⇒ **Menu** : TOOLS
⇒ **Commande** : Annotate schematics Quietly...

Annotate Schematics Quietly...

**TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.**

5.4 Compléter le schéma comme ci-dessous :

Déclarer les signaux non utilisés :



Attention le signal direction est à connecter au signal sens

6 Définir les fichiers de contraintes.

Les fichiers contraintes décrivent notamment les connexions broche à broche des fonctions implémentées dans le FPGA. Comme nous travaillons toujours avec la Nanoboard 3000AL2 il est plus rapide de reprendre toujours le même fichier contraintes fourni par ALTIUM. (voir partie 6.2)

Autres rôles des fichiers contraintes:

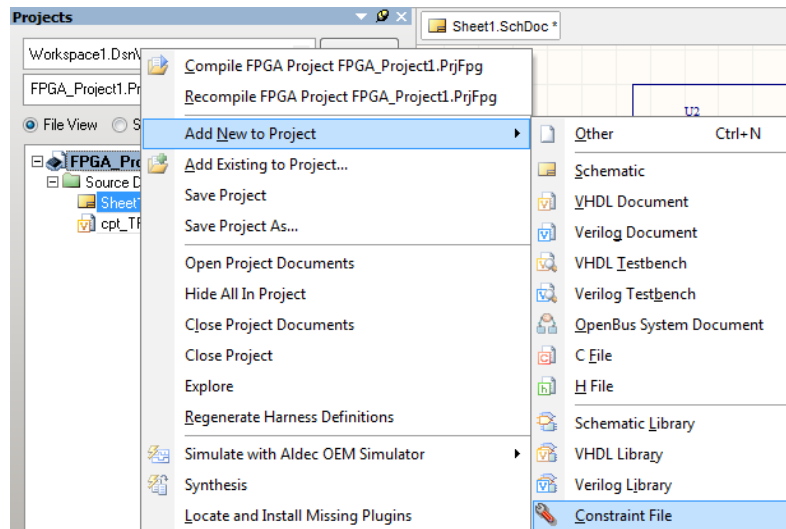
- ⇒ paramétrer des broches spécifiques tels que l'horloge (voir partie 6.1).
- ⇒ si nous décrivons un projet à une autre carte que la Nanoboard il faudra alors créer les fichiers contraintes propres à cette carte.

6.1 Le fichier contraintes des horloges :

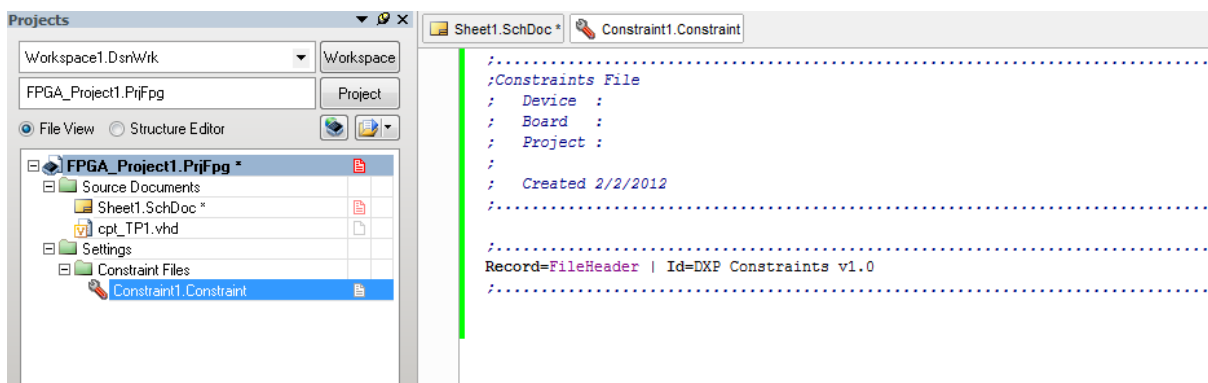
⇒ Ajouter un nouveau fichier contrainte au projet : clic droit sur le nom du projet FPGA dans l'onglet Projets.

⇒ Commande : **Add New to Projet ⇒ Constraint File.**

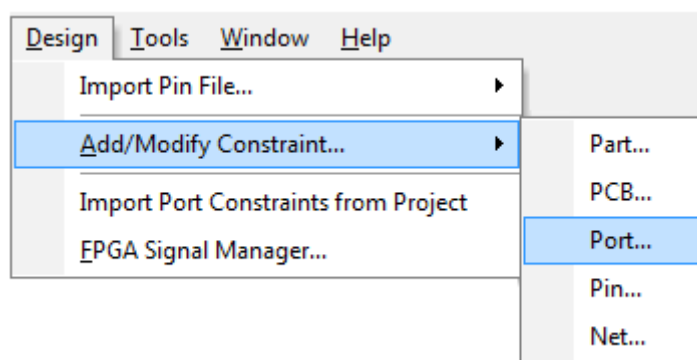
**TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.**



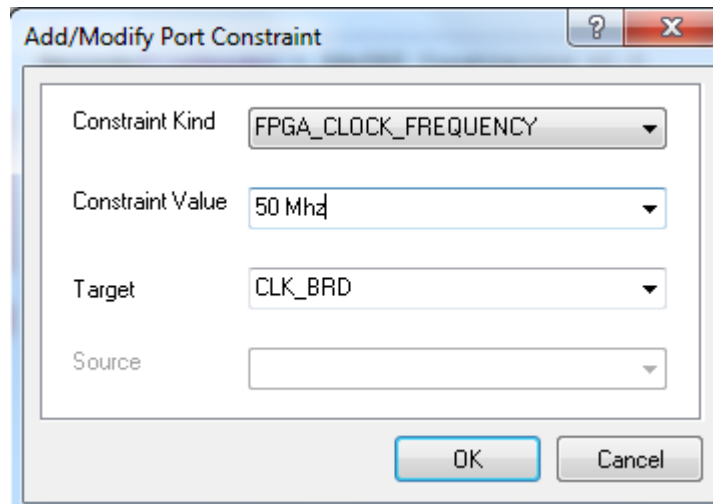
⇒ Il apparaît un fichier texte contrainte à compléter :



⇒ Pour compléter ce fichier contrainte nous allons utiliser des fonctions de génération de code intégrées à ALTIUM :



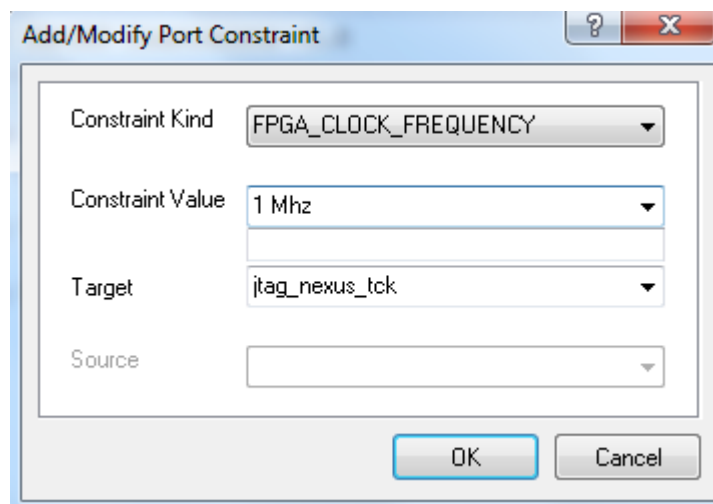
TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.



⇒ D'où la ligne jointe au fichier de contraintes :

```
Record=Constraint | TargetKind=Port | TargetId=CLK_BRD | FPGA_CLOCK_FREQUENCY=50 Mhz
```

⇒ Faire de même pour les contraintes imposées à l'horloge du JTAG :



```
Record=Constraint | TargetKind=Port | TargetId=jtag_nexus_tck | FPGA_CLOCK_FREQUENCY=1 Mhz
```

⇒ Vous devez maintenant obtenir le fichier ci-dessous.

⇒ Sauvegarder ce fichier.

**TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.**

```
Constraint1.Constraint *
;.....
;Constraints File
; Device :
; Board :
; Project :
;
; Created 2/2/2012
;.....

Record=FileHeader | Id=DXP Constraints v1.0
;.....

Record=Constraint | TargetKind=Port | TargetId=jtag_nexus_tck | FPGA_CLOCK_FREQUENCY=1 Mhz

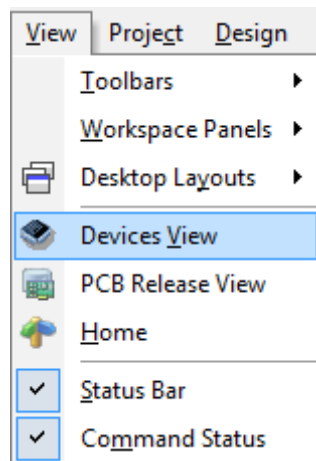
Record=Constraint | TargetKind=Port | TargetId=CLK_BRD | FPGA_CLOCK_FREQUENCY=50 Mhz
```

6.2 Le fichier contrainte liant les broches du FPGA aux périphériques implantés sur la Nanoboard 3000 :

Ce fichier contrainte existe déjà ! Inutile de l'écrire.

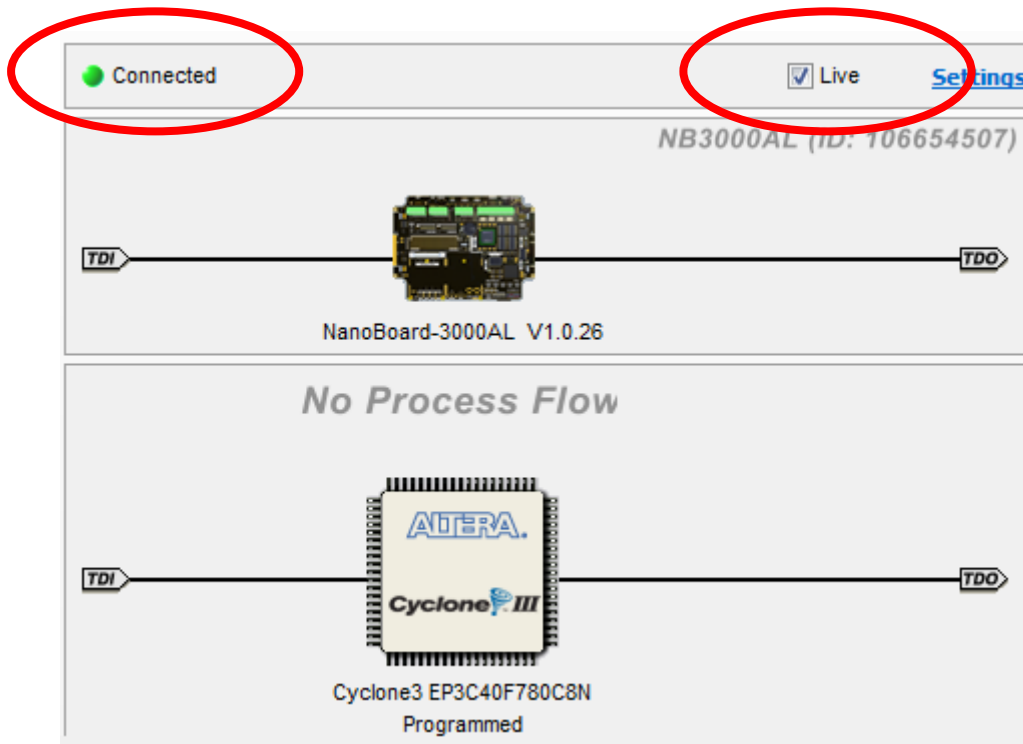
Pour adjoindre ce fichier contrainte à votre projet vous devez d'abord connecter votre PC à la **Nanoboard**.

⇒ Faites apparaître la fenêtre de visualisation de la Nanoboard :

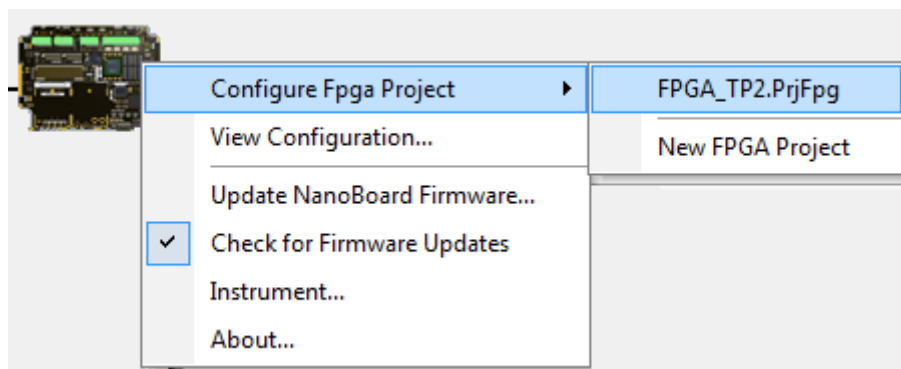


TP : Planter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.

⇒ Assurez-vous que la NanoBoard soit bien connectée à votre PC :

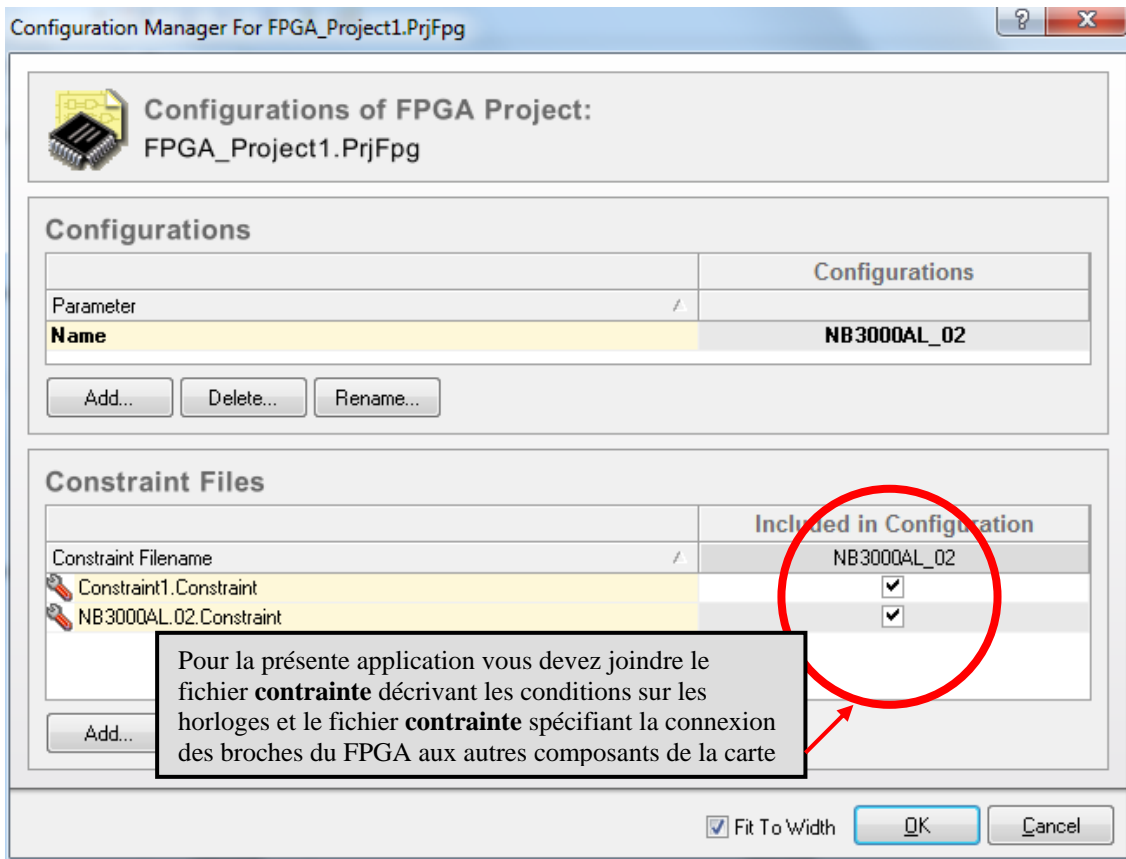


⇒ Cliquer droit sur l'icône de la NanoBoard et configurer le projet FPGA :

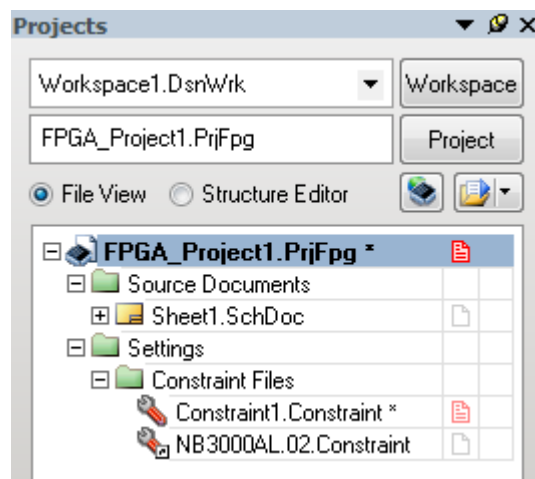


⇒ La fenêtre ci-dessous vous invite à spécifier les fichiers contraintes que vous voulez utiliser pour votre prochaine phase de compilation/synthèse/programmation.

**TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.**



⇒ A l'issue de cette étape un deuxième fichier contrainte est lié à votre projet :



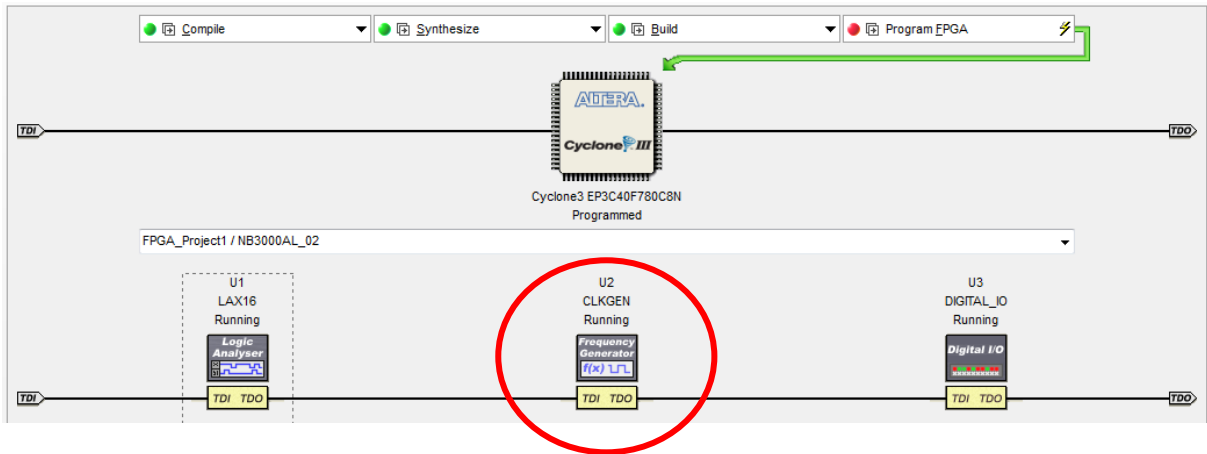
7 Compiler, Synthétiser, construire, Programmer le FPGA.

⇒ Cliquer sur Compile, cliquez sur Synthetize, cliquer sur Build.

8 Mettre en œuvre les instruments de mesure virtuels.

8.1 Réglage de la fréquence entrante par U2 : le générateur d'horloge

⇒ Cliquer sur U2 :



⇒ Régler la fréquence à 20Hz.



8.2 Commande du sens d'incrémentation à l'aide de la sortie digitale.

⇒ Cliquer sur U3 : la partie commande digitale vient s'adjoindre au rack d'instrument déjà ouvert.

⇒ Vous pouvez ainsi commander la valeur du bit direction sortant de U3.

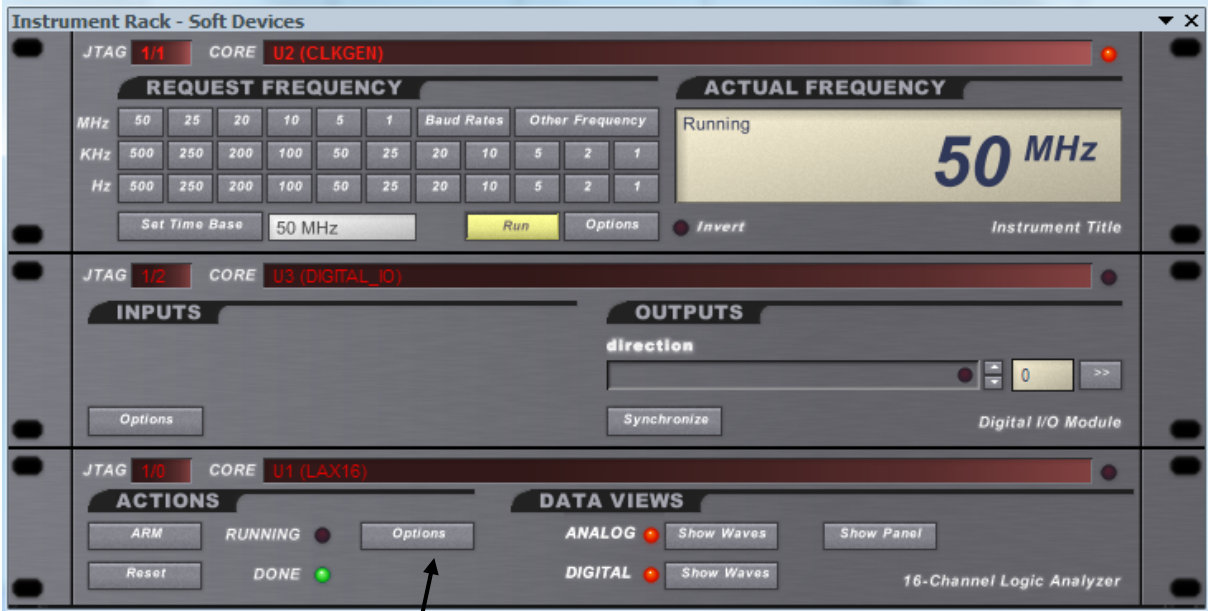


**TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.**

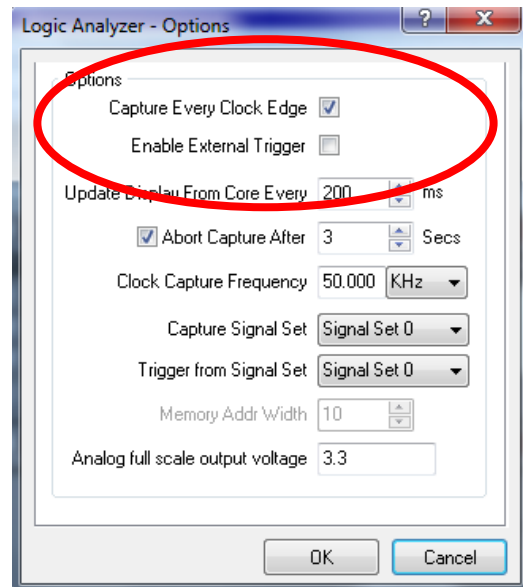
8.3 Visualisation des signaux

L'acquisition des signaux sera effectuée avec l'horloge à **50 MHz**

⇒ Cliquer sur l'analyseur logique U1 : LAX16. Le rack contient maintenant la partie visualisation des données.



Paramétrer les options comme ci-contre

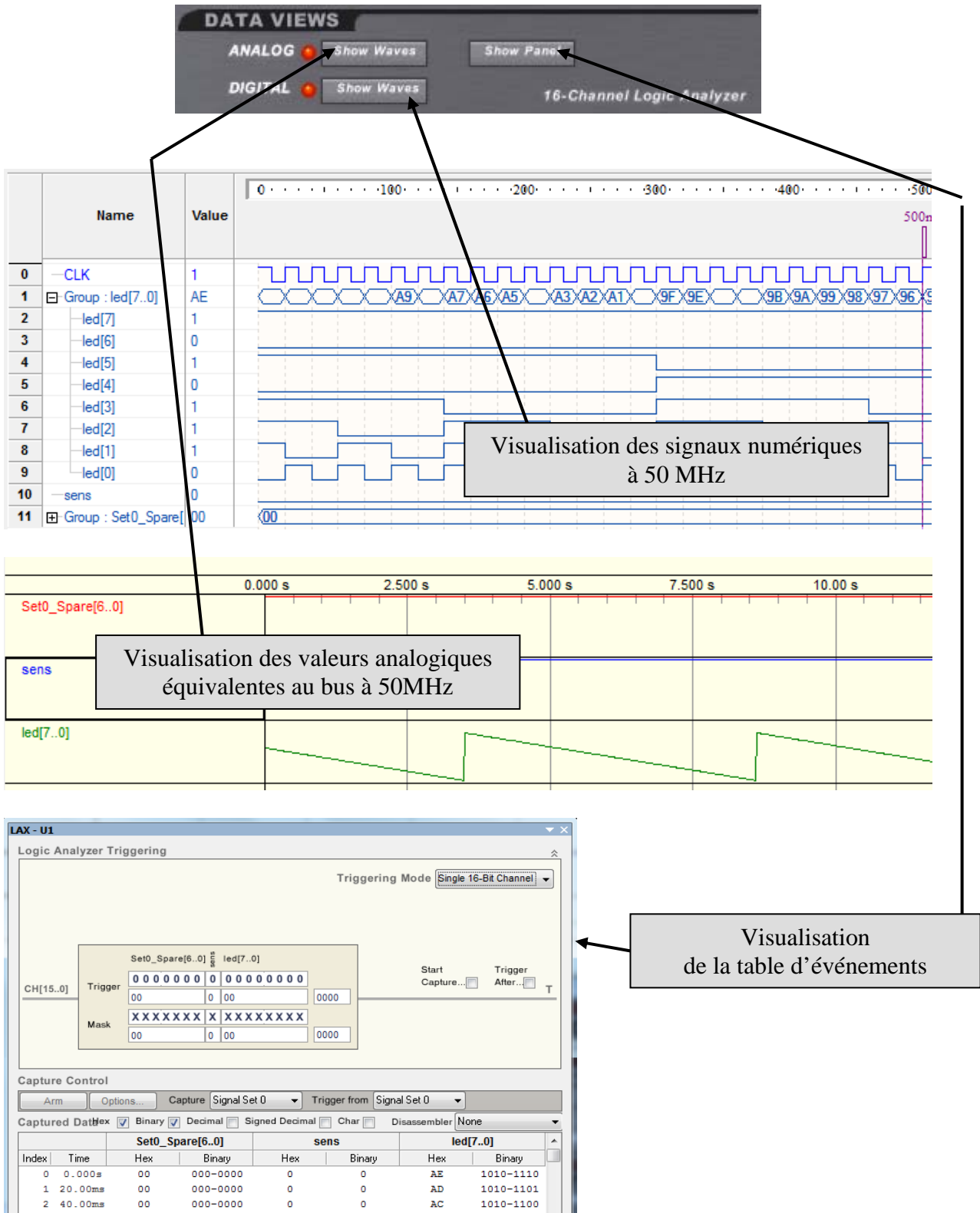


Lancement d'une nouvelle simulation



**TP : Implanter une description VHDL dans le FPGA.
Mise en œuvre d'instruments de mesure virtuels.**

⇒ Les données acquises peuvent être visualisées sous forme numérique, « analogique » ou concaténées dans une table d'événement.



***** Fin du TP2 *****