Activité 2 Mini projet DMX-FPGA : Implanter un processeur dans le FPGA.Durée estimée 4hProgrammer le processeur

0 - Présentation de l'activité 2 - Console DMX :



Traitement numérique du signal : Emission d'une trame DMX pilotée par un instrument virtuel

Pré-requis :

 \Rightarrow Avoir suivi les TPs de formations





 $-TP_compteur_VHDL_virtual_instruments-FPGA$

-TP_Processeur_embarque_OPEN_BUS-FPGA

-TP_Compiler_simuler_debugger_un_fichier_C-FPGA

Durée estimée : \Rightarrow 4 heuresObjectif : \Rightarrow Implanter et programmer un **processeu**r dans un **FPGA**.

Vocabulaire spécifique :



Sommaire de l'activité 2 du mini projet :

- 1 Créer un nouveau projet FPGA.
- 2 Editer le fichier OpenBus.
- 3 Créer le « TOP » schéma.
- 4 Définir les fichiers de contraintes.
- 5 Création du projet embarqué.
- 6 Construction du fichier « Software platform » Mise en place des API.
- 7 Ajout du fichier C principal
- 8 Compiler, synthétiser, construire, programmer le FPGA.
- 9 Mettre en œuvre les instruments de mesure virtuels.

* Rappel : sous ALTIUM la feuille de schéma *.SchDoc est en haut du projet, c'est le « TOP LEVEL ».

	Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	1 / 43
--	------------------	------------------------------------	------------	--------

Schéma Open bus à dessiner:



Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	2 / 43

Schéma Top à dessiner au cours du TP7-1 Console DMX:



Formation ALTIUM

Act2_DMX-FPGA_Emission d'une trame

10/06/2013 3 / 43

<u>1 Créer un nouveau projet FPGA</u>

1.1 Repartir d'un environnement vide :

Ritum Designer Helesse 10 (Pottorm 109/2/2305) Free Documents Licensed to Lycée Prive Saint Gabriel, Not signed in.		
DUP : He View Project Window Help	1	• 0 - 0 - †
	System Design Compiler	IIII Instruments VIII >>

1.2 Ouvrir les fenêtres projet et messages :

Paramétrer l'environnement de travail d'Altium Designer en utilisant la commande : View >> Workspace Panels >> System, puis cocher les options Libraries, Messsages et Projet

🗣 Alfuan Designer Release 10 (Platkann 10.972.7399) - Free Dacuments, Licensed to Lycée Priné Saint Galariet, Nat signed in.		×
10200 : Elle View Project Window Help	1	•0•0•
L 😂 👻 Loolbars 🕨		
Projects Workspace Panels · Design Compiler ·	Libraries	- @ ×
Workspecel Dark 🗃 Decklap Legands 🔸 🗄 Help	Libraries Gearch	Place
Key Mappings Instruments	PPGA NB3000 Port Plugin InfLib	
Flo View O S S Devices Yiew System Slipboard		
PCB Release View VHII + bogmites	Free area of Name	()
The Home Libraries	-B VDC	
Setur. Rec		
Command Status Files		
Qutput	58 comparaents:	
Zuqquet.	City has to draw one	A
Storage Manager		
Supplier Search	Model Name	^
To Do		
Vauli Duploger		
Projects		^
	Nu Preview Availa	Ule
	Constant Manufacturar Di	unining lini
	influes ¹ wormacines in	Price
		^
Nessages		▼ Ø ×
Class Document Source Message	Time Date	No.
<u></u>		
	System Design Compiler Help Ins	trumente VHDL 33

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	4 / 43
------------------	------------------------------------	------------	--------

1.3 Créer et renommer le projet :

Créer un nouveau projet en utilisant la commande : File >> New >> Projet >> FPGA Projet

😻 Altium Desi	gno	er Release 10 (Platform 10.972.2359)) Hr	ee Documents, Licensed to Lycée Pri	we Saint Gabriel. Not signed in.		
DXP H	-ite	View Project Window Help				1	• 0 · 0 · 🛉
: 🗅 💕 🖣		New		Schematic			
Projects	3	Open Orde0	\$	Open <u>B</u> us System/Document		Ubrarres	▼ 94 ×
Winksparce 🔓	5	Open Project	10	<u>P</u> CB		Librarez Search	Hucc
		Open Design Workspace	1	VI IDL Document		EPGA NR3000 Put Planin htt 2	
(B) File View		Check Out	٤	Venlog Document			
· i i e view		Sava Deciact	a	C Source Document			
		Sane Project	3	C++ Source Document		Component Name	^ ^
		Save Design Workspace	۵	C/C++ Header Document		AUDIO_CUDEC	
		Save Design Workspace Ar	闻	ASM Source Document		-B DIDS BUNKD	-
		Save All	ie	Soltware Platform Document		58 components	
		Smart DDE		Text Document			
		smart ror	36	CAM Document		Lask hear: hear hear	408024
		Import Wizerd	A.	Output Job File		Mudel Name	A
		Component Release Manager	ġ1	Database Lin <u>k</u> File			
		Recent Documents		Propert +	PCB Propert		
		Recent Projects.		Library •	R FPGA Project		*
		Recent Workspaces		Script Files	12 Core Project	No Provou évalo	the second
		Egit Alt+F4		March Septed Simulation	S Integrated Library		
-				Other +	Cmbedded Project		
			-	Design Workspace	Script Project	Supplier A Manufacturer D	escription Unit Price
			-				
							^
_							
Messages							- ⊗ ×
Class		Document		Source Message		Time Date	No.
1							
						Surtem Design Compiler Help In	struments VIDI bal

Un projet nommé (FPGA_Projet1.PrjFPGA) apparaît dans l'onglet gestion de projet.

DXP File View F DXP €ile View F DXP € € € € € € € € € € € € € € € € € € €	Proje <u>c</u> t <u>W</u> indow	<u>H</u> elp		
Projects	▼Ø×			
Workspace1.DsnWrk	Workspace			
FPGA_Project1.PrjFpg	Project			
File View Structure Edit	tor			
	S			
B FPGA_Project1.PrjF	pg			
No Documents Adde	d			

Clic bouton droit sur le nom du nouveau projet (*FPGA_Projet1.PrjFpg*) dans l'onglet Projets et choisir la commande **Save Projet as « FPGA_ConsoleDMX.PrjFpg »** pour sauvegarder le projet dans le répertoire de travail « **\TP71_ConsoleDMX** ».

<u>Remarques</u>: Les caractères espace () et/ou tiret (-) ne doivent pas être utilisés dans les noms du projet ou des documents. Le caractère underscore (_) peut être utilisé pour améliorer la lisibilité.

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	5 / 43

2 Editer le fichier OPEN BUS



2.1 Ajouter au projet un fichier OPEN BUS et sauvegarder ce fichier

Ajouter un nouveau fichier OpenBus par un *Clic bouton droit* sur le nom du projet FPGA dans l'onglet Projets et choisir la commande Add New to Projet>> OpenBus System Document



Clic bouton droit sur le nom du nouveau fichier OPENBUS (*System1.OpenBus*) dans l'onglet Projets et choisir la commande sauvegarder le document **Save As** avec le nom *ConsoleDMX.OpenBus* dans le même dossier parents du projet.

Avant :

<u>Après :</u>

Projects	▼ 🖉 ×	Projects	▼ @ >
Workspace1.DsnWrk	Workspace	Workspace1.DsnWrk	Workspace
FPGA_ConsoleDMX.PrjFpg	Project	FPGA_ConsoleDMX.PrjFpg	Project
File View	•اف	● File View ○ Structure Editor	•ا ف
🗆 🔊 FPGA_ConsoleDMX.PrjFpg	, * 🗈	FPGA_ConsoleDMX.PrjFpg *	
🖂 🚞 Source Documents		🖃 🛄 Source Documents	
🗛 System1.0penBus	Ľ	ConsoleDMX.OpenBus	B

Formation ALTIUM	Act2 DMX-FPGA Emission d'une trame	10/06/2013	6/43

2.2 Placer les éléments OPEN BUS suivants afin de dessiner le schéma

Clic bouton droit sur la feuille de travail OpenBus et choisir dans l'onglet qui apparaît la commande **WorkspacePanels** >> **OpenBus** >> **OpenBus** Palette

<u>S</u> ystem	Design Compiler	E <u>m</u> bedded	<u>H</u> elp	Instruments	<u>O</u> penBus	⊻HDL	>>
				/			
		Open	Bus Filte	er			
		Open	Bus Insp	ector			
		Open	Bus List				
		Open	Bus Pale	tte			

Le tableau ci-dessous identifie les composants OPEN_BUS à placer sur le bus mémoire

Symbole	Nom du composant	Description
TSK3000A_1	TSK3000A	Processeur RISC 32 bits
WB_INTERCON_I	Interconnect	Permet de connecter la mémoire SRAM au bus du processeur
WB_MEM_CTRL_SRAM_I	Contrôleur mémoire SRAM	Permet de connecter la mémoire statique asynchrone (SRAM) organisée en 2 x 16 bits de la Nano Board au bus du mémoire du processeur

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	7 / 43



=> Placer les composants sur la feuille de schéma Open Bus

<u>Remarque</u> : la touche d'espace permet de faire tourner les composants

=> Dessiner les liens entre les éléments OpenBus :



Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	8 / 43
------------------	------------------------------------	------------	--------

Le tableau ci-dessous identifie les compo	sants OpenBus à placer sur le bus périphérique
---	--

WB_NTRCON_2	Interconnect	Permet de connecter les périphériques au bus du processeur.
WB_UART8_V2_1	Serial Communications Port	Permet d'envoyer des caractères vers une liaison série asynchrone
WB_LED_CTRL_I	LED Controller	Permet de contrôler les leds de la Nano Board
DIGITAL_IO_I	Digital IO	Permet de lancer un instrument virtuel pour visualiser le résultat de la conversion AN

=> Placer les composants sur la feuille de schéma Open Bus

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	9 / 43



=> Ajouter un port OpenBus au composant WB_INTERCON_2 :





=> Dessiner les liens entre les éléments OpenBus :

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	10 / 43



WB_UART8_V2_1

=> Paramétrer et renommer le composant WB_LED_CTRL_1

Clic bouton droit sur le composant WB_LED_CTRL_1, puis dans l'onglet qui apparaît sélectionner **Configure OpenBus LED Controller**

Configure OpenBus LED Controller	
LED Controller (Wishbone)	
Main	
Number of LEDs: 3	
RGB	Renommer en NB_LEDS
General Properties	
Interface Type Signal Harnesses	Cliquer sur OK pour valider les changements
Manage Signals OK Cancel	
<u> </u>	

=> Paramétrer et renommer le composant WB_UART8_V2_1

Clic bouton droit sur le composant WB_UART8_V2_1, puis dans l'onglet qui apparaît sélectionner **Configure OpenBus Serial Communications Port**

Configure OpenBus Serial Communications Port	Renommer en CTRL_UART
Ceneral Properties Component Designator WB_UART8_V2_1 Visible Interface Type Signal Harnesses	
Manage Signals QK Cancel	

Cliquer sur OK pour valider les changements

|--|

DIGITAL_IO_1 ۲ Q

=> Paramétrer et renommer le composant port Digital_IO_1

Clic bouton droit sur le composant port Digital_IO_1, puis dans l'onglet qui apparaît sélectionner Configure OpenBus Digital IO

<u>vant :</u>				Renommer en	CTRL_CONSOLE
Configure OpenBu	s Digital IO				8 ×
Options Interface Type: Wishbone	Ŧ	Component DIGITAL_I	Desig ue tor:		
Input Signals					
Name AIN[70]	Style LEDs	Color Red	Radix	Preview	Add Remove Move Up
				Supprimer les si et de sortie AOU	gnaux d'entrée AIN[70 [T[70]
Output Signals Name	Style	Color Ra	dix Preview	v Initial value (hex)	Add
AOUT[70]	Numeric	Bin	ary 110	00	Remove Move Up Move Down Paste
Manage Signals				01	Cancel
Ajouter VERT[7	les signaux d 0], BLEU [70]	le sorties ROUG , et DIMMER[70].	E [70],		
liquer sur	OK pour valio	der les changeme	ents		

Name	Style	Color	Radix	Preview	Initial value (hex)	A	Add
ROUGE[70]	Slider				- 00		Remove
VERT[70]	Slider			///// 	- 00	E	Move Up
BLEU[70]	Slider				- 00		Paste
DIMMER[70]	Slider			///// 	- 00	-	

FORMATION ALTION ACI2_DMA-FPGA_Emission d'une traine 10/06/2015 12/45	Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	12 / 43
---	------------------	------------------------------------	------------	---------

=> Paramétrer le composant Contrôleur SRAM



Clic bouton droit sur le composant XRAM, puis dans l'onglet qui apparaît sélectionner **Configure OpenBus SRAM Controller**

configure memory cor	Itroller
Memory Type	Clock cycles for Reading
Asynchronous SRAM	Clock cycles for read operation: 2
Size of Static RAM array 1 MB (256K x 32-bit)	Choose the number of clock cycles for each read operation. A zero wait-state read will be 2 clock cycles or 40ns for a 50 MHz system clock.
Select the size (in bytes) of the physical RAM array that	the Clock cycles for Writing
controller will be working with.	Cycles for address setup: 1
Memory Layout	Cucles for write pulse:
2 x 16-bit Wide Devices	
Choose the memory layout.	Cycles for post-write address hold:
This will determine: The number pins added to the controller to allow it conr the memories as well as the number of accesses require read or write a single 32-bit word.	choose the number of extra cycles to add for each stage of a write operation. Each stage must be at least onc clock cycle so a minimal write is three clock cycles or 60ns for a 50 MHz system clock.
General Properties	
Component Designator XSRAM	Interface Type Signal Harnesses 🗸 🗸
Visible	

Cliquer sur OK pour valider les changements

Formation ALTIUM Act2_DMX-FPGA_Emission d'une trame	10/06/2013	13 / 43
---	------------	---------

=> Paramétrer le processeur comme ci-dessous :



Clic bouton droit sur le composant port Processeur \square , puis dans l'onglet qui apparaît sélectionner **Configure TSK3000A_1**



Cliquer sur OK pour valider les changements

Clic bouton gauche sur le Manage Signal, puis dans l'onglet qui apparaît sélectionner Interrupts

=> Visualiser le plan des interruptions du processeur comme ci-dessous :

ocks Resets Interrupts Extern	al connection summary		
		TSK3000A(TSK3000A_1)	
ame	Kind and Polarity	Interrupt	
	TRL_UART)		
⊡ INT_O[10]			
	Rising edge	INT_IO	
O1	Rising edge	INT_I1	
o Interrupt pins			
		Not Exported	
INT_I1		Not Exported	
o INT_I2		Not Exported	
o INT_I3		Not Exported	
o INT_I4		Not Exported	
		Not Exported	
		Not Exported	
	Na maa auhlian da diaffaatan laa	Not Exported	
	Ne pas oublier de d'affecter les	Not Exported	
	interruptions au port série de	Not Exported	
INT_I10	communication	Not Exported	
	communication		

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	14 / 43
------------------	------------------------------------	------------	---------

=> Visualiser le plan mémoire du processeur comme ci-dessous :

Clic bouton droit sur le port Processeur TSK3000, puis dans l'onglet qui apparaît sélectionner **Configure Processor Memory**



Cliquer sur OK pour valider les changements

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	15 / 43
------------------	------------------------------------	------------	---------

=> Visualiser le plan mémoire des périphériques comme ci-dessous :

<i>Clic bouton droit</i> sur le port Processeur	TSK3000, puis dans l'onglet qui apparait sélectionner
Configure Processor Peripherals	

Configure Peripherals					? ×
	Memory Architecture		Defined Periphe	eral Devices	
	OxFFFF FFFF		OxFFFF	FFFF	
		OxFFFF_FFF			
	Processor I/O Space IO Port of the processor		NB_LE WB_INTER	DS CON_2	0xFF03_001F 0xFF03_0000
		0xFFC0_0000 0xFEFF_FFFF	CTRL_U WB_INTER	ART CON_2	0xFF02_000F 0xFF02_0000
External-Memory Space		CTRL_ WB_INTER	SPI Con_2	0xFF01_0007	
	External-memory space		CTRL_COI	ISOLE	0xFF01_0000
		0x0100 0000	WB_INTER	CON_2	0xFF00_0000
		0x00FF_FFFF			0xfEff_ffff
	Internal-Memory Where the				0x0100_0000 0x00FF FFFF
	boot code resides	0x0000_0000			0×0000_0000
	0x0000_0000		0x000x0	0000	
Name	Address	∧ Size	Туре	Interrupts	
CTRL_CONSOLE	0xFF000000	0x0004	Peripheral		
CTRL_SPI	0xFF010000	0x0008	Peripheral		
LIRL_UART	0xFF020000	0x0010	Peripheral Peripheral		
Generate following files int	o the subproject(s) at FPGA Project compilation oly File) (기술hardware.h (C Header File))			
				Configure Memory	DK Cancel
		Ne pas or	ıblier de cocher		

Cliquer sur OK pour valider les changements

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	16/43
------------------	------------------------------------	------------	-------

3 Dessin du TOP schéma

3.1 Création du fichier schéma en tête du projet FPGA

=> Ajouter un nouveau schéma :

Clic droit sur le nom du projet FPGA dans l'onglet Projets et choisir la commande Add New to Projet >> Schematic.

Projects	▼ Ø ×			
Workspace1.DsnWrk	▼ Workspace			
FPGA_ConsoleDMX.PrjFpg	Project			
● File View				
FPGA_ConsoleDMX.PrjFpg *	<u>Compile FPGA Project I</u>	FPGA_ConsoleDMX.PrjFpg		
ConsoleDMX.OpenBus	<u>R</u> ecompile FPGA Projec	t FPGA_ConsoleDMX.PrjFpg		
E i Seangs	Add <u>N</u> ew to Project	•	<u>O</u> ther	Ctrl+N
	<u>Add Existing to Project.</u>		Gchematic	
		Projects		▼ Ø ×
		Workspace1 DsnWrk		Workspace
Remarque : à ce stade le sci	héma Sheet1.SchDoc	FPGA_ConsoleDMX.Prj	Fpg	Project
est hiérarchiquement sous le fi	chier OpenBus.	File View O Structure	ure Editor	•ف ک
		🗆 🔊 FPGA Console	eDMX.PrjFpg *	B
		🗌 🖃 Source Docum	nents	
		🔒 ConsoleDM	X.OpenBus	
		Sheet1.Sch	Doc	<u>Ľ</u>
		🗉 🖃 🔜 Settinas		

=> Renommer le nouveau schéma :

Clic bouton droit sur le nom du nouveau schéma (*Sheet1.SchDoc*) dans l'onglet Projets et choisir la commande sauvegarder le document **Save As** avec le nom *Top_ConsoleDMX.SchDoc* dans le répertoire de travail « **\TP71_ConsoleDMX** ».

=> Sauvegarder le projet :

Clic droit sur le nom du projet FPGA (*FPGA_ConsoleDMX.PrjFpg*) dans l'onglet Projets et choisir la commande **Save Projet**

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	17 / 43
------------------	------------------------------------	------------	---------

=> Recompiler le projet :

Clic droit sur le nom du projet FPGA (*FPGA_ConsoleDMX.PrjFpg*) dans l'onglet Projets et choisir la commande **Compile FPGA Projet FPGA_ConsoleDMX.PrjFpg**



=> Dans la zone message doit apparaître le résultat de la compilation :

Messages						
	Class	Document	Source	Message		
	🔲 [Info]	FPGA_ConsoleDMX.PrjFpg	Compiler	Compile successful, no errors found.		

Si la compilation n'est pas réussie corriger vos erreurs.

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	18 / 43
------------------	------------------------------------	------------	---------

3.2 Placer dans le schéma le symbole créé à partir du fichier OpenBus :

Dans la barre de menu choisir la commande **Design** >> **Create Sheet Symbol From Sheet or HDL**

DXP File Edit View Project Place	<u>D</u> esi	ign <u>T</u> ools <u>S</u> imulator <u>R</u> eports <u>W</u> indow
I 🗅 💕 🖵 🎒 🛕 🗶 📾 🔍 🔍 🔍	í,	Browse Library
Projects		Add/Remove <u>L</u> ibrary
Workspace1.DsnWrk		<u>M</u> ake Schematic Library
FPGA_ConsoleDMX.PrjFpg Proje		M <u>a</u> ke Integrated Library
File View O Structure Editor		Project Templates
		General Templates
Source Documents		Up <u>d</u> ate Current Template
Top_ConsoleDMX.SchDoc		Remo <u>v</u> e Current Template
E Consoled M∧. Openblus E Settings	%	Synthesize
		Netlist For Project
		Netlist For Document
		Simulate
		Create Sheet From Sheet Symbol
		Create HDL File From Sheet Symbol
		Create C File From Code Symbol
		Create Sheet Symbol From Sheet or HDL

=> Cliquer sur le nom du fichier « TP2ConsoleDMX.OpenBus »

ſ	Choose Document to Place		8 X
	Document Name	△ Document Path	
	🖃 🚞 OpenBus System Documents		
	🚰 ConsoleDMX.OpenBus	D:\ALTIUM_RNR_Nov2012\TP71_Console_DMX\	

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	19 / 43
------------------	------------------------------------	------------	---------

=> Organiser le corps du symbole comme ci-dessous en déplaçant les ports jaune et bleu :



Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	20 / 43
------------------	------------------------------------	------------	---------

Schéma TOP complet à obtenir :



<u>Remarque :</u>

Le port de couleur jaune permet la connexion d'un fil.

Le port de couleur bleu permet la connexion d'un bus vers un connecteur Harness.

=> Placer un connecteur Harness pour le bus du port série CTRL_UART:

Clic droit sur le port de couleur bleu « CTRL_UART », puis choisir la commande **Sheet** entry Actions >> Place Harness connecteur of Type WB_UART_V2



Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	21 / 43
------------------	------------------------------------	------------	---------

3.3 Placer et paramétrer les composants sur le schéma

 \Rightarrow Placer sur le schéma les éléments suivants :

Description	Nom de la fonction	bibliothèque
Test / Reset Button	TEST_BUTTON	FPGA NB3000 Port-Plugin.IntLib
Commande du Barre-graphe 8 LEDs 3	LEDS_RGB	FPGA NB3000 Port-Plugin.IntLib
couleurs		
Entrée de l'horloge paramétrable	CLOCK_BOARD	FPGA NB3000 Port-Plugin.IntLib
Mémoire Statique SRAM 0	SRAM0	FPGA NB3000 Port-Plugin.IntLib
Mémoire Statique SRAM 1	SRAM1	FPGA NB3000 Port-Plugin.IntLib
Interface matérielle RS 485	RS485CNTR	FPGA NB3000 Port-Plugin.IntLib
Porte logique	OR2S	FPGA Generic.IntLib
Compteur généric	FPGA_STARTUP8	FPGA Generic.IntLib
Inverseur généric	INV	FPGA Generic.IntLib
Interface Nanoboard	NANOBOARD_INTERFACE	FPGA Instruments.IntLib

Pour placer un nouveau composant :

- \Rightarrow cliquez sur **Librairies** sur le bord droit de l'écran
- \Rightarrow Sélectionnez la bibliothèque du composant
- \Rightarrow Sélectionnez le composant
- \Rightarrow Placez le composant



Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	22 / 43
------------------	------------------------------------	------------	---------

3.4 Compléter le schéma comme ci-dessous :



- \Rightarrow Relier les fils entre eux
- 3.5 Numérotation des composants :

Utiliser la fonction automatique :

 $\Rightarrow Menu : TOOLS$ $\Rightarrow Commande : Annotate Schematics Quietly...$

Annotate Schematics Quietly...

 \Rightarrow Sauvegarder et compiler le projet

A ce stade du projet :

Nous pourrions, après ajout des fichiers contraintes, compiler, synthétiser, construire, et programmer le FPGA, puis lancer le programme.

Il serait à même d'être exécuté sur la Nanoboard 3000.

Nous n'aurions toutefois pas d'outils nous permettant de contrôler la validité de notre programme et d'analyser le fonctionnement du FPGA.

Aussi avant de programmer le FPGA nous allons rajouter à notre projet **des instruments de mesures virtuels.**

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	23 / 43

4 Définir les fichiers de contraintes

Les fichiers contraintes décrivent notamment la connexion broche à broche des fonctions implémentées dans le FPGA. Comme nous travaillons toujours avec la Nanoboard 3000AL2 il est plus rapide de reprendre toujours le même fichier de contraintes fourni par ALTIUM.

Autres rôles des fichiers contraintes:

 \Rightarrow paramétrer les broches spécifiques telles que l'horloge.

 \Rightarrow si nous décrivons un projet à une autre carte que la Nanoboard il faudra alors créer les fichiers contraintes propres à cette carte.

4.1 Le fichier contraintes des horloges

 \Rightarrow Ajouter un nouveau fichier contrainte au projet :

Clic bouton droit sur le nom du projet FPGA dans l'onglet Projets et choisir la commande Add New to Projet >> Contrainte File

Projects		▼ Ø ×			
Workspace1.DsnWrk	•	Workspace			
FPGA_ConsoleDMX.PrjFpg		Project			
● File View ○ Structure Editor					
FPGA_ConsoleDMX.PrjFpg		Compile FPGA Project FPGA ConsoleDMX PriEpg	11		
Source Documents I I I I Source Documents I I I I ConsoleDMX.SchDoc		Recompile FPGA Project FPGA_ConsoleDMX.PrjFpg			
E ConsoleDMX.UpenBus		Add New to Project		<u>O</u> ther	Ctrl+N
	1	Add Existing to Project		<u>S</u> chematic	
		Save Project	Ø	<u>V</u> HDL Docume	nt
		Save Project As	Ø	Verilog Docum	ent
		Open Project Documents	•	VHDL <u>T</u> estbend	:h
		Close Project Documents	\$	Verilog Test <u>b</u> er	nch
		Close Project	8	<u>O</u> penBus Syste	m Document
		Explore	đ	C <u>F</u> ile	
		Regenerate Harness Definitions	Б	<u>H</u> File	
	%	Simulate with Aldec OEM Simulator	8	Schematic <u>L</u> ibr	ary
	%	Synthesis	1	VHDL Libra <u>r</u> y	
		Locate and Install Missing Plugins	Ø	Verilog L <u>i</u> brary	
	0	Show Differences	٩,	<u>C</u> onstraint File	

 \Rightarrow Il apparaît un fichier texte contrainte à compléter :

Projects	▼ 🖉 X	🗞 Constraint1.Constraint
Workspace1.DsnWrk	Workspace	/
FPGA_ConsoleDMX.PrjFpg	Project	; Constraints File ; Device :
File View Structure Editor	• (ف)	; Board : ; Project :
Beger Strate Str	B	
🗆 🔲 Source Documents		; Created 10/11/2012
🖃 🔙 Top_ConsoleDMX.SchDoc	Ľ	/
ConsoleDMX.OpenBus		
🖃 🚞 Settings		· · · · · · · · · · · · · · · · · · ·
🖃 🛄 Constraint Files		Record=FileHeader Id=DXP Constraints v1.0
🔦 Constraint1.Constraint	B	7
🕀 🖿 Harness Definitions Files		

 \Rightarrow Pour compléter ce fichier contrainte nous allons copier les lignes suivantes dans le fichier de contrainte.

Record=Constraint	TargetKind=Port	TargetId=CLK_REF	FPGA	A_CLOCK=TRUE	
Record=Constraint	TargetKind=Port	TargetId=CLK_REF	FPGA	A_CLOCK_FREQU	JENCY=20 Mhz
Record=Constraint	TargetKind=Port	TargetId=CLK_BRD	FPG	A_CLOCK=TRUE	
Record=Constraint	TargetKind=Port	TargetId=CLK_BRD	FPG	A_CLOCK_FREQU	JENCY=50 Mhz
Record=Constraint	TargetKind=Port	TargetId=JTAG_NEXUS	_TCK	FPGA_CLOCK=	ΓRUE
Record=Constraint	TargetKind=Port	TargetId=JTAG_NEXUS	S_TCK	FPGA_CLOCK_	FREQUENCY=1
Mhz	-	-			
•					

Clic bouton droit sur le nom du fichier contrainte (*Contraint1.Contraint*) dans l'onglet Projets et choisir la commande sauvegarder le document **Save** dans le répertoire de travail « **\TP71_ConsoleDMX** ».

<u>Après :</u>

Projects	🖉 🗙 🔦 Constrain	t1.Constraint *		
Workspace1.DsnWrk Worksp	ace ;			
EPGA ConsoleDMX PriEng Project	;Co	nstraints File		
	<u> </u>	Device :		
File View O Structure Editor		Board : Project :		
🗆 🔊 FPGA_ConsoleDMX.PrjFpg * 🔋	1			
E 🛄 Source Documents	1	Created 10/11/2012		
🗆 🖃 Top_ConsoleDMX.SchDoc 🛛 🗋	200			
ConsoleDMX.OpenBus				
🖃 📟 Settings	2			
🖃 📟 Constraint Files	Rec	ord=FileHeader Id=DXP Constraint	s v1.0	
💊 Constraint1.Constraint * 🛛 🖺	2			
🕀 🛄 Harness Definitions Files	Rec	ord=Constraint TargetKind=Port	TargetId=CLK_REF	FPGA_CLOCK=TRUE
	Rec	ord=Constraint TargetKind=Port	TargetId=CLK_REF	FPGA_CLOCK_FREQUENCY=20 Mhz
	Rec	ord=Constraint TargetKind=Port	TargetId=CLK_BRD	FPGA CLOCK=TRUE
	Rec	ord=Constraint TargetKind=Port	TargetId=CLK_BRD	FPGA CLOCK FREQUENCY=50 Mhz
	Rec	ord=Constraint TargetKind=Port	TargetId=JTAG_NEXUS_TCK	FPGA CLOCK=TRUE
	Rec	ord=Constraint TargetKind=Port	TargetId=JTAG_NEXUS_TCK	FPGA_CLOCK_FREQUENCY=1 Mhz
	2.5			····· I

Formation ALTIUM Act2_DMX-FPGA_Emission d'une trame 10/06/2013 25 /	Formation ALTIUM
---	------------------

4.2 Le fichier contrainte liant les broches du FPGA aux périphériques implantés sur la Nanoboard 3000 :

Ce fichier contrainte existe déjà ! Inutile de l'écrire.

Pour adjoindre ce fichier contrainte à votre projet vous devez d'abord connecter votre PC à la **Nanoboard.**

 \Rightarrow Faites apparaître la fenêtre de visualisation des composants :



 \Rightarrow Assurez-vous que la Nanoboard est bien connectée à votre PC :

(Connected	Live Set	ttings
	NB3000AL	(ID: 98556)	610) 🔺
	NanoBoard-3000AL V1.0.26	(700>
	No Process Flow		
			E
	Cyclone EP4CE40F29/8L		<u>700</u> >
	Programmed		

Formation ALTIUM Act2_DMX-FPGA_Emission d'une trame	10/06/2013	26 / 43
---	------------	---------

⇒ *Clic bouton droit* sur l'icône de la Nanoboard et configurer le projet FPPGA

🛉 Home 🔲 📴 Top_ConsoleDMX.SchDoc 🖉 👁 Devices				
Connected				Live <u>Settings</u>
		_	NB	3000AL (ID: 98556610)
· · · · · · · · · · · · · · · · · · ·		Configure Fpga Project		FPGA_ConsoleDMX.PrjFpg
NanoBoard-	30	View Configuration		New FPGA Project
No Proc	~	Update NanoBoard Firmware Check for Firmware Updates		E
	ш	Instrument		
	one	About		
Cyclone4E	EP4CE4	40F29l8L		

 \Rightarrow La fenêtre ci-dessous vous invite à spécifier les fichiers contraintes que vous voulez utiliser pour votre prochaine phase de **Compilation / Synthèse / Programmation**.

Configuration Manager For FPGA_TP2_ConsoleDMX.PrjFpg	<u> १</u> ×
Configurations of FPGA Project: FPGA_TP2_ConsoleDMX.PrjFpg	
Configurations	
	Configurations
Parameter A	ND 2000AL 02
Name	NB 3000AL_02
Add Delete Rename	
Constraint Files	
	Included in Configuratio
Constraint Filename	NB3000AL_02
NB3000AL.02.Constraint	
Constraint I. Constraint	E
Le fichier NB3000AL.02.Contraint spécifie les contraintes	
de câblage liées à la NanoBoard3000.	
Le fichier contraint l Contraint spécifie les contraintes de	
achlaga définios par l'utilisatour	
cablage definies par l'utilisateur.	
	-
	· · · · · · · · · · · · · · · · · · ·
Add Delete	
	It To Width □K Cancel

 \Rightarrow A l'issue de cette étape un deuxième fichier contrainte « **NB3000AL.02.Constraint** » est lié à votre projet :



Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	28/43

5 Création du projet embarqué

Programmation du code C : SOFTWARE DESIGN FLOW

5.1 Ajouter un projet embarqué à votre environnement

Créer un nouveau projet en utilisant la commande : File >> New >> Embedded Projet Projet.



Un projet nommé (*Embedded_Projet1.PrjEmb*) apparaît dans l'onglet gestion de projet.



Créer un dossier « Embedded » dans le répertoire de travail « \TP71_ConsoleDMX ».

Clic bouton droit sur le nom du nouveau projet (*Embedded_Projet1.PrjEmb*) dans l'onglet Projets et choisir la commande **Save Projet as « Embedded_ConsoleDMX.PrjFpg »** pour sauvegarder le projet dans le répertoire de « **\TP71_ConsoleDMX\Embedded** ».

<u>Après :</u>



Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	30 / 43

5.2 A ce projet joignez les fonctions C qui seront exécutées par le processeur TSK 3000

Clic bouton droit sur le nom du nouveau projet (*Embedded_ConsoleDMX.PrjEmb*) dans l'onglet Projets et choisir la commande **Add New to Projet** >> **C File**



Clic bouton droit sur le nom du nouveau fichier ($C_Source1.c$) dans l'onglet Projets et choisir la commande **Save As** >> « **main.c** » pour sauvegarder le fichier dans le répertoire de travail dans le sous dossier **Embedded** que vous créez à cet effet sous votre projet courant.

<u>Après :</u>



Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	31 / 43

Activité 2 Mini projet DMX-FPGA : Implanter un processeur dans le FPGA.Durée estimée 4hProgrammer le processeur

5.3 Intégration du projet embarqué sous le projet FPGA



Le projet embarqué est maintenant sous le projet FPGA

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	32 / 43
------------------	------------------------------------	------------	---------

6 Construction du fichier « Software Platform » Mise en place des API

API : Application **P**rogramming Interface Une **interface de programmation** est une interface fournie par un programme informatique. Elle permet l'interaction entre le programme et les couches matérielles de bas niveaux.

Un exemple : Le paramétrage d'une liaison série : débit binaire (9600 bauds), nombre de bits par octet (8), type de parité (aucune), nombre de bits de stops (1).

Clic bouton droit sur le nom du nouveau projet (*Embedded_ConsoleDMX.PrjEmb*) dans l'onglet Projets et choisir la commande Add Neww to Projet >> SwPlatform file



Activité 2 Mini projet DMX-FPGA :	Implanter un processeur dans le FPGA.
Durée estimée 4h	Programmer le processeur

Select a Softwar	e Platform Version		? X		
You are opening a project created by a previous version of Altium Designer. Release 10 introduced changes to the Software Platform which may require modification to existing Embedded projects in order for them to function correctly.					
Please select	a Software Platform Version f	or Embedded_Consol	eDMX.PrjEmb		
Ralease 10 🗸					
The Release 10 software platform is recommendec for any project still under development. It contains many fixes and enhancements over older versions.					
This setting ma Embedded Pro	ay later be changed in the aject Options dialog.	OK	Cancel		

Afin d'effectuer une connexion bas niveau avec les modules décrits dans le fichier OPEN BUS cliquer sur **IMPORT FROM FPGA**



|--|

Activité 2 Mini projet DMX-FPGA : Impl	anter un processeur dans le FPGA.
Durée estimée 4h	Programmer le processeur

Pour obtenir la couche supérieure du port Digital I/O

 \Rightarrow *Clic bouton droit* sur l'icône **vert Digital I/O** puis dans l'onglet qui s'ouvre et cliquer sur Grow Stack Up

Répéter cette opération sur LED Controller, et UART Serial Port.

Avant :

Software Platform1.SwPlatform	*		
Device Stacks			
Digital I/O	LED Controller	UART Serial Port	
CTRL_CONSOLE	NB_LEDS	CTRL_UART	IOIOI

<u>Après :</u>

Custom Instrument	LED Controller D	priver 🖣	UART Serial Port	Driver
DRV_INSTRUMENT_1	DRV_LED_1	00000	DRV_UART8_1	10101
Digital I/O	LED Controller		UART Serial Port	
CTRL_CONSOLE	NB_LEDS	00000	CTRL_UART	10101

Ces interfaces donnent accès aux différentes fonctions prédéfinies (API) de pilotage des périphériques.

Paramétrage de l'API UART Serial Port :	Cliquer sur l'API UART Serial Port Driver, puis paramétrer l'API
Device Stacks	
Custom Instrument UED Controller Driver Driver Drv_LED_1 Digital I/O IED Controller CTRL_CONSOLE Import from FPGA Add New Wrapper Grow Stack Up	□ UART Serial Port Driver ID DRV_UART8_1 Baudrate 250000 Parity NDNE Databits 8 Stophits 2 Handshake NDNE T× Buffer Size 0 T× Blocking ♥ T× Blocking ♥ T× Interrupt Value 1 ID CTRL_UART Inport Settings ♥ Base Address 0xFF020000 T× Interrupt 0 RX FF020000 T× Interrupt
=> cliquer sur Compile Project pour générer les fichiers « sy	vplatform.h » et « swplatform.c »

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	35 / 43
------------------	------------------------------------	------------	---------

7 Ajout du fichier C principal

Copier le fichier ci-dessous dans le fichier « C_ConsoleDMX.c » puis enregistrer et compiler le projet.

```
/* Déclaration des fichiers d'entête */
#include "swplatform.h"
/* Déclaration des variables
                               * /
unsigned char DMX_Table[512];
                                // Déclaration d'un tableau de 512 caractères
/* Déclaration de la fonction initialisation */
int Initialize(void)
{
   drv_instrument_1= instrument_open(DRV_INSTRUMENT_1);
                                                       // Ouverture du périphérique
virtuel instrument DRV_INTRUMENT
   drv_led_1 = led_open(DRV_LED_1);
                                           // ouverture du périphérique DRV_LED
   led_turn_all_off(drv_led_1); // Extinction des leds
drv_uart8_1 = uart8_open(DRV_UART8_1); // Ouverture du périphérique port série UART
                                          // Extinction des leds
   // 250kbauds, pas de parité, 8 bits de données et 2 bits de stops entre 2 caractères
   uart8_set_parameters(drv_uart8_1,250000, UART8_NO_PARITY,8,2); // 250kbauds, pas de
parité, 8 bits de données et 2 bits de stops.
   return 1;
}
/* Déclaration de la fonction initialisation */
int main(void)
{
                                        // Appel de la fonction d'initialisation
   Initialize();
   while (1)
   {
       // Lecture des 4 consignes Rouge , Vert, Bleu et Dimmer de l'instrument virtuel
      for (uint8_t i = 0; i < 4; i++)</pre>
      {
          DMX_Table[i] = (char) instrument_get_value(drv_instrument_1, i); // lecture
consigne de l'instrument virtuel
          led_set_intensity(drv_led_1, i, DMX_Table[i]); // Envoi commande des leds RVB
       }
      // DMX output:
      uart8_putbreak(drv_uart8_1,22);
uart8_putbreak(drv_uart8_1,0);
                                             // Envoi du break d'une durée de 22 Tbits
       uart8_putchar(drv_uart8_1,0);
                                             // Envoi du caractère '0'
       // Envoi du buffer DMX vers la liaison RS485
      for (int i = 0; i < 512; i++)</pre>
                                            // Envoi des 512 consignes du buffer DMX
sur la liaison DMX
      {
          while (!uart8_transmit_buf_free(drv_uart8_1)); // Test que le buffer
d'émmission est vide
          uart8_putchar(drv_uart8_1, DMX_Table[i]); // Envoi du caractère vers l'UART
       }
   }
/*** FIN DU PROGRAMME PRINCIPAL ***/
```

8 Compiler, Synthétiser, construire, Programmer le FPGA.

 \Rightarrow Cliquer sur Compile, cliquer sur Synthetize, cliquer sur Build.

 \Rightarrow Si une erreur apparaît vous devez la corriger en modifiant le fichier source identifié à partir du message d'erreur :

Sources d'erreurs possibles :

- \Rightarrow le fichier VHDL
- ⇒ le schéma TOP
- \Rightarrow les fichiers de contraintes

● ⊕ <u>C</u> ompile ▼ ● ⊕ <u>S</u>	ynthesize 🔻 🌢 🕞 Build	▼ ● 🕞 Program EPGA 🧳
	ADTERA.	
	Cyclone3 EP3C40F780C8N	
FPGA_TP2_ConsoleDMX / NB3000AL_02		•
U1 NANOBOARD_INTERFACE	CTRL_CONSOLE DIGITAL_IO	TSK3000A_1 TSK3000A
TDI TDO	Digital I/O Lastitute TDI TDO	TSK-3000A 32-bit RISC Processor TDI TDO
		Compile mbedded_TP2_ConsoleDMX_system_TSK3000A_1.he
		Download
narque : Nous retrouvons	un instrument virtuel mis en	œuvre dans le projet :

CTRL_CONSOLE

Après avoir franchi ces trois étapes la fenêtre de résultats s'affiche

Results Summary				? ×
Device Resources - Usage Summary				
Total logic elements	6,098 /	39,600	(15%)	
Total registers*	2,793 /	42,205	(7%)	
Dedicated logic registers	2,793 /	39,600	(7%)	
VO registers	0 /	2,605	(0%)	
VO pins	112 /	536	(21%)	
Global clocks	2 /	20	(10%)	
* Register count does not include registers inside RAM bloc	-			
Design Statistics - Timing Summary				
CLK_BRD	47.36 MHz			
JTAG_NEXUS_TCK	91.27 MHz			
Show Results Summary dialog Note:	The Results Sur	mmary also	appears ir	n the Output panel
Print Copy Report				<u>C</u> lose

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	37 / 43
------------------	------------------------------------	------------	---------

=> Vous pouvez alors programmer le FPGA : cliquez sur program FPGA !



9 Mettre en œuvre les instruments de mesures virtuels

- 9.1 Réglage de la fréquence entrante par U3 : le générateur d'horloge
- \Rightarrow Cliquer sur NanoBoard-3000AL:



 \Rightarrow Régler la fréquence à 50 MHz.

Instru	iment Rack - Nanoboard Controllers	▼ X
•	JTAG 1/0 CORE (NanoBoard-3000AL)	• •
	PLUGINS	CONTROL
	Peripheral Board A	Board View Settings
	CLOCK FREQUENCY	FLASH RAM
	200 (Max.) 175 150 133 125 100 90 80	50 000 FPGA Boot U52 Unknown
	75 60 50 40 30 25 20 15 10	Embedded U53 Unknown
	6 (Min.) Other Frequency Clock Control Options	MH7 Controller

Il est important de paramétrer correctement la fréquence de l'horloge car celle-ci détermine la durée Tbit sur la liaison série RS 485.

Formation ALTIUM Act2_DMX-FPGA_Emission d'une trame 10/06/2013 38/4:	Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	38 / 43
--	------------------	------------------------------------	------------	---------

9.2 Branchement de la NB3000 avec le projecteur à Leds

Brancher l'adaptateur entre la sortie RS485 (prise RJ45) et le câble DMX. Puis relier le câble DMX au projecteur à leds adressé sur le canal n°1.



Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	39 / 43



=> Vous pouvez ainsi commander les valeurs des 4 premiers octets envoyés sur la liaison DMX

Instrument Rack - Soft Devices			▼ X	
•	JTAG 1/1 CORE CTRL_CONSOLE (DIGITAL_IO)		•	
	INPUTS	OUTPUTS		
		ROUGE[70]		
			21 >>	
		VERT[70]		
			42 >>	
		BLEU[70]		
			63	
			84 >>	
•	Options	Synchronize	Digital I/O Module	-

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	40 / 43
------------------	------------------------------------	------------	---------

9.4 Relevé du chronogramme du début de l'envoi de la trame

Voie 1 : RS485_TXP borne 1 connecteur RJ45 (RS485)

Donner le mode opératoire pour observer le signal *RS485_TXP* circulant sur le bus RS485 puis relevé le signal ?

Signal sur la voie 1

Synchronisation en mode manuel sur une largueur d'impulsion (Etat Bas) supérieure à 80 us



Effectuer le relevé du chronogramme de *RS485_TXP*. A partir du relevé mesurer la durée du break ?

Durée du Break = 88us au minimum, sur le relevé nous avons une durée du Break de 92us. La norme est bien respectée.

A partir du relevé mesurer la durée du Mark After Break (MAB)?

MAB = 8us au minimum, sur le relevé nous avons une durée du MAB du 12 us. La norme est bien respectée.

A partir du relevé mesurer la durée du Start Code (SC)?

1 bit de start + 8 bits de donnée à 0 = 9 bits Durée su Start Code (SC) =9+*Tbits = 9* 4us =36us Sur le relevé nous avons une durée du SC du 36 us. La norme est bien respectée.

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	41 / 43



Effectuer le relevé du chronogramme RS485_TXP durant l'envoi du premier canal ?

A partir du relevé mesurer la durée d'un bit ? Puis en déduire la vitesse de transmission ? Tbit = 4us

Vitesse de transmission= 1/Tbit = 250k bits/s Décoder la valeur de l'octet envoyé ?

Octet envoyé = 0x21, ceci correspond bien à la consigne envoyée par l'instrument virtuel.



Effectuer le relevé du chronogramme *RS485_TXP* durant l'envoi des 4 premiers canaux ?

Commenter le relevé ? Les octets relevés correspondent bien aux consignes envoyées par l'instrument virtuel.

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	42 / 43	l
------------------	------------------------------------	------------	---------	---

Effectuer le relevé du chronogramme *RS485_TXP* et *RS485_TXN* durant l'envoi des 4 premiers canaux ?

Voie 1 : RS485_TXPborne 1 connecteur RJ45 (RS485)Voie 2 : RS485_TXNborne 2 connecteur RJ45 (RS485)



A partir du relevé que peux ton dire des signaux *RS485_TXP* et *RS485_TXN* ? Puis en déduire s'il s'agit d'une liaison série asynchrone bipolaire ou différentielle ?

Les signaux RS485_TXP et RS485_TXN sont complémentaires (cf table de vérité du driver ISL_8491).

La liaison série RS485 est une liaison série asynchrone différentielle.

Annexe :



Illustration 1: Câble pour adapter la prise RS-485 aux interfaces a 3 fiches DMX-512.

Formation ALTIUM	Act2_DMX-FPGA_Emission d'une trame	10/06/2013	43 / 43
------------------	------------------------------------	------------	---------