

0 - Présentation de l'activité N°1 :

Cette activité a pour objectif de présenter les structures matérielles de la Nanoboard 3000AL mises en oeuvre durant le mini projet avant d'aborder la partie développement logiciel.

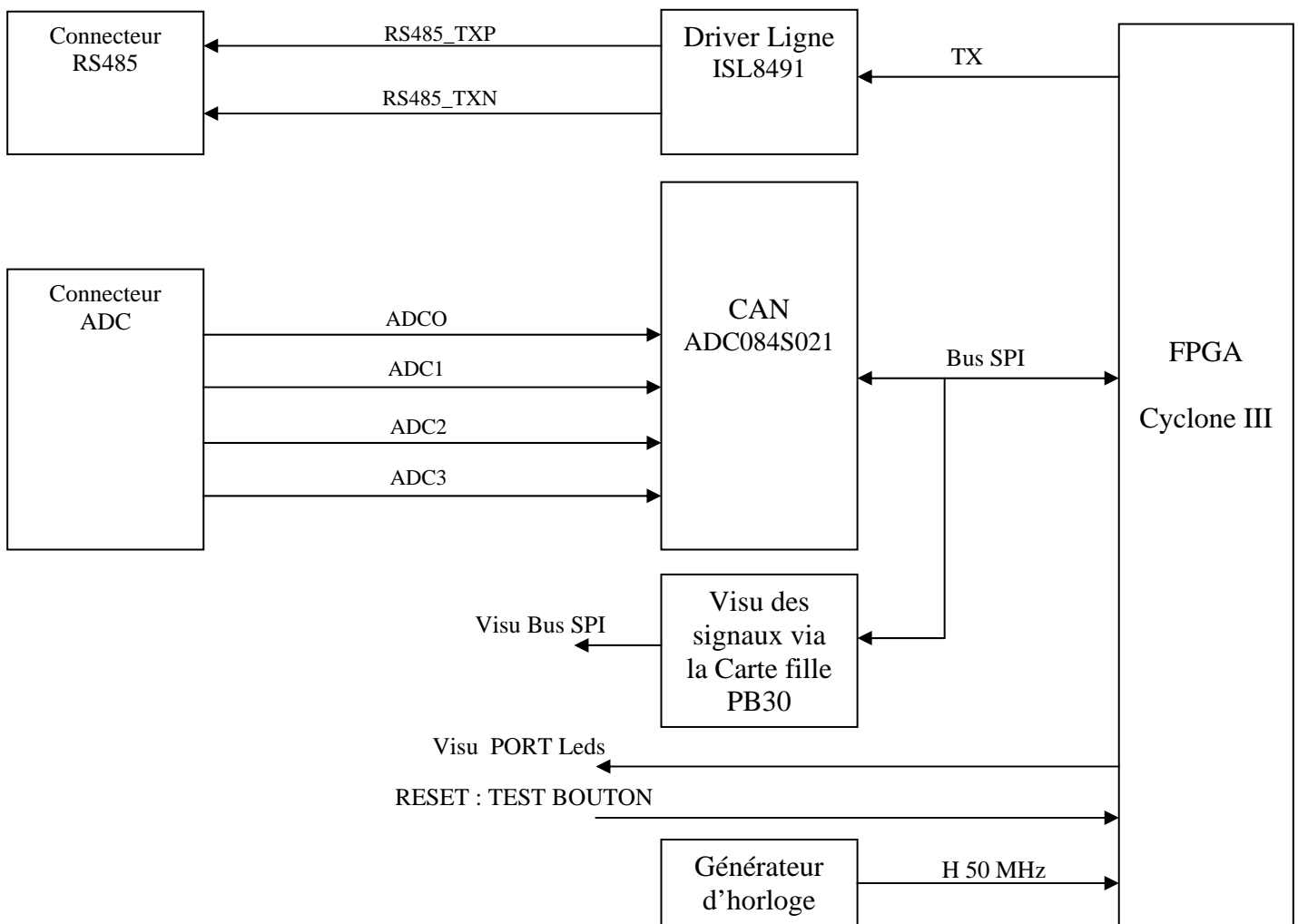
Sommaire :

- 1 Caractéristiques physiques du FPGA Cyclone III.
- 2 Etude de la génération d'horloge
- 3 Le convertisseur ADC084S021
- 4 Le driver de ligne RS 485 : ISL8491
- 5 Le rôle de la carte fille PB30

Ressources :

- ⇒ Presentation_de_la_Nanoboard_3000.pdf
- ⇒ ADC084S021.pdf
- ⇒ NanoBoard_3000AL_Schematics.pdf

Synoptique de la chaîne d'acquisition analogique et l'envoi de trame DMX vers la liaison RS485 :





1 Caractéristiques physiques du FPGA.

1.1 La carte Nanoboard permet d'implanter 3 FPGA différents :

- ⇒ Xilinx / Spartan (XC3S1400AN-4FGG676C)
- ⇒ Altera / Cyclone (EP3C40F780C8N)
- ⇒ Lattice / ECP2 (LFE2-35SE-5FN672C)

⇒ Quel est le FPGA implanté sur la carte NB 3000AL.02 ?

Altera / Cyclone (EP3C40F780C8N)

1.2 Les structures intégrées au FPGA.

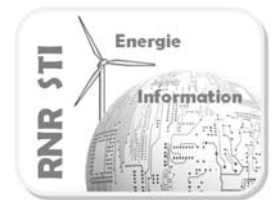
A la lecture du tableau ci-dessous déterminez :

- ⇒ Combien de broches d'entrées / sorties sur le FPGA ? **535**
- ⇒ Combien d'éléments logiques (LE) sur ce FPFA ? **39600**
- ⇒ Capacité mémoire interne au composant en koctets ? **1 161 216 bits**
- ⇒ Combien de PLL intégrées ? **4**
- ⇒ Combien de multiplieurs numériques intégrés ? **126**
- ⇒ Combien de réseaux internes d'horloges ? **20**
- ⇒ Combien de blocs M9K ? **126**

Table 1-1. Cyclone III Device Family Features

Family	Device	Logic Elements	Number of M9K Blocks	Total RAM Bits	18 x 18 Multipliers	PLLs	Global Clock Networks	Maximum User I/Os
Cyclone III	EP3C5	5,136	46	423,936	23	2	10	182
	EP3C10	10,320	46	423,936	23	2	10	182
	EP3C16	15,408	56	516,096	56	4	20	346
	EP3C25	24,624	66	608,256	66	4	20	215
	EP3C40	39,600	126	1,161,216	126	4	20	535
	EP3C55	55,856	260	2,396,160	156	4	20	377
	EP3C80	81,264	305	2,810,880	244	4	20	429
	EP3C120	119,088	432	3,981,312	288	4	20	531
Cyclone III LS	EP3CLS70	70,208	333	3,068,928	200	4	20	413
	EP3CLS100	100,448	483	4,451,328	276	4	20	413
	EP3CLS150	150,848	666	6,137,856	320	4	20	413
	EP3CLS200	198,464	891	8,211,456	396	4	20	413

Sources : ce tableau est issu du fichier cyclone3_handbook.pdf présent sur le site ALTERA.



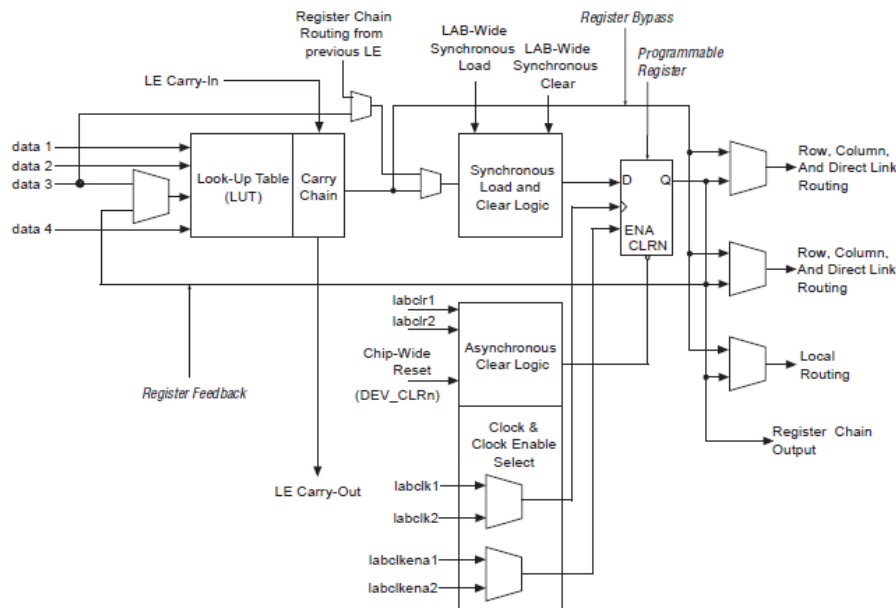
1.3 Pour information : « Qu'est ce qu'un élément logique (LE) ? »

C'est une structure logique séquentielle programmable qui est l'élément de base constituant les FPGA.

Ces éléments logiques ont deux modes de fonctionnement :
 ⇒ le mode normal
 ⇒ le mode arithmétique

Ils sont constitués de bascules (D), de LUT, de registres internes.

Synoptique d'un LE:



1.4 Pour information : « Qu'est ce qu'un LUT (Look-Up Table) ? »

Un LUT est une **table de correspondance** : cela peut être vue comme une table de vérité , donc une matrice de logique combinatoire.

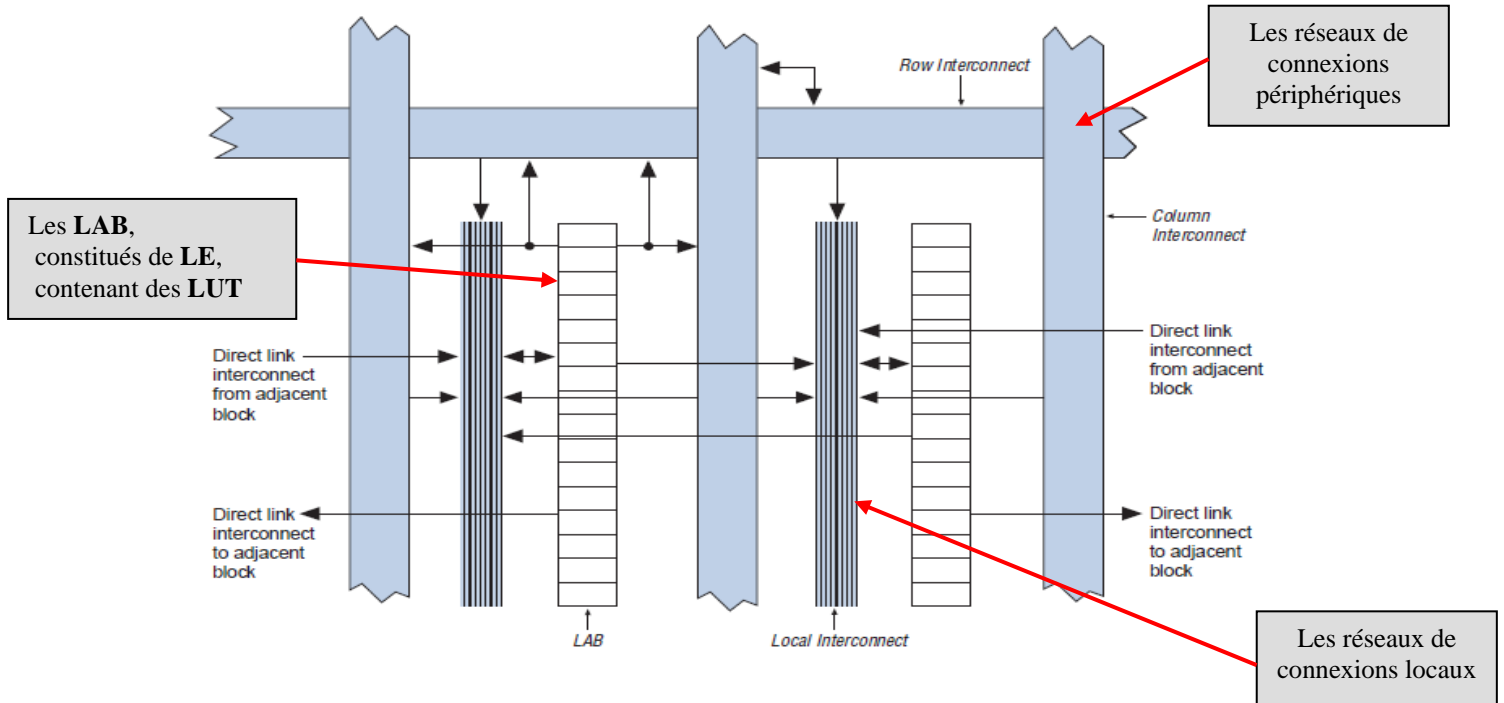
1.5 Pour information : « Qu'est ce qu'un LAB (Logic Array Blocks) ? »

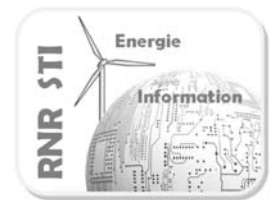
C'est le groupement de 16 éléments logiques, des connexions et des signaux de contrôles utiles au fonctionnement du LAB.

1.6 Pour information : « Qu'est ce que des blocs M9K ? »

Ce sont des blocs mémoires de 9 kbits implantés dans le composant cyclone III. Ces blocs mémoires peuvent être configurés comme des mémoires RAM, des buffers FIFO ou des mémoires ROM.

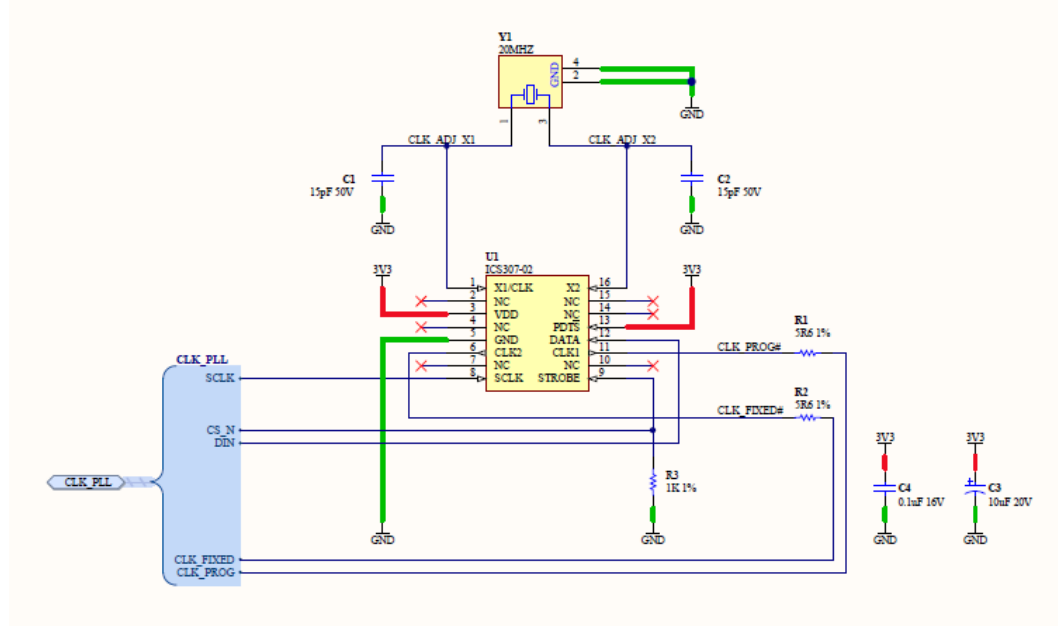
1.7 Organisation structurelle interne d'un FPGA Cyclone III :





2 Etude de la génération d'horloge .

Le FPGA est cadencé par une horloge externe construite autour du composant U1 ICS307 :



2.1 En vous référant à la documentation « [Presentation_de_la_Nanoboard_3000.pdf](#) » déterminez la fréquence de cadencement fixe du FPGA ? **20 MHz**

2.2 En vous référant à la documentation « [Presentation_de_la_Nanoboard_3000.pdf](#) » déterminez la plage de fréquence de l'horloge programmable ? **6 à 200 MHz**

2.3 Vérifiez, a partir de la formule extraite de la documentation constructeur de ICS307.pdf, que CLK1 peut atteindre les valeurs minimum et maximum de cette plage d'horloge.

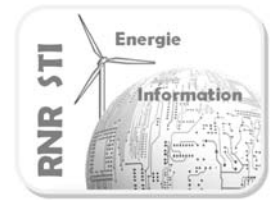
$$\text{CLK1 frequency} = \text{Input frequency} \cdot 2 \cdot \frac{(\text{VDW}+8)}{(\text{RDW}+2)(\text{OD})}$$

Where VCO Divider Word (VDW) = 4 to 511 (0, 1, 2, 3 are not permitted)
 Reference Divider Word (RDW) = 1 to 127 (0 is not permitted)

Ou OD est donné par le tableau :

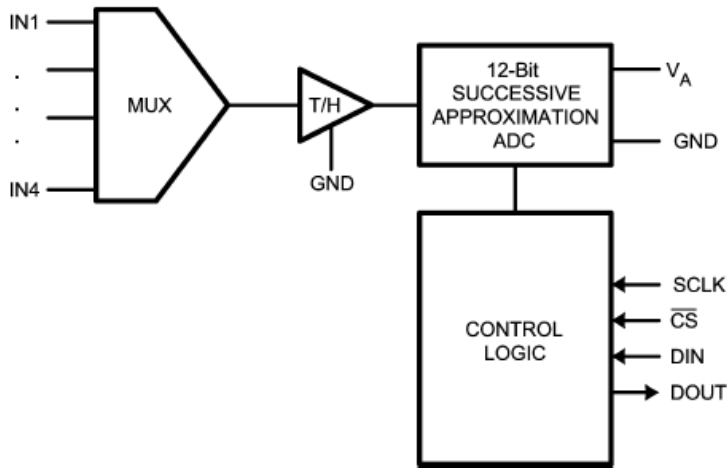
Table 1. Output Divide and Maximum Output Frequency

S2	S1	S0	CLK1 Output Divide	Maximum Frequency 5 V or 3.3 V	Max. Freq. Industrial Version
0	0	0	10	40	36
0	0	1	2	200	180
0	1	0	8	50	45
0	1	1	4	100	90
1	0	0	5	80	72
1	0	1	7	55	50
1	1	0	3	135	120
1	1	1	6	67	60



3 Le convertisseur ADC084S021 au sein de la chaîne de traitement.

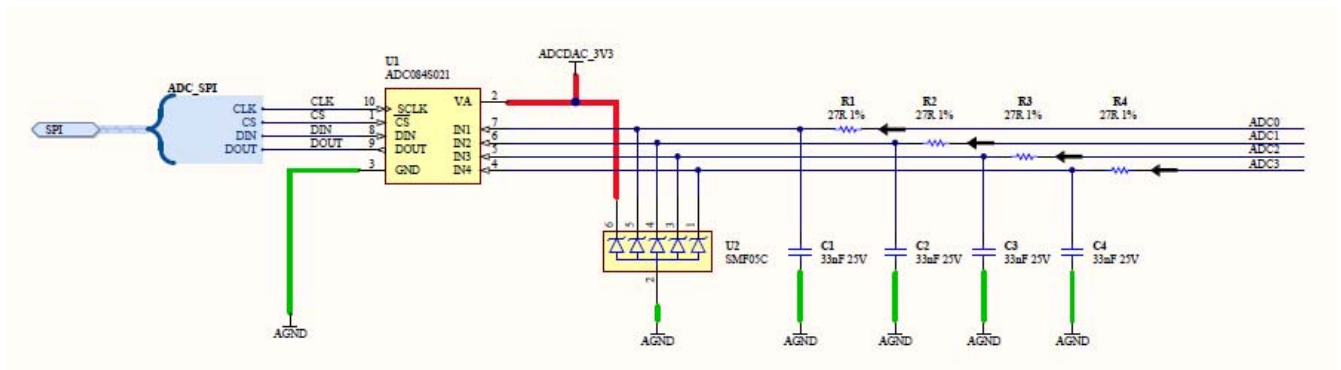
3.1 Fonction et synoptique du convertisseur ADC054S021



⇒ Déterminer le principe de fonctionnement du convertisseur ?

Convertisseur à approximation successive.

Schéma structurel partiel de la Nanoboard 3000AL : U1 le convertisseur ACD084S021 :



⇒ Surligner en vert les signaux sous forme analogique

⇒ Surligner en rouge les signaux sous forme numérique (SPI)



⇒ En vous référant à la documentation technique du convertisseur ADC084S021, déterminer la fréquence maximale de fonctionnement du convertisseur ?

$$F_{max} = 200 \text{ Ksps} \quad (f_{SCLK} = 200 \cdot 10^3 \times 16 \text{ bits} = 3.2 \text{ MHz})$$

⇒ En déduire la fréquence maximale à l'entrée du convertisseur ?

$$F_{max} = 100 \text{ kHz} \quad (\text{cf Nyquist})$$

⇒ Déterminer le quantum du convertisseur ADC084S021 ?

$$V_{Réf} = 3,3\text{V} \text{ et } N=8 \text{ bits pour le convertisseur ADC084s021}$$

$$q = V_{Réf} / 2^N = 12.89\text{mV}$$

⇒ Quel est le rôle de la structure RC à l'entrée du convertisseur ADC084S021

$$\text{Filtre Pass Bas : } R=27 \text{ et } C=33\text{nF}$$

$$F_c = 1/2\pi RC = 178\text{kHz}$$

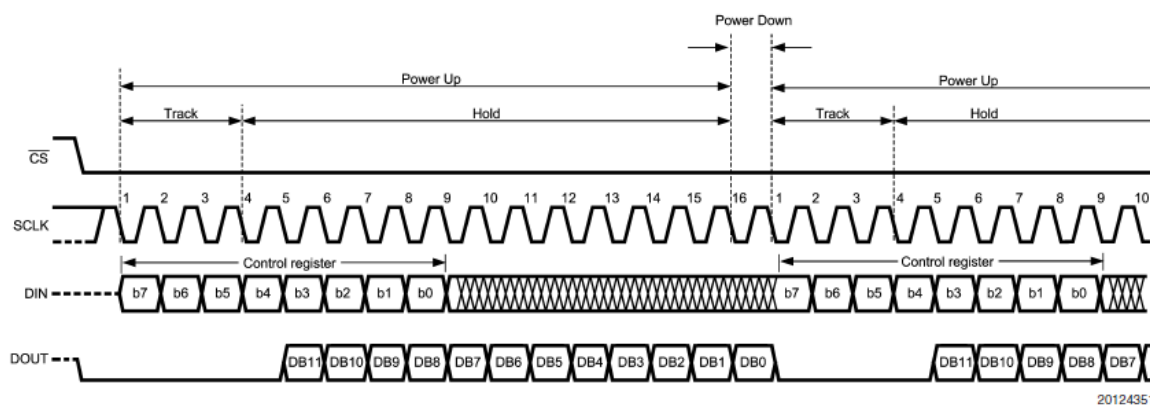
3.2 Rôle du bus SPI

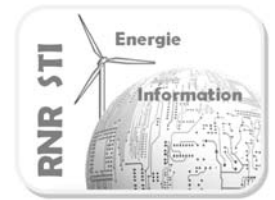
Le rôle du bus SPI est :

- de transmettre la voie utilisée pour la conversion
- de récupérer la valeur numérique résultat de la conversion Analogique / Numérique

⇒ Identifiez sur le schéma structurel ci dessus les fils constituant ce bus SPI.

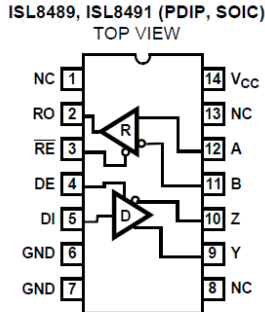
⇒ A partir d'une recherche sur Internet expliquer le principe de la trame SPI pour le convertisseur ADC084S021





4 Le driver de ligne RS485 : ISL8491.

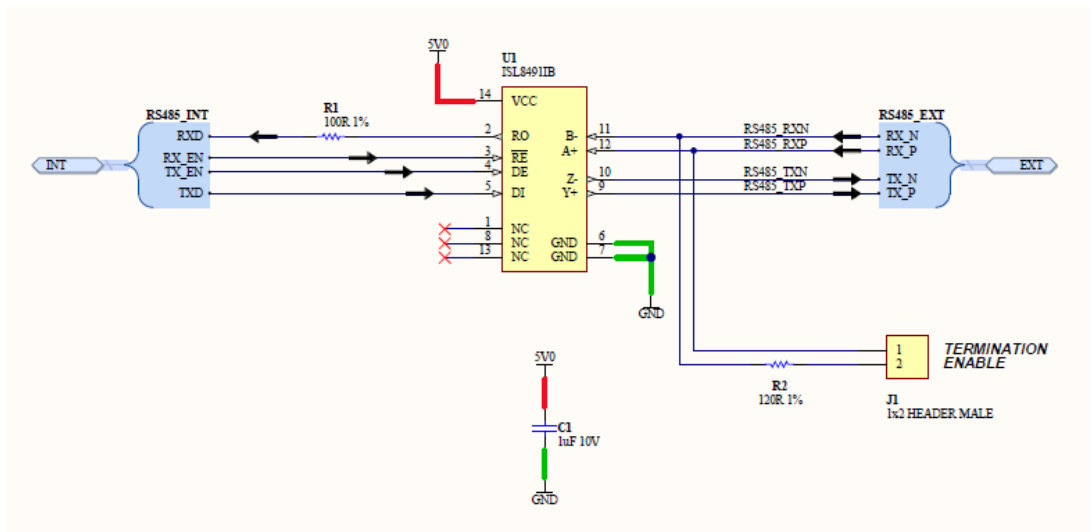
4.1 Fonction et synoptique du driver de ligne ISL8491



⇒ Déterminer le rôle de fonctionnement du driver?

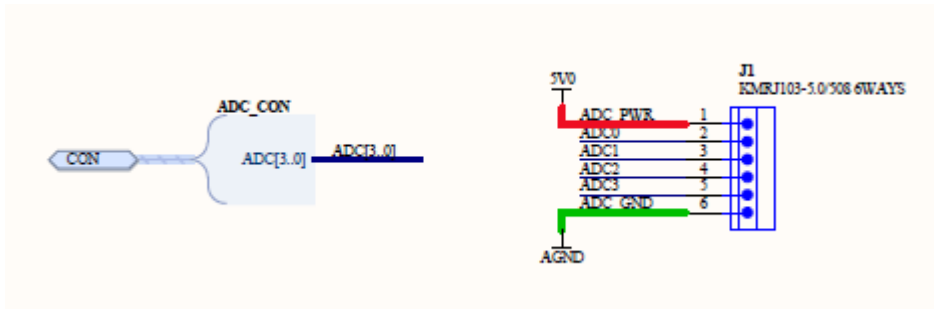
Le driver de ligne ISL8491 réalise une adaptation des niveaux logiques vers des niveaux différentiels RS485_TXP et RS485_TXN

Schéma structurel partiel de la Nanoboard 3000AL : U1 le driver de ligne ISL 8491 :



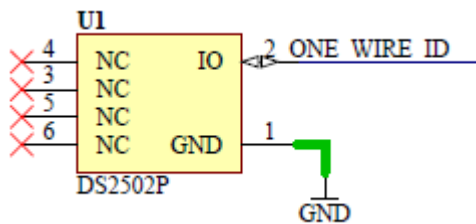
Compléter la table de vérité suivante :

TRANSMISSION				
INPUTS			OUTPUTS	
/RE	DE	DI	Z- RS485_TXN	Y+ RS485_TXP
X	1	1	0	1
X	1	0	1	0
0	0	X	High-Z	High-Z
1	0	X	High-Z	High-Z



5 le rôle de la carte fille PB30

Cette carte fille nous permettra de visualiser les signaux présents sur la Nanoboard.
 Attention elle est équipée d'une mémoire ONE WIRE : le logiciel ALTIUM détecte la présence de cette carte. Lors de la génération des fichiers contraintes vous veillerez à ce qu'elle soit bien implantée sur la Nanoboard.



***** Fin du TD1 *****