

DOCUMENTATION

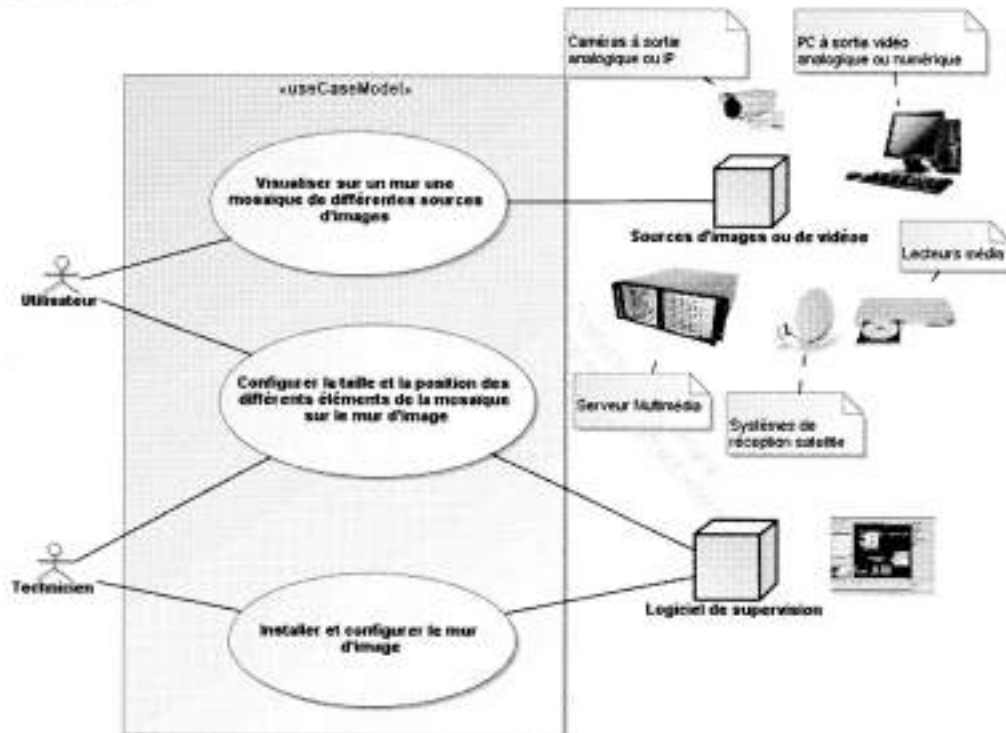
PRINCIPE DE FONCTIONNEMENT D'UN MUR D'IMAGE	2
ELEMENTS CONSTITUTIFS D'UN MUR D'IMAGE	4
STANDARD SIGNAL RGB	7
STANDARD SIGNAL DVI	9
ADM1027	10
SERIAL BUS INTERFACE : I ² C COMMUNICATION	11
AD9888	13
PLAN D'ADRESSAGE DU RESEAU	14
RELEVÉ DES TRAMES DE SUPERVISION	14
CARACTERISTIQUES ELECTRIQUES DES COMPOSANTS I ² C	15
SCHEMA DE CABLAGE DES RESISTANCES DE TIRAGE	15
DOCUMENTATION SP1 - CARACTERISTIQUES DU RECEPTEUR NUMERIQUE	16
DOCUMENTATION SP2 - CARACTERISTIQUES DU CABLE	16
DOCUMENTATION SP3 - MESUREUR DE CHAMP	17

Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC1 sur 17
16SN4SNEC1	Documentation	

Principe de fonctionnement d'un mur d'image

Cas d'utilisation d'un mur d'image

Un mur d'image permet de réaliser une vue mosaïque à partir de plusieurs sources d'images ou de vidéos. Chaque image peut être positionnée et dimensionnée sur la mosaïque selon le besoin d'un client. Le diagramme ci-dessous présente un cas d'utilisation possible :



L'exemple ci-dessous illustre l'utilisation du système dans le cas d'une surveillance autoroutière.

Deux flux vidéo issus de caméras de surveillance et un plan de ville sont visualisés sur 4 cubes d'affichage. Les deux visualisations montrent des positionnements et dimensionnements différents des images issues des trois sources.



Visualisation 1



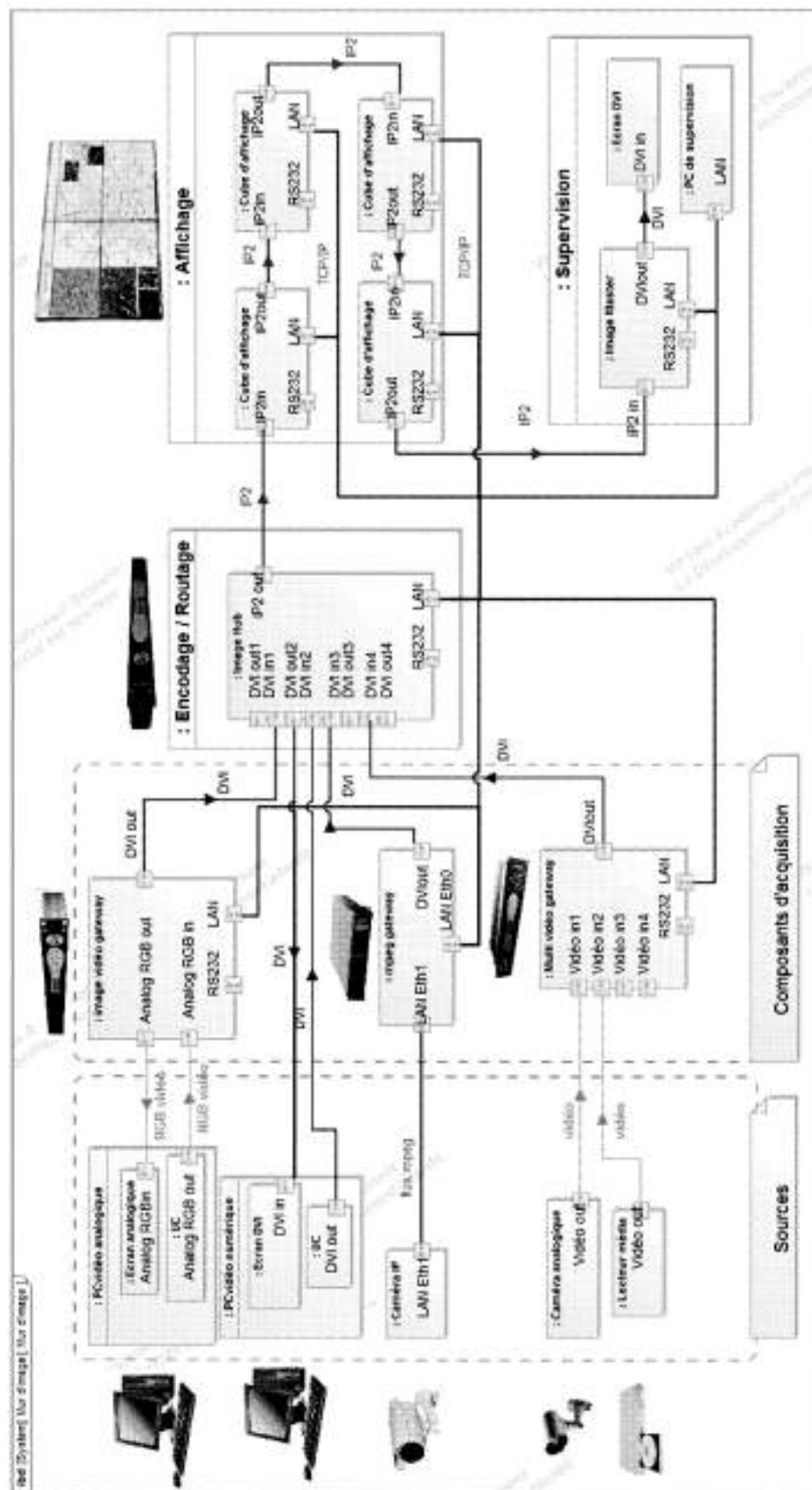
Visualisation 2

Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC2 sur 17
16SN4SNEC1	Documentation	

Exemple d'une configuration type d'un mur d'image

Visualisation sur un mur d'image constitué de 4 cubes de plusieurs sources d'image issues d'un PC à sortie vidéo analogique, un PC à sortie vidéo numérique, une caméra IP, une caméra analogique et un lecteur multimédia.

La configuration du panneau est réalisée à partir du poste de supervision, un écran standard numérique permet d'obtenir une image de la projection réalisée.



Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC3 sur 17
16SN4SNEC1	Documentation	

Éléments constitutifs d'un mur d'image

Les composants d'acquisition

Le composant **Image Gateway** convertit une image analogique RGB en un signal vidéo numérique (DVI)



Entrées de configuration

Connecteur RS232 SubD9 femelle + Connecteur Ethernet RJ45 Protocole TCP/IP

Entrées de signaux

1 entrée RGB analogique standard sur connecteur Sub-D15 HD

Fréquence maximale d'entrée: 165MPixel/s

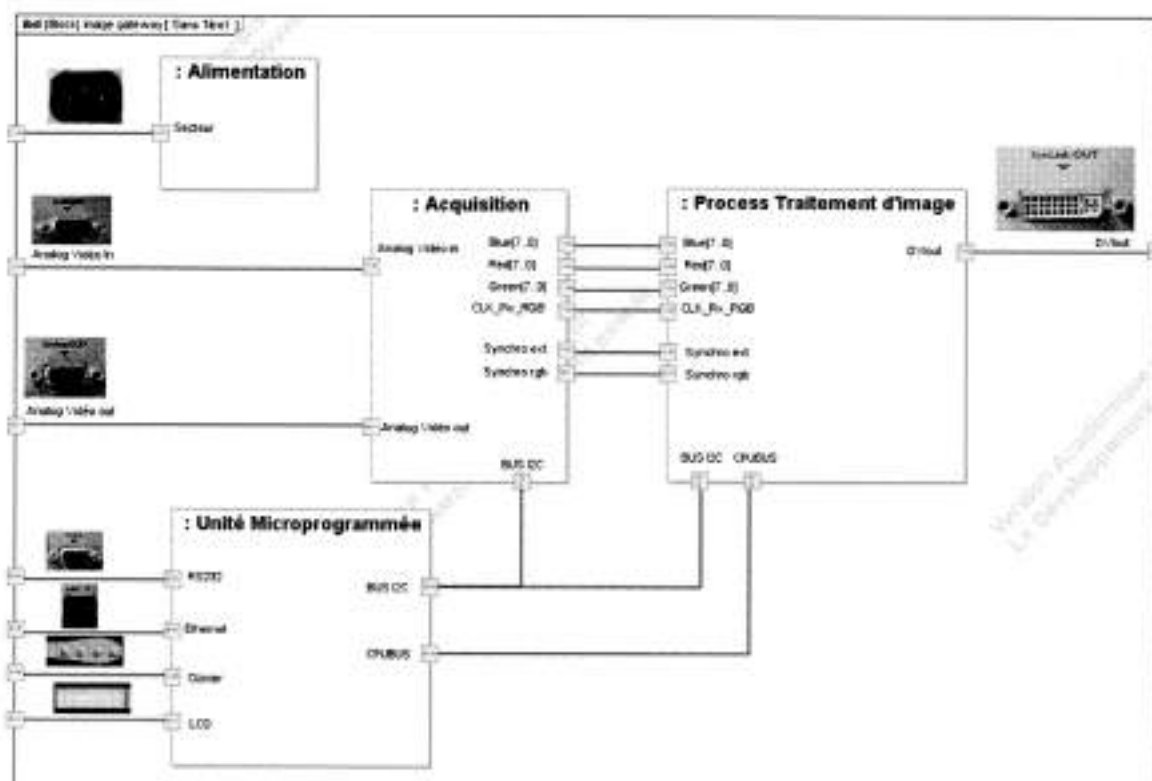
Sortie de signaux

1 sortie RGB analogique standard : recopie de l'entrée RGB in

1 sortie DVI (Vidéo numérique) 24 bits true color Max data rate 3.96 Mb/s

Operating Conditions : 10 à 40°C

Son organisation structurelle est décrite ci-dessous :



Le bloc « Acquisition » construit autour d'un circuit spécialisé (AD9888) :

- met en forme les informations de synchronisation horizontale et verticale,
- numérise les tensions analogiques présentes sur le signal « Analog Vidéo In ».

Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC4 sur 17
16SN4SNEC1	Documentation	

Le composant **Multi Vidéo Gateway** convertit jusqu'à 4 signaux vidéo analogiques (DVD, TV, etc...) en un signal vidéo numérique (DVI)



Entrées de configuration

Connecteur RS232 + Connecteur Ethernet RJ45 Protocole TCP/IP

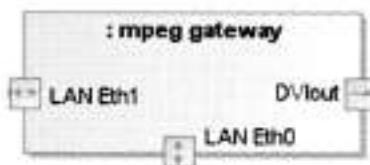
Entrées de signaux

Chaque slot d'entrée vidéo est composé de 3 connecteurs BNC

Sortie de signaux

1 sortie DVI (Vidéo numérique) 24 bits true color Max data rate 330 Mpix/s

Le composant **MPEG Gateway** convertit jusqu'à 25 flux mpeg en un signal vidéo numérique (DVI)



Entrées de configuration

Connecteur RS232 + Connecteur Ethernet Eth0 Protocole TCP/IP

Entrées de signaux

Connecteur Ethernet ETH1 RJ45 Protocole TCP/IP

Sortie de signaux

1 sortie DVI (Vidéo numérique) 24 bits true color Max data rate 330 Mpix/s

Le composant d'encodage et de routage

Le composant **Image HUB** convertit jusqu'à 4 signaux DVI numériques en un signal vidéo numérique IP2



Entrées de configuration

Connecteur RS232 + Connecteur Ethernet RJ45 Protocole TCP/IP

Entrées de signaux

4 entrées vidéo numérique DVI 24 bits true color Max data rate 330 Mpix/s

Sortie de signaux

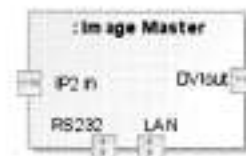
1 sortie vidéo numérique IP2 débit maximum : 330 Mpixels/s

4 sorties de recopie des signaux d'entrée DVI

Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC5 sur 17
16SN4SNEC1	Documentation	

Le composant de décodage

Le composant **Image Master** convertit un signal vidéo numérique IP2 en un signal vidéo numérique (DVI)



Entrées de configuration

Connecteur RS232 + Connecteur Ethernet RJ45 Protocole TCP/IP

Entrées de signaux

1 entrée vidéo numérique IP2

Sortie de signaux

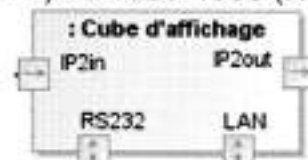
1 sortie DVI (Vidéo numérique) 24 bits true color Max data rate 330 Mpix/s

Les composants d'affichage

L'association de plusieurs cubes de type RP/RX permet l'obtention d'un mur d'images comme sur l'exemple représenté ci-contre.

Un cube affiche à partir d'un signal vidéo IP2 la partie de l'image sélectionnée par le logiciel de supervision. 3 types de résolutions sont disponibles :

1024*768 (RX-LED), 1400*1050 (RP-LED) ou 1920*1080 (HD-LED)



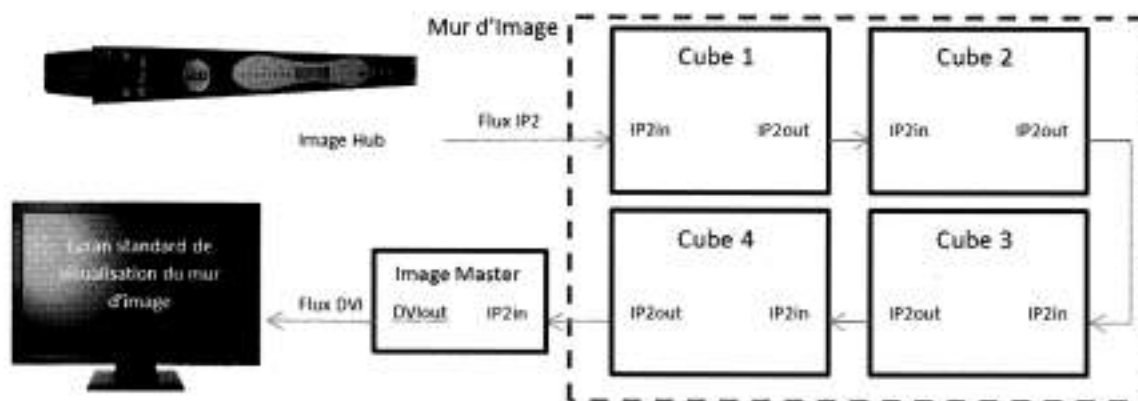
Entrées de configuration

Connecteur RS232 + Connecteur Ethernet RJ45 Protocole TCP/IP

Entrées de signaux : 1 entrée vidéo numérique IP2

Sortie de signaux : 1 sortie vidéo IP2 de copie pour chaîner d'autres cubes

Le flux d'image au format IndisysIP2 est chaîné d'un cube à l'autre avec les liaisons IP2_IN / IP2_OUT. Une image réduite du mur d'image sur un écran DVI standard peut être obtenue en connectant celui-ci sur la sortie d'un décodeur « Image Master »



Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC6 sur 17
16SN4SNEC1	Documentation	

Standard Signal RGB

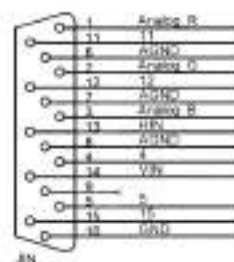
Le signal vidéo analogique RGB issu du système de mesure contient 5 signaux :

Deux signaux logiques utilisés pour la synchronisation :

- H_{IN} : signal utilisé pour la synchronisation horizontale
- V_{IN} : signal utilisé pour la synchronisation verticale

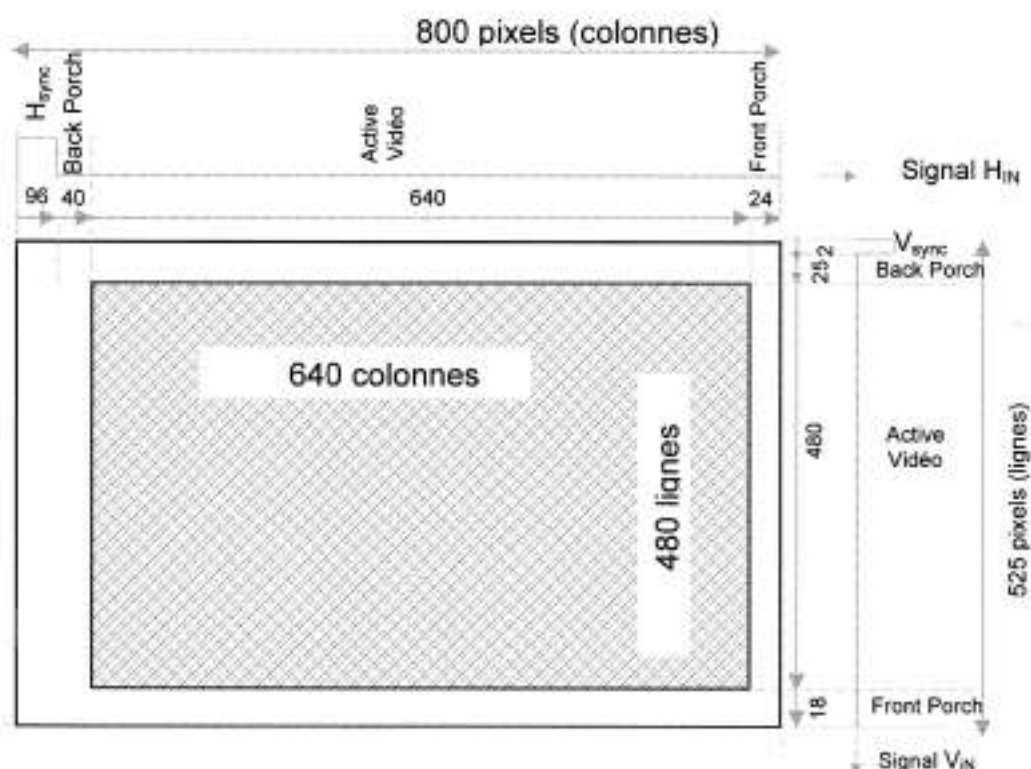
Et trois signaux analogiques utilisés pour la vidéo :

- Analog_R : signal analogique (0 – 0.7V) correspondant à une valeur de 0 à 255 utilisé pour le contrôle de la couleur rouge (Red)
- Analog_G : signal analogique (0 – 0.7V) correspondant à une valeur de 0 à 255 utilisé pour le contrôle de la couleur verte (Green)
- Analog_B : signal analogique (0 – 0.7V) correspondant à une valeur de 0 à 255 utilisé pour le contrôle de la couleur Bleue (Blue)



Un écran vidéo standard consiste en une grille de pixels qui peuvent être divisés en lignes et colonnes. Afin de laisser suffisamment de temps à l'électronique embarquée pour gérer l'affichage, on ajoute lors de l'émission du signal une zone appelée « blanking » à l'image active.

Ainsi sur une image 640 colonnes / 480 lignes / 60Hz l'image envoyée vers l'écran sera en réalité une image de 800 colonnes / 525 lignes / 60 Hz comme représenté ci-dessous (la zone d'image active est représentée grisée, la zone de blanking est représentée blanche). On représente également sur cette figure les chronogrammes associés des signaux H_{IN} et V_{IN} .

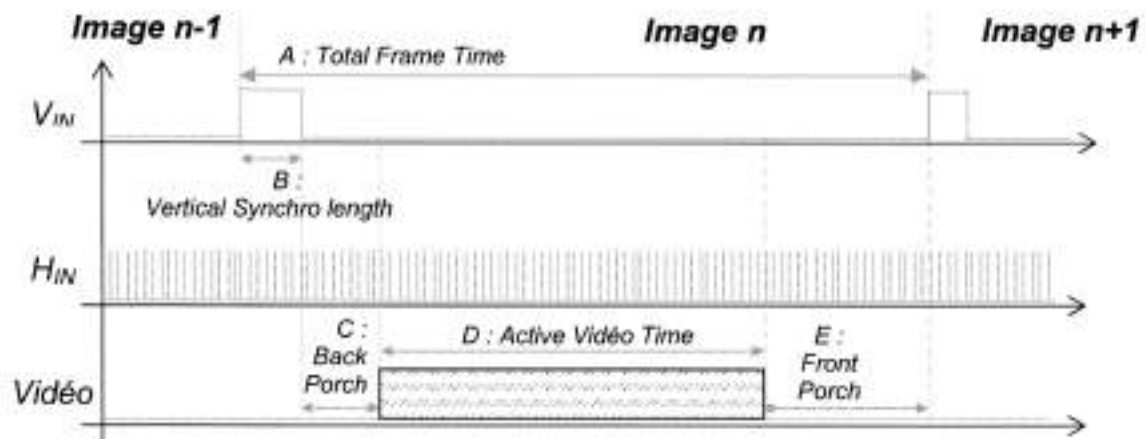


Les pixels sont envoyés sur les trois lignes analogiques Analog_R, G, et B ligne après ligne :

- pixels des colonnes 1 à 800 de la ligne 1 puis ;
- pixels des colonnes 1 à 800 de la ligne 2 puis ;
- pixels des colonnes 1 à 800 de la ligne 3

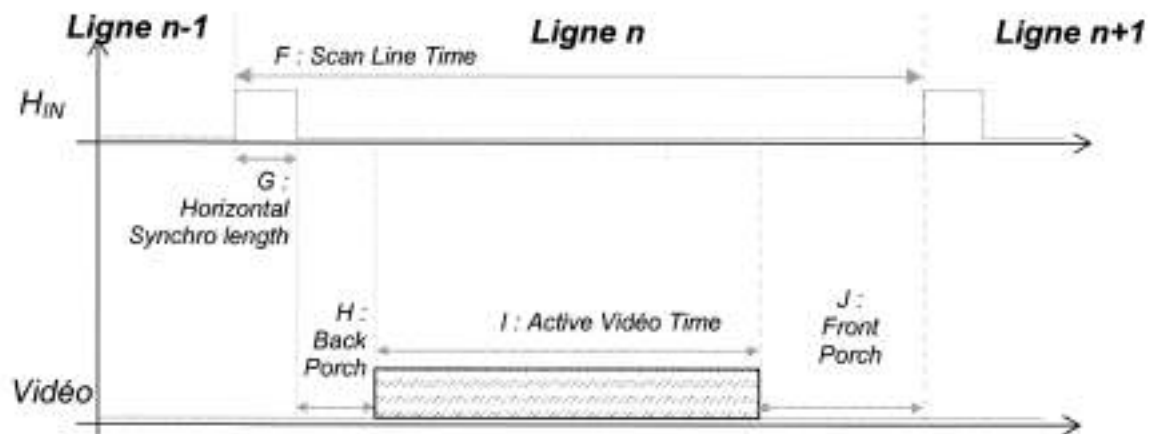
Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC7 sur 17
16SN4SNEC1	Documentation	

Chronogramme du signal de Synchronisation verticale (Image)



Vertical Timing				
	Taille de l'image	1024*768 / 60Hz	800*600 / 60Hz	640*480 / 60Hz
A	Total Frame Time	16,6656ms (806 lignes)	16,5792ms (628 lignes)	16,68ms (525 lignes)
B	Vertical Sync Pulse Time	0,124ms (6 lignes)	0,1056ms (4 lignes)	0,06ms (2 lignes)
C	Back porch	0,599ms (29 lignes)	0,6072ms (23 lignes)	1,02ms (25 lignes)
D	Active Vidéo Time	15,879ms (768 lignes)	15,84ms (600 lignes)	15,25ms (480 lignes)
E	Front Porch	0,062ms (3 lignes)	0,0264ms (1 ligne)	0,35ms (18 lignes)

Chronogramme du signal de Synchronisation Horizontale (Ligne)



Horizontal Timing				
	Taille de l'image	1024*768 / 60Hz	800*600 / 60Hz	640*480 / 60Hz
F	Scan Line Time	20,677 μ s (1344 pixels)	26,4 μ s (1056 pixels)	31,77 μ s (800 pixels)
G	Horizontal Sync Pulse length	2,092 μ s (136 pixels)	3,2 μ s (128 pixels)	3,77 μ s (96 pixels)
H	Back Porch	2,46 μ s (160 pixels)	2,2 μ s (88 pixels)	1,89 μ s (40 pixels)
I	Active Vidéo Time	15,754 μ s (1024 pixels)	20 μ s (800 pixels)	25,17 μ s (640 pixels)
J	Front Porch	2,461 μ s (24 pixels)	1 μ s (40 pixels)	0,94 μ s (24 pixels)

Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC8 sur 17
16SN4SNEC1	Documentation	

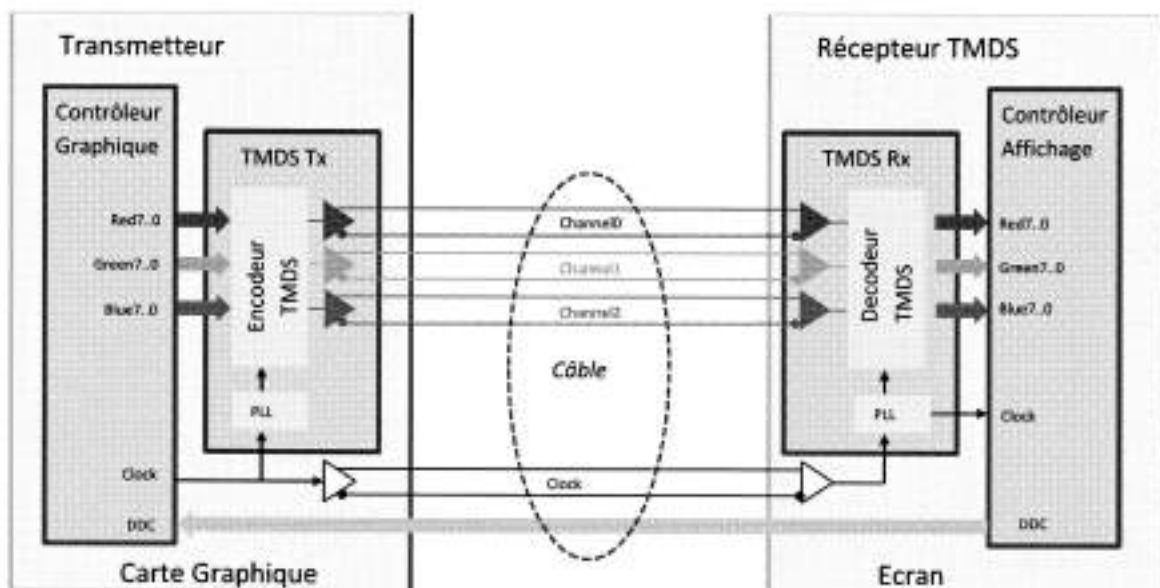
Standard Signal DVI

La liaison DVI est une liaison numérique permettant :

- la communication avec l'écran via un bus I²C avec deux signaux
 - DDC Clock (Signal d'horloge)
 - DDC Data (Signal bidirectionnel de données)
- le transfert en série des informations de couleur et de synchronisation sur 4 (Single Link) ou 8 (Dual Link) paires différentielles.

Cas d'une liaison Single Link

TMDS data 0 + TMDS data 0 -	TMDS data 1 + TMDS data 1 -	TMDS data 2 + TMDS data 2 -	TMDS Clock+ TMDS Clock -
Codage du rouge	Codage du vert	Codage du bleu	Horloge de synchronisation



Pour un pixel, chaque composante de couleur est codée sur 8 bits.

Afin de rendre la transmission des données moins sensible aux interférences, la norme DVI ajoute aux 8 bits de couleur 2 bits supplémentaires :

- 1 bit pour indiquer le codage effectué et pour minimiser les transitions du signal,
- 1 bit pour équilibrer la tension continue sur la ligne.

Le codage TMDS (Transition **M**inimized **D**ifferential **S**ignaling) peut paraître plus lourd car il nécessite l'émission de 10 bits au lieu de 8. Il permet cependant de minimiser les erreurs de transmission du signal numérique en réduisant les interférences.

Débits autorisés :

Les données elles-mêmes sont transmises à 10 fois la vitesse du signal d'horloge grâce à un composant (circuit PLL) qui fonctionne comme un multiplicateur de fréquence. De cette façon, on peut transmettre 1,65 Gb/s (soit 165 Mpix/s) sur chaque voie de données sur un câble Single Link et de 3,3 Gb/s (soit 330 Mpix/s) sur un câble Dual Link.

Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC9 sur 17
16SN4SNEC1	Documentation	



FEATURES

- Monitors Up to 5 Supply Voltages
- Monitors up to 4 Fan Speeds
- Monitors 2 Remote And 1 On-Chip Temperature Sensor
- Monitors Processor VID Bits
- Automatic Fan Speed Control
- Enhanced Acoustic Mode
- Monitors CPU Prochot output
- 2-wire and 3-wire Fan Speed Measurement
- Limit Comparison of all Monitored Values
- PWM Fan Speed Control Outputs
- Serial System Management Bus (SMBus/I²C)
- Version 1.1 Compliant
- Meets SMBus 2.0 Electrical Specifications

APPLICATIONS

- Low Acoustic Noise Desktop PCs
- Networking and Telecommunications Equipment

GENERAL DESCRIPTION

The ADM1027 is a complete systems monitor and multiple fan controller for desktop PCs. It can monitor +12V, +5V, CPU supply voltage and chipset supply voltage, plus its own supply voltage.

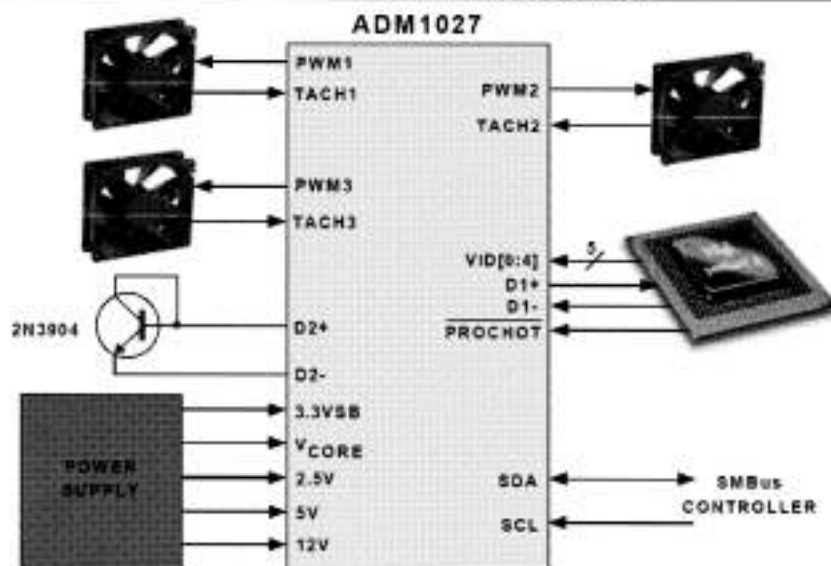
It can monitor the temperature of up to 2 remote sensor diodes, plus its own internal temperature.

It can measure the speed of up to 4 fans and control the speed of up to 4 fans so that they operate at the lowest possible speed for minimum acoustic noise.

The Automatic Fan Speed Control Loop optimizes fan speed for a given temperature.

Measured values can be read out via a serial System Management Bus, and values for limit comparisons can be programmed in over the same serial bus.

The high-speed successive-approximation ADC allows frequent sampling of all analog channels to ensure a fast interrupt response to any out-of-limit measurement.



<p>Session 2016</p>	<p>BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4</p>	<p>Page DOC10 sur 17</p>
<p>16SN4SNEC1</p>	<p>Documentation</p>	

SERIAL BUS INTERFACE : I²C Communication

Address :

Control of the ADM1027 is carried out using the serial I²C bus.

The ADM1027 is connected to this bus as a slave device, under the control of a master device.

The ADM1027 has a 7-bit serial bus address.

When the device is powered up with pin 13 (PWM3/Address_Enable) high, the ADM1027 will have a default I²C Bus address of 0101110 or 0x5C.

If more than one ADM1027 is to be used in a system, then each ADM1027 should be placed in Address Select Mode by strapping pin 13 low on power-up.

The logic state of pin 14 then determines the device's I²C Bus address.

Pin 13 State	Pin 14 State	Address
0	Low (10 kΩ to Gnd)	0101 100 (0x58)
0	High (10 kΩ pull up)	0101 101 (0x5A)
1	Don't Care	0101 110 (0x5C) (default)

Read operation (Traduction d'un extrait de documentation pour faciliter la compréhension du fonctionnement) :

La procédure de lecture d'une valeur dans le composant s'effectue en deux phases :

- Sélection du registre dans lequel va s'effectuer la lecture (Pointer Register) : Figure 2a
- Lecture du registre sélectionné : Figure 2b

Figure 2a. Writing to the Address Pointer Register

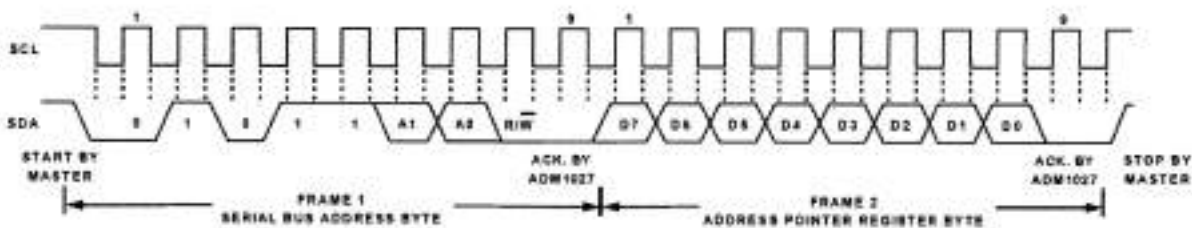
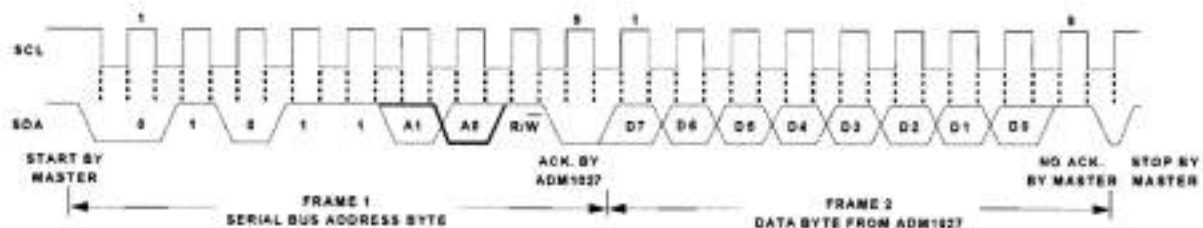


Figure 2b. Reading Data from a Previously Selected Pointer Register



Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC11 sur 17
16SN4SNEC1	Documentation	

Internal Registers :

Un extrait des registres internes de l'ADM1027 est donné ci-dessous

Adresse	R/W	Description	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0x20	R only	2.5V Reading	9	8	7	6	5	4	3	2
0x21	R only	VCCP Reading	9	8	7	6	5	4	3	2
0x22	R only	VCC Reading	9	8	7	6	5	4	3	2
0x23	R only	5V Reading	9	8	7	6	5	4	3	2
0x24	R only	5V Reading	9	8	7	6	5	4	3	2
0x25	R only	Remote1 Temperature	9	8	7	6	5	4	3	2
0x26	R only	Local Temperature	9	8	7	6	5	4	3	2
0x27	R only	Remote 2 Temperature	9	8	7	6	5	4	3	2
0x28	R only	TACH1 Low Byte	7	6	5	4	3	2	1	0
0x29	R only	TACH1 High Byte	7	6	5	4	3	2	1	0
.....										
0x30	R/W	PWM1 Current Duty Cycle	7	6	5	4	3	2	1	0
0x31	R/W	PWM2 Current Duty Cycle	7	6	5	4	3	2	1	0

LOCAL TEMPERATURE MEASUREMENT (extrait de la documentation "Mesure de la température locale")

The ADM1027 contains an on-chip bandgap temperature sensor, whose output is digitized by the on-chip 10-bit ADC. The 8-bit MSB temperature data is stored in the Local Temp Register (address 26h). As both positive and negative temperatures can be measured, the temperature data is stored in two's complement format, as shown in Table 3. Theoretically, the temperature sensor and ADC can measure temperatures from -128°C to +127°C with a resolution of 0.25°C. However, this exceeds the operating temperature range of the device, so local temperature measurements outside this range are not possible.

Temperature measurement from -127°C to +127°C is possible using a remote sensor.

Temperature	Digital Output (10 bits)									
	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
-128°C	1	0	0	0	0	0	0	0	0	0
-125°C	1	0	0	0	0	0	1	1	0	0
-100°C	1	0	0	1	1	1	0	0	0	0
-75°C	1	0	1	1	0	1	0	1	0	0
-50°C	1	1	0	0	1	1	1	0	0	0
-25°C	1	1	1	0	0	1	1	1	0	0
-10°C	1	1	1	1	0	1	1	0	0	0
0°C	0	0	0	0	0	0	0	0	0	0
+10.25°C	0	0	0	0	1	0	1	0	0	1
+25.5°C	0	0	0	1	1	0	0	1	1	0
+50.75°C	0	0	1	1	0	0	1	0	1	1
+75°C	0	1	0	0	1	0	1	1	0	0
+100°C	0	1	1	0	0	1	0	0	0	0
+125°C	0	1	1	1	1	1	0	1	0	0
+127°C	0	1	1	1	1	1	1	1	0	0

Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC12 sur 17
16SN4SNEC1	Documentation	



100 MSPS/140 MSPS/170 MSPS Analog Flat Panel Interface

FEATURES

- 170 MSPS maximum conversion rate
- 500 MHz programmable analog bandwidth
- 0.5 V to 1.0 V analog input range
- Less than 450 ps p-p PLL clock jitter
- 3.3 V power supply
- Full sync processing
- Sync detect for hot plugging
- 2:1 analog input mux
- 4:2:2 output format mode
- Midscale clamping
- Power-down mode
- Low power: <1 W typical at 170 MSPS

APPLICATIONS

- RGB graphics processing
- LCD monitors and projectors
- Plasma display panels
- Scan converters
- Microdisplays
- Digital TV

FUNCTIONAL BLOCK DIAGRAM

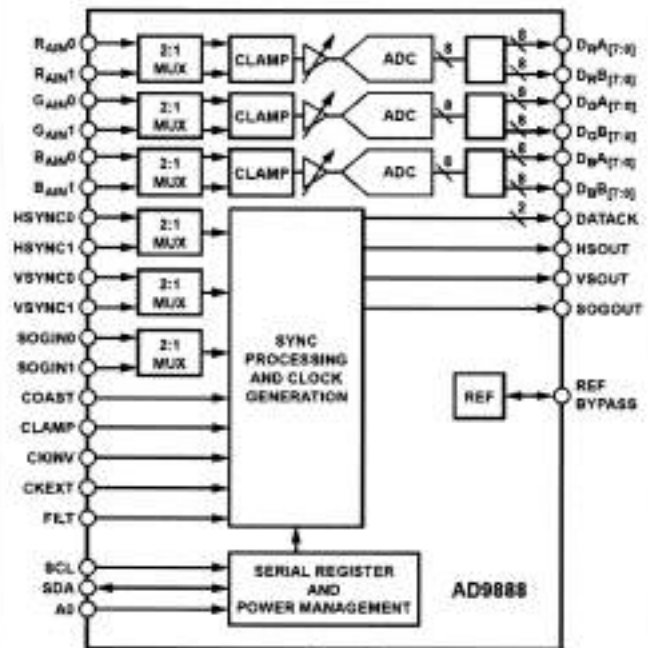


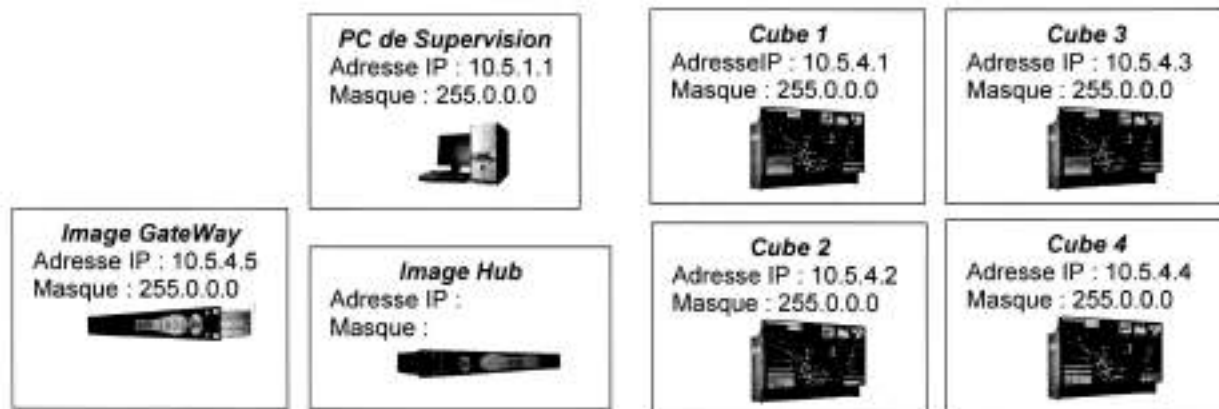
Figure 1.

The AD9888 is initialized and controlled by a set of registers that determine the operating modes. An external controller is employed to write and read the control registers through the two-line serial interface port.

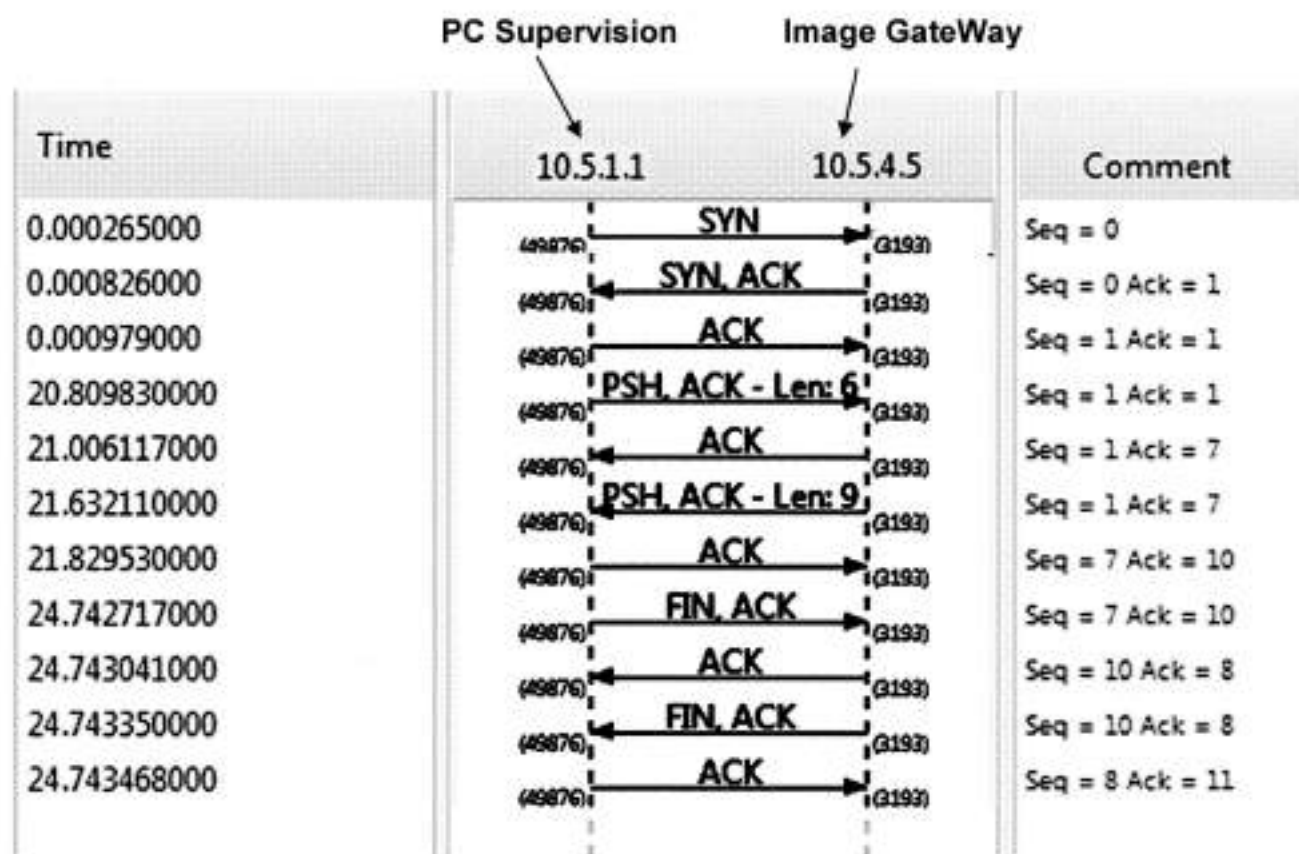
Hex Address	Bits	Default Value	Register Name	Function			
0x01	[7:0]	0110 1001	PLL divider MSB	MSBs (Bits[11:4]) of the PLL divider word			
0x02	[7:4]	1101 ****	PLL divider LSB	LSBs (Bits[3:0]) of the PLL divider word			
0x03	[7:6]	01** ****	VCO range select	Bits[7:6] Select VCO frequency range			
				Bit7	Bit6	Pixel Clock Range (MHz)	VCO Gain (MHz/V)
				0	0	10 to 41	150
				0	1	41 to 82	150
				1	0	82 to 150	150
1	1	150+	180				
0x04	[7:3]	1000 0***	Clock Phase Ajust	ADC Clock Phase Adjustment 1 LSB = T/32			

Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC13 sur 17
16SN4SNEC1	Documentation	

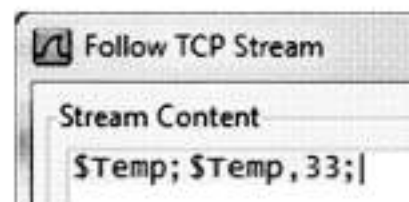
Plan d'adressage du réseau



Relevé des trames de supervision



Extrait de la fenêtre indiquant le flux TCP échangé entre le Client et le Serveur



Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC14 sur 17
16SN4SNEC1	Documentation	

Caractéristiques électriques des composants I²C

ADM1027

	min	max	unit
Input Capacitance	-	5	pF
Open Drain Current	-	8	mA
SCL, SDA Rise Time, tr	-	1000	ns
Clock Frequency, fSCLK	10	100	kHz

M24C02

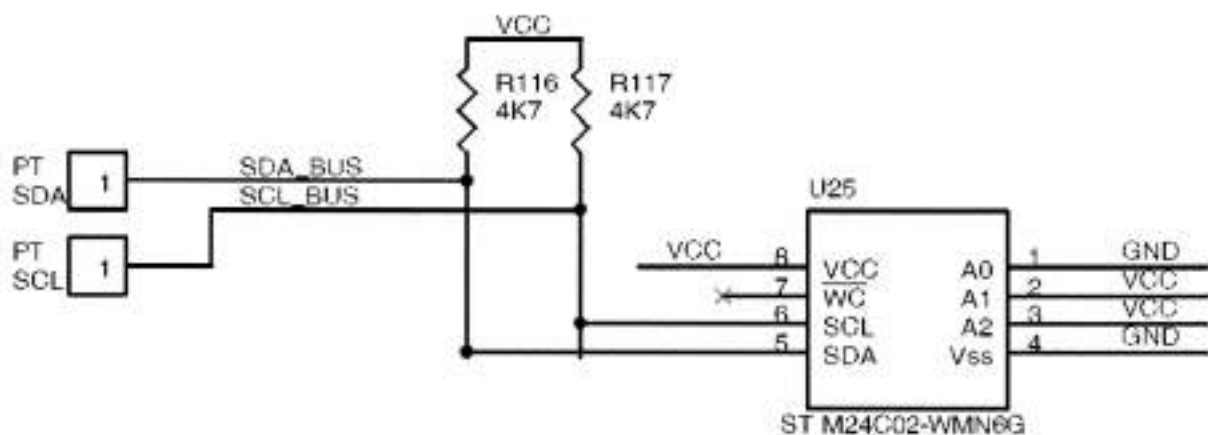
	min	max	unit
Input Capacitance	-	10	pF
Open Drain Current	-	3	mA
SCL, SDA Rise Time, tr	-	300	ns
Clock Frequency, fSCLK	-	400	kHz

Microcontrôleur

	min	max	unit
Input Capacitance	-	3	pF
Open Drain Current	-	10	mA
SCL, SDA Rise Time, tr	-	1000	ns
Clock Frequency, fSCLK	-	400	kHz

Schéma de câblage des résistances de tirage

(Seule la mémoire est représentée)



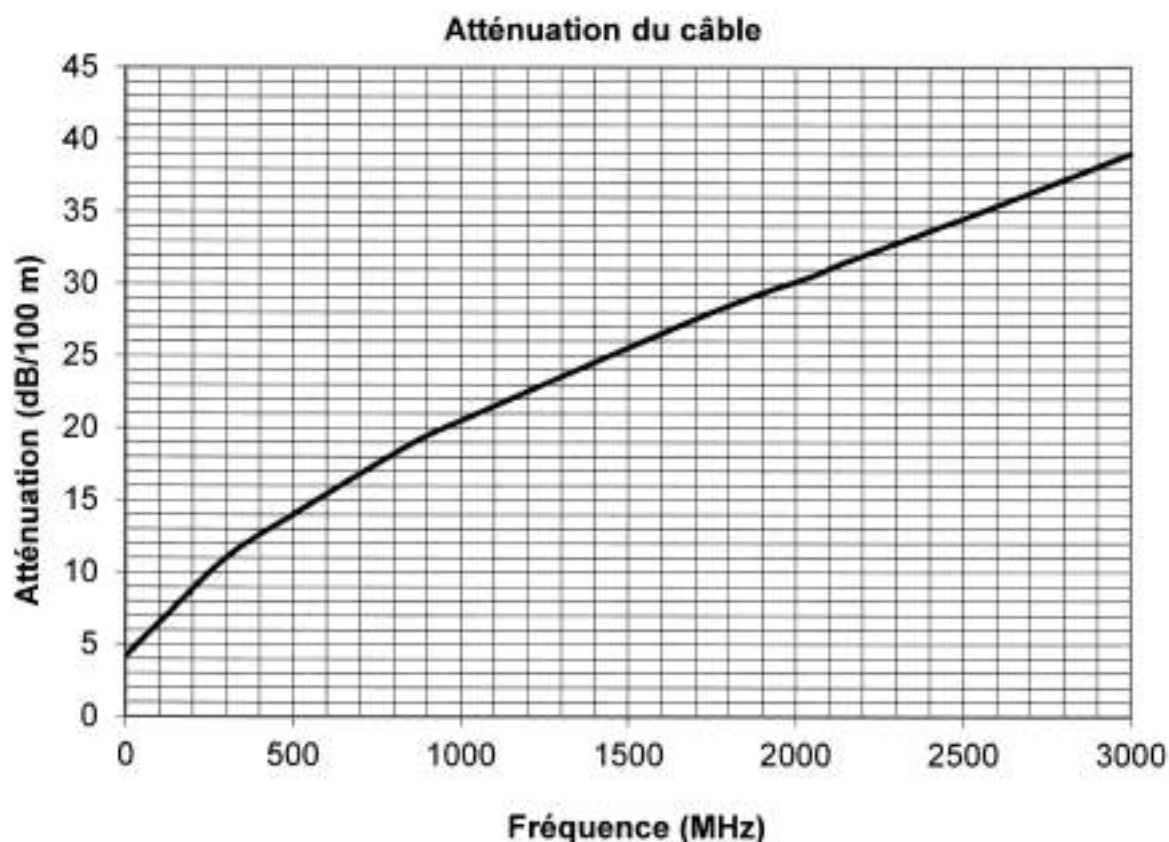
Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC15 sur 17
16SN4SNEC1	Documentation	

Documentation SP1 - Caractéristiques du récepteur numérique

Plage de fréquences : 950 MHz - 2150 MHz
Niveau d'entrée : -65 dBm à -25 dBm (154 μ V à 15,4 mV)
Entrée : IEC 60169-24
Impédance d'entrée : 75 Ω +/- 5%
Niveau de protection contre les surtensions : 6 kV
Agilité en fréquence autour de la fréquence nominale : +/- 10 MHz
Temps d'acquisition du signal : 140 ms max

Documentation SP2 - Caractéristiques du câble

Impédance caractéristique : 75 Ω



Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC16 sur 17
16SN4SNEC1	Documentation	

Documentation SP3 - Mesureur de champ

L'affichage du mesureur de champ ainsi que le schéma interne simplifié du mesureur de champ en réception DVB-S et DVB-S2 sont les suivants :

PLAN : <i>satellite</i>	MODULA. : <i>Type de transmission</i>	DIS : <i>Présence ou non du signal DiSEqC</i>	POL/BND : <i>Polarisation / bande basse ou haute</i>	FREQ : <i>fréquence satellite</i>	TRANSP : <i>Nom du transpondeur</i>
PUISS : <i>puissance reçue par le mesureur de champ en dBμV</i> MER : <i>Modulation Error Ratio (dB)</i> EVM : <i>Error Vector Magnitude (%)</i> B.MAR : <i>marge de bruit en dB</i> QLT : <i>qualité</i> bBER : <i>taux d'erreur binaire avant décodage</i> aBER : <i>taux d'erreur binaire après décodage</i> PER : <i>nombre de paquets faux / nombre de paquets transmis pendant le temps de mesure</i> ERR : <i>nombre d'erreurs en sortie du décodeur</i>			MENU		
			LNBOscLoc : <i>fréquence de l'oscillateur local du LNB en MHz</i> TAUX SYM : <i>débit symbolique en Mégabauds</i>		
PLAN : <i>satellite</i>	MODULA. : <i>Type de transmission</i>	DIS : <i>Présence ou non du signal DiSEqC</i>	POL/BND : <i>Polarisation / bande basse ou haute</i>	FREQ : <i>fréquence satellite</i>	TRANSP : <i>Nom du transpondeur</i>
CONSTELLATION			INFO		
			FEC : <i>Forward Error Correction (code correcteur d'erreur)</i>		

POL/BND : *Polarisation verticale ou horizontale / Tension qui permet de sélectionner la bande basse ou haute*

Session 2016	BTS Systèmes Numériques Option B Électronique et Communication Épreuve E4	Page DOC17 sur 17
16SN4SNEC1	Documentation	