

SUJET

Les trois parties du sujet sont indépendantes. La partie A traite l'aspect protocole du bus CAN. Les parties B et C portent sur l'étude fonctionnelle et structurelle des calculateurs MER et DSG en suivant le cheminement des informations échangées entre eux.

Partie A : Etude du bus CAN

Le calculateur DSG et une dizaine d'autres utilisent le bus **CAN I/S**. Par conséquent, à un instant donné, tous ces calculateurs peuvent être amenés à vouloir transmettre leur message. Pour résoudre le conflit de prise du bus, le protocole CAN utilise une procédure d'arbitrage. Tous les messages sont classés par priorités croissantes selon l'identificateur attribué lors de la conception : **on attribue l'identificateur ayant la plus petite valeur au message le plus prioritaire**.

Pour pouvoir traiter cette partie, il faut au préalable lire le document donné en pages BAN5 à BAN7 (**annexe** : Bus CAN) qui présente le protocole, l'architecture et la couche physique du bus CAN.

Q1. Donner la taille du champ identificateur du standard **CAN 2.A**.

Q2. Calculer le nombre d'identificateurs distincts que permet de coder Le standard **CAN 2.A**.

A un instant donné, trois calculateurs (BSI, DSG et le CMM) souhaitent émettre leurs messages d'identificateurs respectifs 0x51E, 0x52E et 0x54E.

Q3. Identifier le calculateur qui transmettra en premier son message. Justifier la réponse.

Q4. Compléter les chronogrammes du processus d'arbitrage figure 1 (page BR1).

Q5. Relever les noms des calculateurs et le numéro des instants à partir duquel ils se mettent en position récepteurs (perte du bus).

Pour éviter de longue suite de bits dominants ou récessifs, chaque contrôleur CAN d'un calculateur (voir annexe page BAN7) introduit volontairement dans la trame à transmettre des bits de bourrage (Stuffing).

Le calculateur BSI envoie un message d'identificateur 0x7C1.

Q6. Remplir les champs identificateurs du tableau 1 (page BR1) et entourer le ou les bits de bourrage.

Le chronogramme de la figure 2 (page BR1) est relevé sur un oscilloscope et permet le décodage d'une trame CAN. Ce signal est prélevé sur l'entrée TxD de l'interface bus CAN. La durée de la trame complète est de 126µs et comporte au total 63 bits.

Q7. Relever la valeur et délimiter sur ce chronogramme l'identificateur de la trame CAN.

Q8. Repérer par une flèche sur ce chronogramme le bit RTR en inscrivant la lettre « R » et justifier son état.

Q9. Déterminer le débit de transmission et en déduire le type de réseaux (**CAN LS** ou **HS**) qui véhicule cette trame.

Les calculateurs utilisant le même réseau CAN ne doivent pas traiter les messages dont ils ne sont pas destinataires. Aussi, le gestionnaire du bus CAN, associé à chaque calculateur, est doté d'un système de filtrage composé d'un masque et d'un sélecteur. Le masque spécifie les bits de l'identificateur qui doivent être contrôlés.

Lorsqu'un message est reçu, son champ identificateur est comparé bit à bit avec les valeurs du sélecteur. En cas de correspondance, le message accepté est transféré dans le buffer de réception pour être traité par le calculateur, sinon le message sera rejeté. Le tableau ci-contre résume la règle utilisée (x signifie valeur indifférente).

Bit de rang n du masque	Bit de rang n du sélecteur	Bit de rang n de l'identificateur	Bit de rang n du résultat
0	x	x	accepté
1	0	0	accepté
1	0	1	rejeté
1	1	0	rejeté
1	1	1	accepté

On souhaite que le calculateur DSG n'accepte que les messages dont les identificateurs sont : 0x304, 0x305, 0x306 et 0x307.

Q10. Compléter le tableau 2 (page BR2).

Session 2010	BTS Systèmes Électroniques Épreuve U4.1- Électronique	Page B1 sur 7
10SEE4EL1	Sujet	

Partie B : MER (Module Emetteur de Roue)

Lorsque le contact est mis, les modules MER associés aux roues avant sont réveillés par le signal LF émis par le calculateur DSG. Ce signal LF est capté par une antenne intégrée dans le module. Une fois réveillés, les modules transmettent par liaison HF les informations (pression, température, accélération et niveau de la pile) au calculateur DSG. Les caractéristiques partielles du module émetteur de roue sont :

Signal LF :

Modulant : code NRZ, Débit de transmission $D = 2400\text{Bits/s}$.

Modulation : ASK, porteuse LF $F_c = 125\text{kHz} \pm 3,75\text{kHz}$.

Signal HF :

Modulant : code Manchester non différentiel ; débit de transmission : $D = 9600\text{Bits/s}$.

Modulation : FSK, porteuse $F_0 = 433,92\text{MHz}$ à $\pm 15\text{kHz}$; excursion en fréquence : $\Delta F = \pm 45\text{kHz}$.

Q11. En exploitant la documentation technique du composant ASIC SP30, indiquer les fonctions principales du MER qui y sont intégrées.

Le circuit SP30 est un ASIC (**A**pplication **S**pecific **I**ntegrated **C**ircuits).

Q12. Définir ce qu'est un ASIC, citer un avantage et un inconvénient de cette technologie.

Q13. Pour chaque grandeur physique mesurée par ce circuit (accélération, pression, tension et température), préciser la plage de mesure et la résolution.

FP6 : Démodulateur LF (page BAN1)

Le circuit parallèle d'accord de l'antenne LF est composé :

- de l'inductance L1,
- d'un condensateur d'accord C constitué du condensateur C1 mis en parallèle avec le condensateur d'entrée du circuit SP30,
- d'une résistance de charge R constituée de la résistance R1 mise en parallèle avec la résistance d'entrée du circuit SP30.

L'antenne est accordée quand $L_1 C \omega_a^2 = 1$, ω_a étant la pulsation d'accord.

On rappelle les paramètres qui caractérisent un **circuit parallèle** accordé :

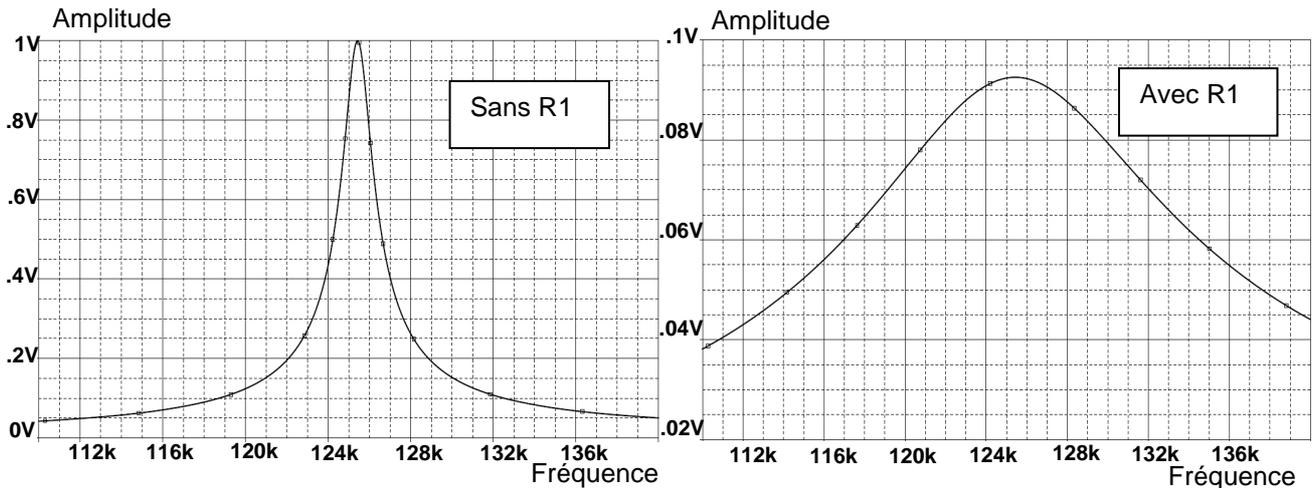
$$Q = \frac{R}{L\omega_a} \text{ et } B = \frac{F_a}{Q} \text{ Avec } Q : \text{ le coefficient de qualité, } B : \text{ la bande passante à } -3\text{dB.}$$

Q14. Donner la valeur optimale de la fréquence d'accord de l'antenne Ant_LF.

Q15. Définir les éléments du modèle équivalent de l'entrée, vue des broches 12 et 13, du circuit SP30 (page BAN9). En déduire les valeurs des composants du circuit équivalent L1, C et R.

Session 2010	BTS Systèmes Électroniques Épreuve U4.1- Électronique	Page B2 sur 7
10SEE4EL1	Sujet	

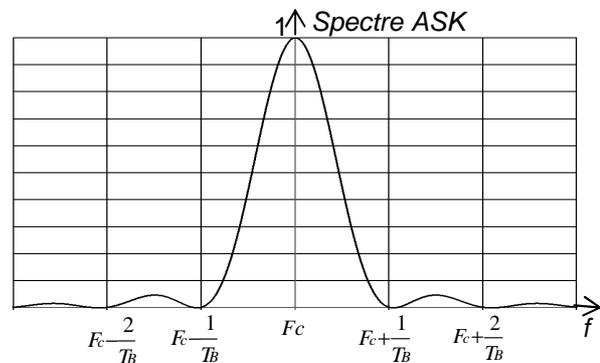
L'évolution de la tension aux bornes de l'antenne accordée constituée par la mise en parallèle de L_1 , C_1 , R_1 et l'impédance vue des broches 12 et 13 du circuit SP30 est :



Q16. Déterminer les paramètres du circuit accordé sur lesquels agit la résistance R_1 .

Le spectre du signal LF, modulé ASK, qui doit être capté par l'antenne est donné par la figure ci-contre.

On peut considérer que ce spectre occupe une bande passante de $\frac{2}{T_B}$, T_B étant la durée du bit du code NRZ.



Q17. Dans le cas où la valeur de la porteuse LF est : $F_c = 125\text{kHz}$; estimer la bande passante nominale du circuit accordé pour recevoir le signal LF modulé ASK.

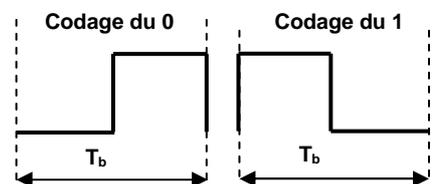
Q18. La valeur F_c de la porteuse LF est donnée avec une tolérance de $\pm 3,75\text{kHz}$, estimer la bande passante du circuit accordé pour recevoir le signal LF modulé ASK.

Q19. Justifier la valeur de R_1 à partir des valeurs trouvées question **Q15** ou en utilisant les courbes ci-dessus.

FP4 : Génération d'une trame

Les données relatives à l'état des roues sont incorporées dans une trame de format spécifique et transmises à une vitesse de 9600 Bits/s. L'opération de transcodage implantée dans le circuit ASIC permet de générer le code Manchester à partir d'une horloge H (dérivée de l'horloge du microcontrôleur) qui définit :

- la période T_b du rythme de transmission,
- les données utilisant le codage NRZ.

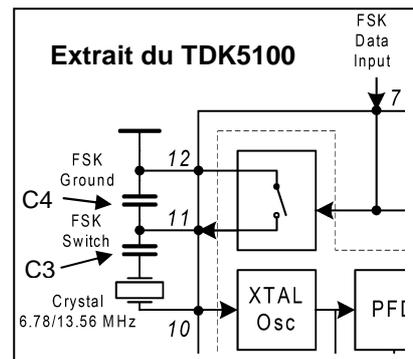


La représentation ci-contre montre le codage des bits 1 et 0 en code Manchester.

Q20. Compléter les chronogrammes (page BR2). En déduire l'équation logique de DATA_ROUE en fonction de H et NRZ. Déterminer l'opérateur logique qui réalise cette fonction.

FP5 : Modulateur HF

Le signal numérique DATA_ROUE commande un Switch interne au circuit (extrait du document page BAN11). Selon l'état ouvert (OFF) ou fermé (ON) du Switch, la capacité équivalente (en série avec le quartz) se trouve modifiée et par conséquent, la fréquence de l'oscillateur aussi. De cette commutation, il en résulte deux fréquences (F_{ON} ou F_{OFF}) qui vont constituer la modulation FSK.



Q21. En exploitant la documentation du TDK5100, compléter le tableau 3 (page BR2) en inscrivant, en correspondance avec l'état haut et l'état bas de DATA_ROUE, l'état du Switch (ouvert ou fermé) et préciser l'expression de la capacité équivalente C_{eq} en série avec le quartz.

La fréquence de sortie d'un oscillateur à quartz augmente lorsqu'on le met en série avec un condensateur.

Q22. Préciser laquelle des deux fréquences (F_{ON} et F_{OFF}) est supérieure à l'autre. Justifier la réponse.

Q23. Déterminer le câblage de la broche 15 (FSEL) du circuit TDK5100 pour avoir un fonctionnement qui répond aux spécifications du modulateur.

La trame générée par le circuit SP30 qui contient les données relatives à l'état du pneu est représentée par le signal DATA_ROUE.

Q24. En exploitant le schéma structurel du MER et la documentation technique du circuit TDK5100, compléter les chronogrammes figure 4 : modulation FSK (page BR2) pour transmettre la séquence binaire 0000. Pour le chronogramme de la broche 14, on inscrira, à l'endroit prévu, la fréquence F_{ON} ou F_{OFF} .

Q25. Déterminer la fréquence du signal CLK du TDK5100 et indiquer son rôle.

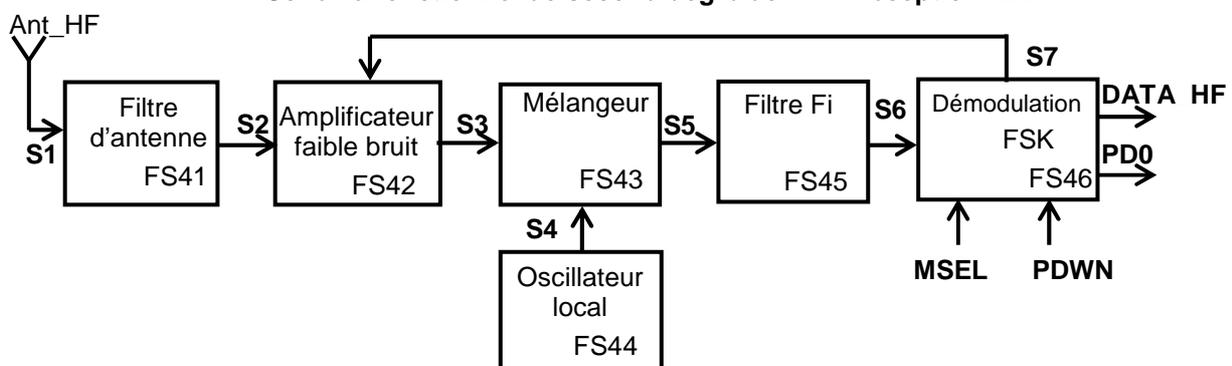
Partie C : Calculateur DSG (Détection de Sous Gonflage)

Q26. Délimiter sur le schéma structurel du DSG (pages BR4 à BR6) les fonctions principales : FP1, FP2, FP3, FP4 et FP5 (pages A5 et A6).

FP4 : Réception HF

L'onde électromagnétique, support de l'information envoyée par les MER, est captée par une antenne HF, d'impédance caractéristique 50Ω qui fournit un signal électrique. Ce signal va subir un traitement par des structures analogiques. Après démodulation et mise en forme, les données numériques DATA_HF sont transmises au microcontrôleur du calculateur DSG et par la suite mises sur le bus CAN pour être exploitées par le calculateur BSI.

Schéma fonctionnel de second degré de FP4 : réception HF.



Session 2010	BTS Systèmes Électroniques Épreuve U4.1- Électronique	Page B4 sur 7
10SEE4EL1	Sujet	

Q27. Donner le nom communément utilisé pour désigner un récepteur basé sur le changement de fréquence.

On considère que le mélangeur se comporte comme un multiplieur. On adoptera les notations suivantes :

- F_{inc} : fréquences incidentes captées par l'antenne,
- F_r : fréquence reçue appartenant à la bande de fréquences sélectionnées par le filtre d'antenne,
- F_{ol} : fréquence de l'oscillateur local,
- F_i : fréquence intermédiaire,
- F_t : fréquences transposées (sortie du mélangeur).

La figure 5 (page BR3) présente des spectres (leur forme est arbitraire) en différents points entre les fonctions secondaires de la fonction FP4.

Q28. Compléter le document réponse en associant à chaque spectre le nom du point (S1, S2, S4, S5 et S6) où il a été prélevé.

Démodulation

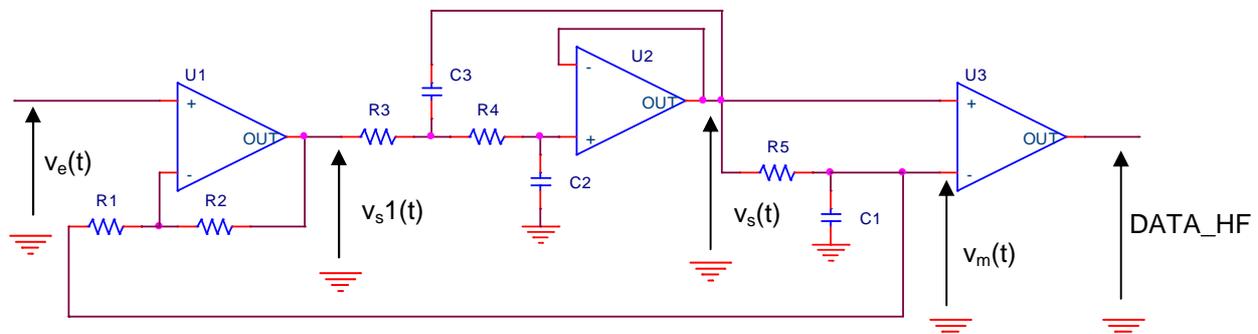
L'étage de démodulation peut démoduler des signaux de type ASK ou FSK selon l'état de l'entrée **MSEL**. Pour ce qui nous concerne, c'est le démodulateur FSK qui doit être sélectionné.

Q29. Déterminer l'état de l'entrée **MSEL** pour sélectionner le mode FSK.

Le démodulateur FSK utilise une PLL. La sensibilité de ce démodulateur est de $200\mu\text{V}/\text{kHz}$. Le signal analogique obtenu comporte une tension d'offset comprise entre 1,5V et 2,5V. Pour être exploité par le microcontrôleur, il doit être mis en forme (amplification, filtrage et décision).

Q30. Le signal FSK à démoduler est caractérisé par une excursion $\Delta F = \pm 45\text{kHz}$. Déterminer l'amplitude crête à crête du signal démodulé.

Le schéma structurel correspondant à la sélection du mode FSK avec la chaîne de traitement qui lui est associé est le suivant (extrait de la documentation du TDA5220) :

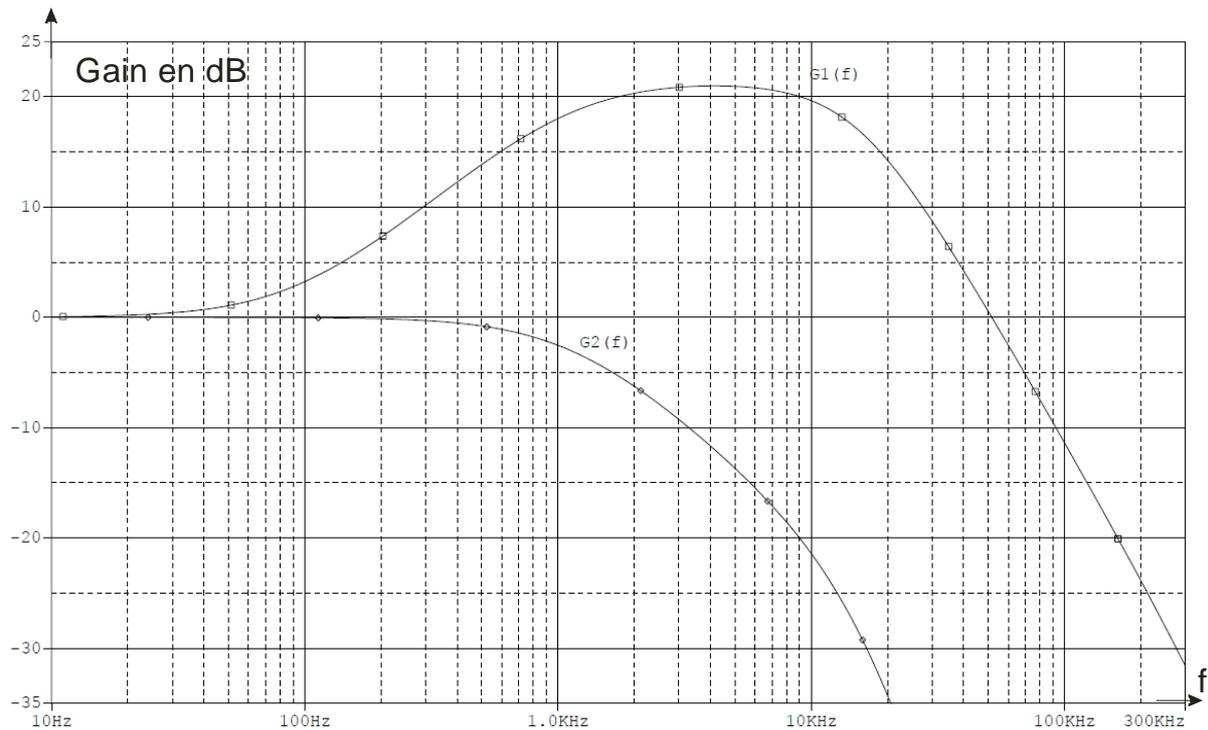


$v_e(t)$ représente le signal analogique à la sortie du bloc FSK PLL Demod.

Q31. Reporter, à l'emplacement prévu sur le document réponse de la figure 6 (page BR3), les numéros de broches du circuit TDA5220 (cercles) ainsi que les valeurs des composants (rectangles) à l'aide du schéma structurel (page BAN2).

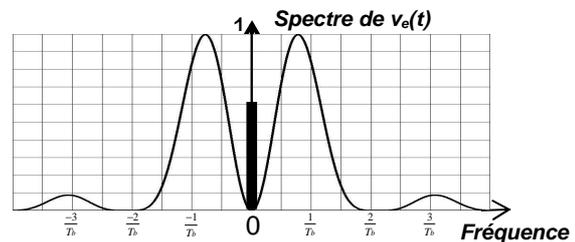
Session 2010	BTS Systèmes Électroniques Épreuve U4.1- Électronique	Page B5 sur 7
10SEE4EL1	Sujet	

On donne le résultat de simulation de la structure précédente où $G1(f)$ représente le gain de la fonction de transfert entre $\bar{V}_s(f)$ et $\bar{V}_e(f)$, et $G2(f)$ représente le gain de la fonction de transfert entre $\bar{V}_m(f)$ et $\bar{V}_e(f)$.



Q32. En exploitant les résultats de simulation ci-dessus, déterminer les tensions $v_s(t)$, $v_m(t)$ et $v_s1(t)$ lorsque $v_e(t)$ est une composante continue de 1V.

Le spectre du signal $v_e(t)$ codé Manchester est donné par la figure ci-contre. Presque 88% de l'énergie est contenue dans le lobe principal. Remarque : la raie correspond à la composante continue v_{offset} .



$\frac{1}{Tb}$: Débit de transmission à 9600bits/s.

Q33. Exprimer l'effet de $G1(f)$ et $G2(f)$ sur les deux composantes spectrales (raie et lobes) de $v_e(t)$.

Le signal $v_m(t)$ élaboré correspond à la valeur moyenne (ajustable automatiquement) du signal $v_s(t)$. Ce signal $v_m(t)$ est utilisé comme seuil de décision pour la structure autour du circuit U3.

Q34. Donner le nom de la fonction réalisée par le circuit U3.

Q35. Préciser l'intérêt d'utiliser un seuil ajustable automatiquement par rapport à un seuil fixe dans un circuit de décision.

FP3 : Emission LF

Le signal de réveil des MER est une porteuse modulée ASK (signal DATA_LF). Dans cette étude, on ne s'intéresse qu'à la génération de la porteuse (signal carré de fréquence 125kHz) générée par le timer0 du PIC18F2580. On utilise des fonctions déjà écrites (bibliothèque du compilateur C utilisé) : **set_timer0(x)** et **output_bit(x,y)**.

- Le timer0 est configuré en mode 8bits (comptage de 0 à 255).
- La période d'incréméntation T_{CLK} du timer0 est de 100ns.
- Les interruptions, suite au débordement du timer0 (time out), sont autorisées.
- La fonction **set_timer0(N)** permet d'initialiser le timer0 à la valeur N ($0 \leq N \leq 255$).
- La fonction **output_bit(PIN_C3, val)** positionne la broche 3 du port C du PIC18F2580 à l'état haut ou bas selon que val est égal à 1 ou 0 respectivement.

Le sous programme d'interruption **TIMER0_isr()** suivant permet de générer la porteuse 125kHz.

```
TIMER0_isr()
{
    // réinitialisation du timer0 à la valeur N
    set_timer0(N);
    // test de la valeur courante de val pour avoir l'état complément
    if (val ==1) val=0;
    else val=1;
    // mise à 1 ou à 0 de la broche PIN_C3 selon la valeur de val
    output_bit(PIN_C3, val);
}
```

Remarque: en langage C les lignes commençant par // sont des lignes de commentaire.

Le signal Horloge du chronogramme de la figure 7 (page BR3) illustre les instants d'incréméntation du timer0. Le débordement du timer0 génère une interruption si celle-ci a été autorisée. Les instants où les interruptions sont produites correspondent aux fronts montants et descendants du signal à générer (on néglige le temps correspondant à la prise en compte des interruptions par le micro contrôleur PIC).

Q36. Déterminer le nombre de périodes d'horloge d'incréméntation du timer0 contenu dans chaque demi-période de la porteuse 125kHz. En déduire la valeur de N qu'il faut charger dans le timer0 pour générer des interruptions toutes les 4µs.

Q37. En correspondance avec l'exécution de l'interruption **TIMER0_isr()**, compléter le chronogramme figure 7 : génération porteuse 125kHz (page BR3).

Session 2010	BTS Systèmes Électroniques Épreuve U4.1- Électronique	Page B7 sur 7
10SEE4EL1	Sujet	