

SESSION 2022

**AGREGATION
CONCOURS INTERNE
ET CAER**

Section : SCIENCES INDUSTRIELLES DE L'INGÉNIEUR

**Option : SCIENCES INDUSTRIELLES DE L'INGÉNIEUR
ET INGÉNIERIE ÉLECTRIQUE**

**ÉTUDE D'UN SYSTÈME, D'UN PROCÉDÉ OU D'UNE
ORGANISATION**

Durée : 4 heures

Calculatrice autorisée selon les modalités de la circulaire du 17 juin 2021 publiée au BOEN du 29 juillet 2021.

L'usage de tout ouvrage de référence, de tout dictionnaire et de tout autre matériel électronique est rigoureusement interdit.

Si vous repérez ce qui vous semble être une erreur d'énoncé, vous devez le signaler très lisiblement sur votre copie, en proposer la correction et poursuivre l'épreuve en conséquence. De même, si cela vous conduit à formuler une ou plusieurs hypothèses, vous devez la (ou les) mentionner explicitement.

NB : Conformément au principe d'anonymat, votre copie ne doit comporter aucun signe distinctif, tel que nom, signature, origine, etc. Si le travail qui vous est demandé consiste notamment en la rédaction d'un projet ou d'une note, vous devrez impérativement vous abstenir de la signer ou de l'identifier.

Tournez la page S.V.P.

A

SYSTÈME DE GUIDAGE DYNAMIQUE POUR PARKING

Le document comporte 46 pages décomposé ainsi :

- Texte du sujet pages 2 à 26
- Documents techniques DT1 à DT9 pages 27 à 40
- Documents réponses DR1 à DR8 pages 41 à 46

Il est conseillé aux candidats d'effectuer une lecture préalable et complète du sujet pour s'approprier dans leur ensemble les problématiques à étudier et prendre connaissance des informations utiles fournies dans les documents techniques.

Il est demandé aux candidats :

- de rédiger les réponses aux différentes parties sur des feuilles de copie séparées et clairement repérées ;
- de numéroter chaque feuille de copie et indiquer le numéro de la question traitée ;
- d'utiliser exclusivement les notations indiquées dans le sujet lors de la rédaction des réponses ;
- de présenter lisiblement les applications numériques, sans omettre les unités, après avoir explicité les expressions littérales des calculs ;
- d'encadrer ou souligner les résultats ;
- de justifier clairement les réponses ;
- de formuler les hypothèses nécessaires à la résolution des problèmes posés si celles-ci ne sont pas indiquées dans le sujet.

INFORMATION AUX CANDIDATS

Vous trouverez ci-après les codes nécessaires vous permettant de compléter les rubriques figurant en en-tête de votre copie.

Ces codes doivent être reportés sur chacune des copies que vous remettrez.

► **Concours interne de l'Agrégation de l'enseignement public :**

Concours	Section/option	Epreuve	Matière
EAI	1415A	102	7048

► **Concours interne du CAER / Agrégation de l'enseignement privé :**

Concours	Section/option	Epreuve	Matière
EAH	1415A	102	7048

La problématique : l'optimisation du stationnement

Qui n'a jamais fait l'expérience de chercher désespérément une place vide pour y stationner son véhicule ? Si bien souvent, dès l'entrée du parking, le nombre global de places inoccupées est indiqué, il n'est pas toujours facile de distinguer les emplacements disponibles ainsi que leur type (handicapé, famille, véhicule électrique). Il peut s'en suivre une perte de temps et d'argent (consommation d'essence, usure du véhicule).

Le système de guidage LEADER PARK® permet de résoudre les problèmes posés précédemment.



Figure 1 – Exemple de parking équipé par le système LEADER PARK®

LEADER PARK® est un système de guidage et comptage dynamique pour parking de toute dernière génération qui fournit en temps réel toutes les informations d'occupation, pour les usagers (guidage fiable et intuitif vers les places libres) et pour les exploitants (vision en temps réel, fréquentation, temps de présence, rotations, zones, statistiques, etc.).

LEADER PARK® guide les usagers vers les places disponibles (figure 1) et permet d'exploiter au mieux chaque zone du parking (création de places supplémentaires).

LEADER PARK® réduit les flux de circulation, les bruits et la pollution dans les parkings et augmente la rotation des places : aussitôt qu'une place est libérée, elle est montrée disponible dans tout le parking. L'utilisation de toutes les places est optimisée.

Contexte de l'étude : parking d'un magasin à Valence

Une grande enseigne, spécialisée dans les articles de sport, située à Valence, dispose d'un parking couvert de 300 places qui est équipé du système de guidage et de comptage dynamique présenté précédemment. Les figures 2, 3 et 4 décrivent la composition et l'architecture du système installé.

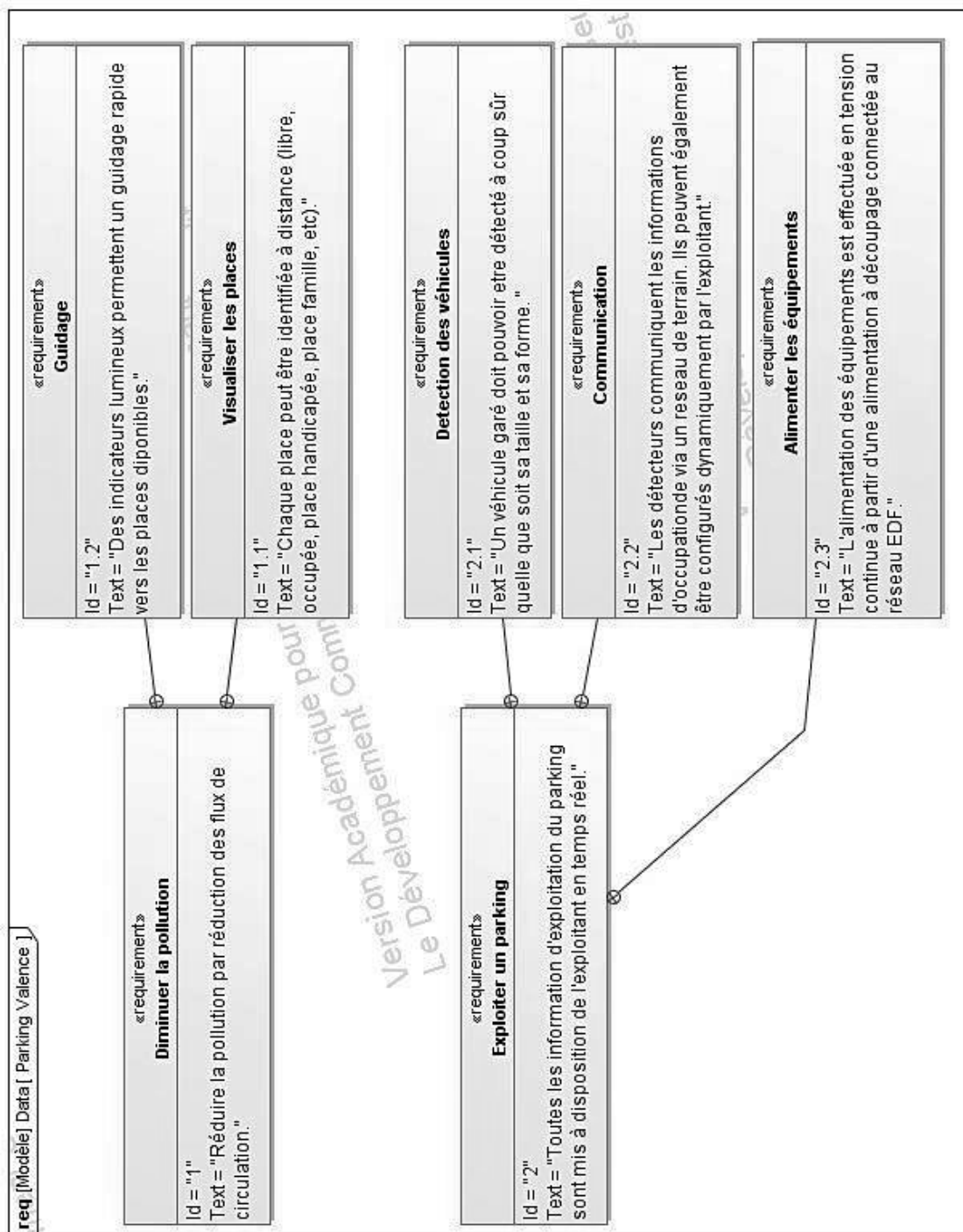


Figure 2 – Diagramme des exigences

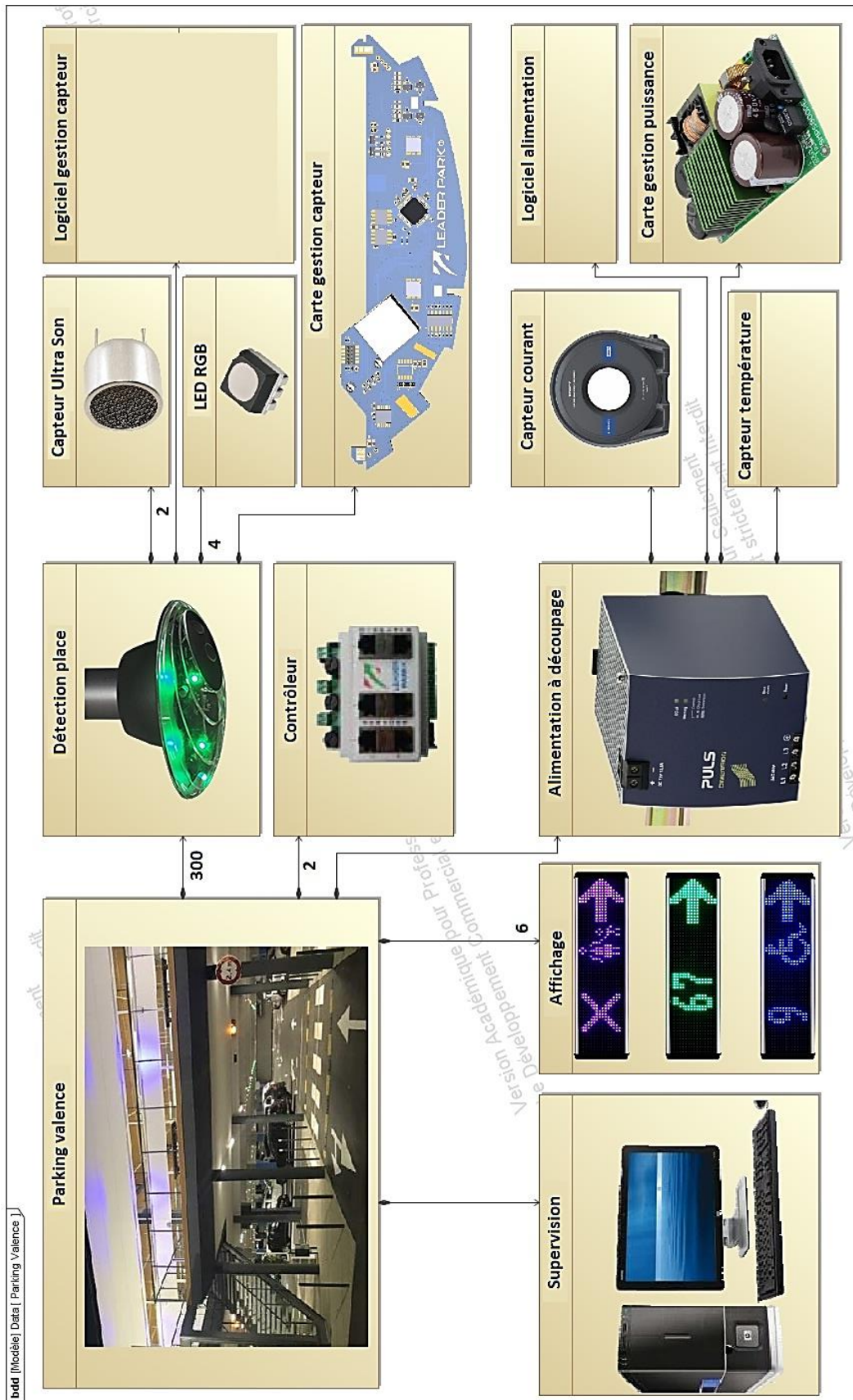


Figure 3 - Diagramme de définition de blocs

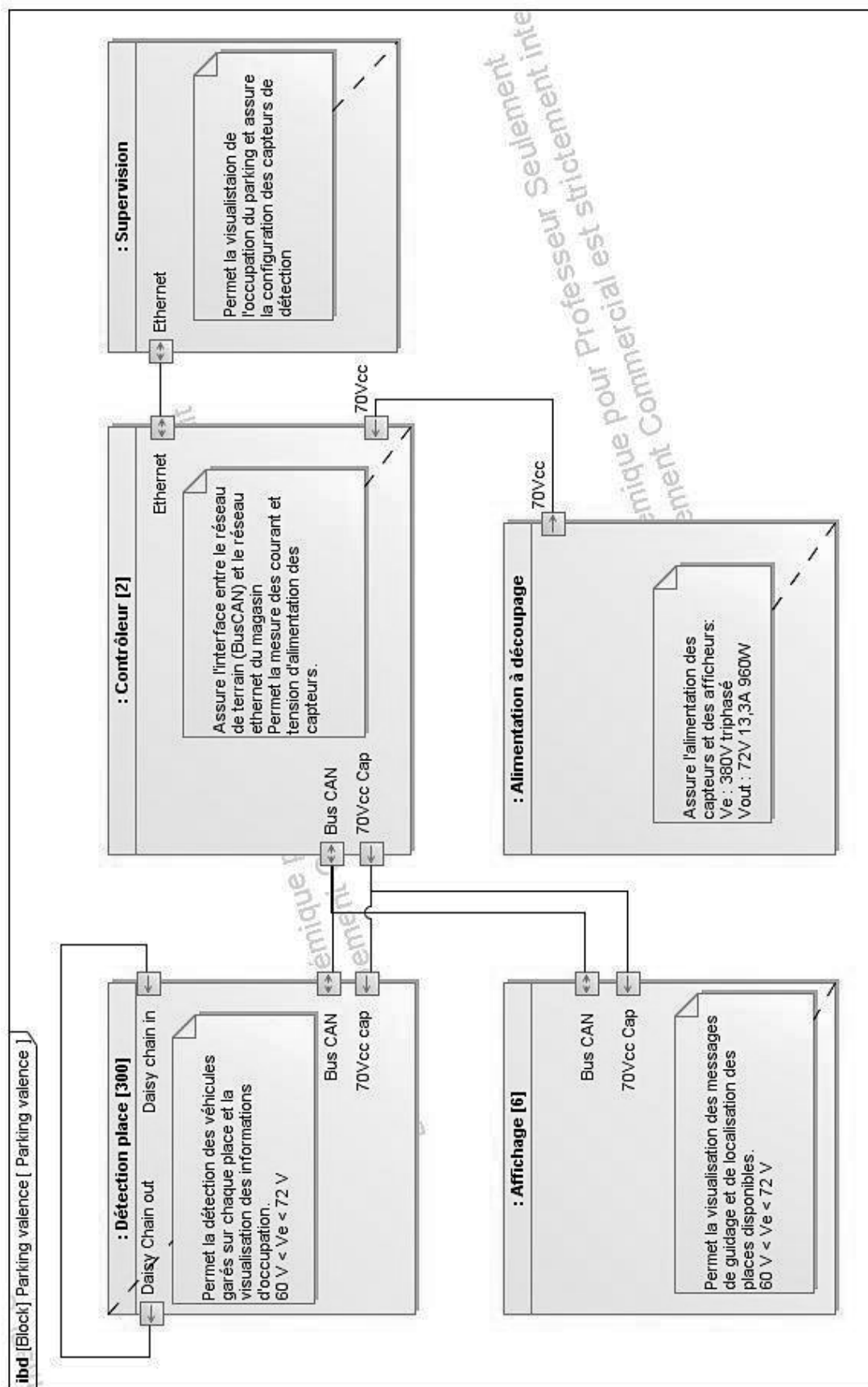


Figure 4 - Diagramme de blocs internes

A – VÉRIFICATION DE LA DÉTECTION D'UN VÉHICULE

Les objectifs de cette partie sont les suivants :

- valider le choix, le nombre et la disposition des capteurs afin d'assurer la détection de véhicules de formes et de tailles diverses ;
 - assurer la commande des capteurs à ultrasons à partir des signaux issus du microcontrôleur pour se dispenser d'un oscillateur dédié ;
 - extraire le signal utile noyé dans le bruit, dans le but de permettre son analyse pour la détermination de l'occupation d'une place.
-

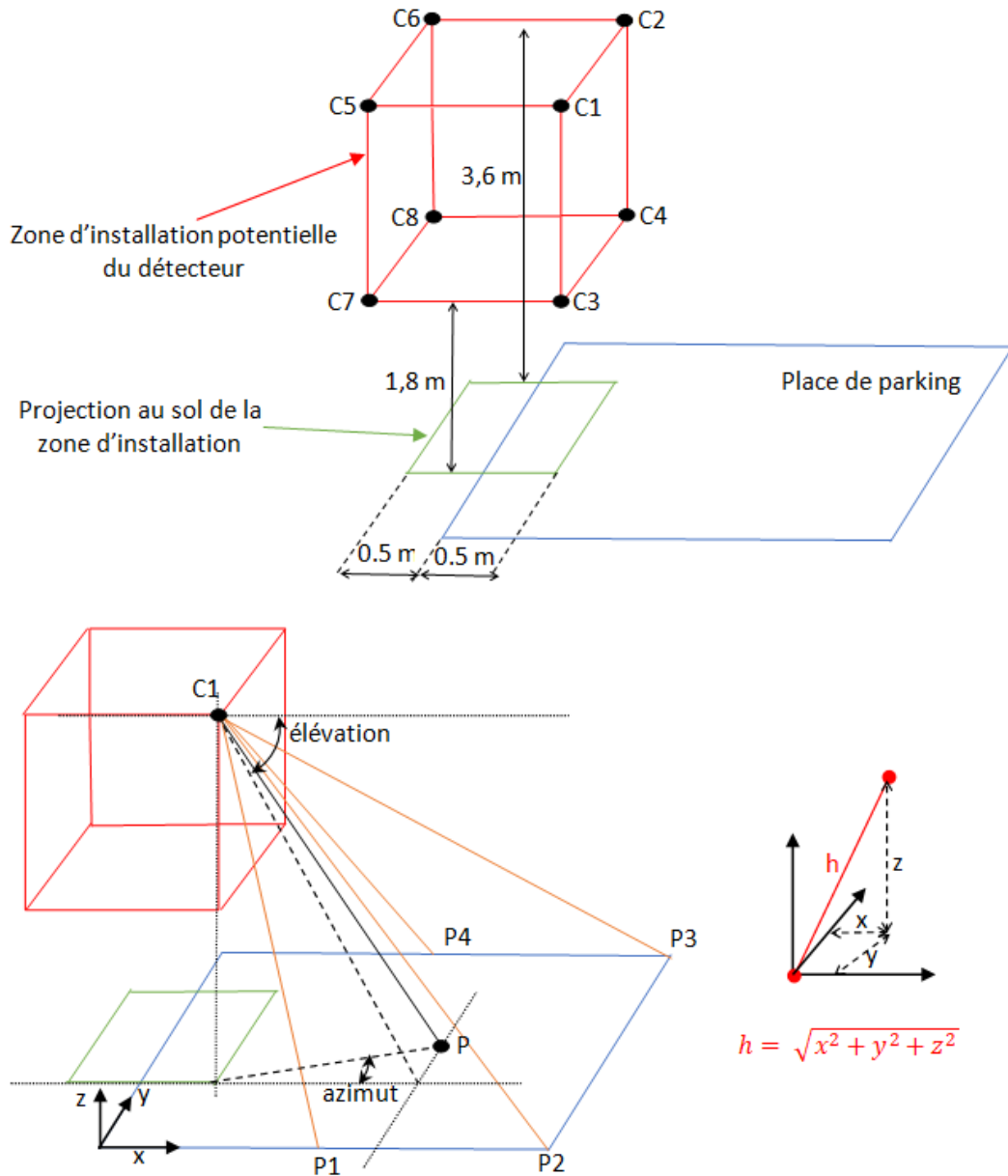
Après différentes études, le choix du capteur pour la détection des véhicules s'est arrêté sur un capteur à ultrasons. L'intérêt principal de ce capteur est son faible coût ainsi que sa facilité d'utilisation. Cependant la variété des formes et des tailles des véhicules ainsi que leurs positions aléatoires sur la place de parking impliquent une disposition judicieuse du capteur.

Le document technique DT1 présente le diagramme des exigences partiel concernant la détection des véhicules.

Question 1

À partir du document technique DT1, calculer la distance mesurée maximale. Vérifier que l'exigence concernant la distance de détection (ID2.1.3) peut être respectée.

La figure 5 présente les tolérances d'implantation du capteur et les distances à mesurées dans les cas les plus défavorables.



Les points C1 à C8 représentent les positions extrêmes de l'installation du capteur.

Question 2

À l'aide de la figure 5, déterminer l'expression littérale de la distance de mesure C_1P en fonction des coordonnées $(X_{C_1}, Y_{C_1}$ et $Z_{C_1})$ de la position C_1 du capteur par rapport à l'origine et des coordonnées $(X_p, Y_p$ et $Z_p)$ de la position du point P .

Question 3

À l'aide de la figure 5, déterminer, en fonction de X_{C1} , Y_{C1} , Z_{C1} , X_p , Y_p et Z_p , l'expression littérale des angles de visée horizontale (azimut) et verticale (élévation) du capteur vers un point P .

Question 4

À partir des résultats précédents, calculer la distance $C1P3$ ainsi que les azimut et élévation correspondants et compléter le document réponse DR1.

Question 5

Compléter le document réponse DR1 en indiquant les valeurs moyennes de distance, d'azimut et d'élévation calculées entre C1 et les points P1, P2, P3 et P4. En déduire le réglage moyen en azimut et en élévation du capteur.

Afin d'améliorer les possibilités de détection, on utilise deux capteurs dont les azimuts sont égaux à 0° et l'élévation respectivement à -35° et -55° (figure 6).

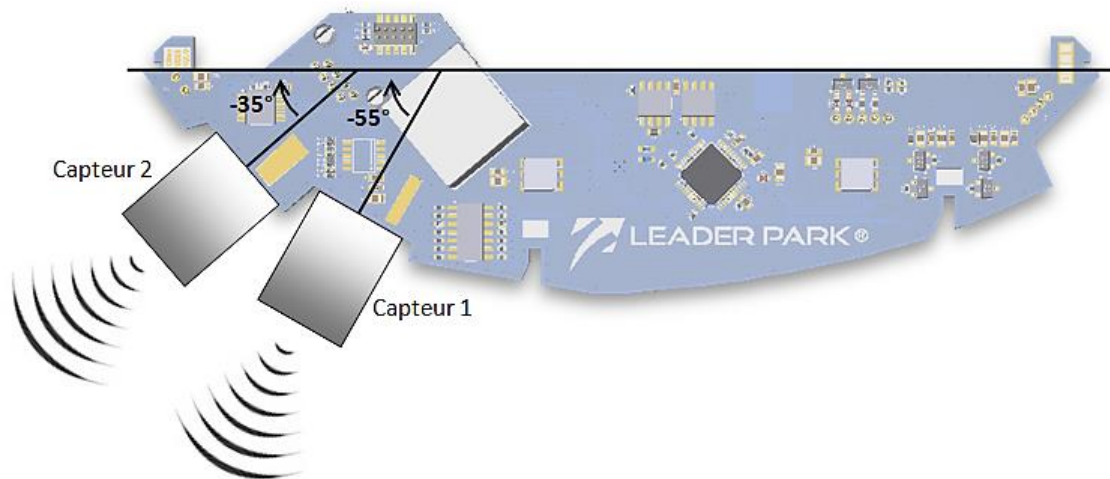


Figure 6 - Positions des capteurs en élévation

Le document technique DT2 présente les caractéristiques techniques des capteurs utilisés.

En fonction de la position des capteurs, le signal reçu sera plus ou moins atténué. L'atténuation maximale doit être de -3 dB sur au moins un des capteurs, pour que le signal soit exploitable.

Question 6

À l'aide du document technique DT2 et des résultats précédents (DR1), vérifier que pour toutes les positions possibles de montage (C1 à C8) l'atténuation en azimut ou en élévation est inférieure à -3 dB sur au moins un des deux capteurs.

La carte « capteur » est équipée d'un microcontrôleur pour gérer le traitement du signal. Ce microcontrôleur intègre une boucle à verrouillage de phase (PLL) qui permet d'obtenir une fréquence de cadencement interne supérieure à la fréquence du quartz câblé sur la carte « capteur ». Ceci permet d'améliorer les performances du logiciel embarqué.

La fréquence d'entrée de la PLL est égale à 12 MHz (FCLKIN) tandis que la fréquence de cadencement doit être portée à 48 MHz (FCLKOUT). La fréquence de l'oscillateur piloté en tension de la boucle à verrouillage de phase peut varier de 156 MHz à 320 MHz (figure 7).

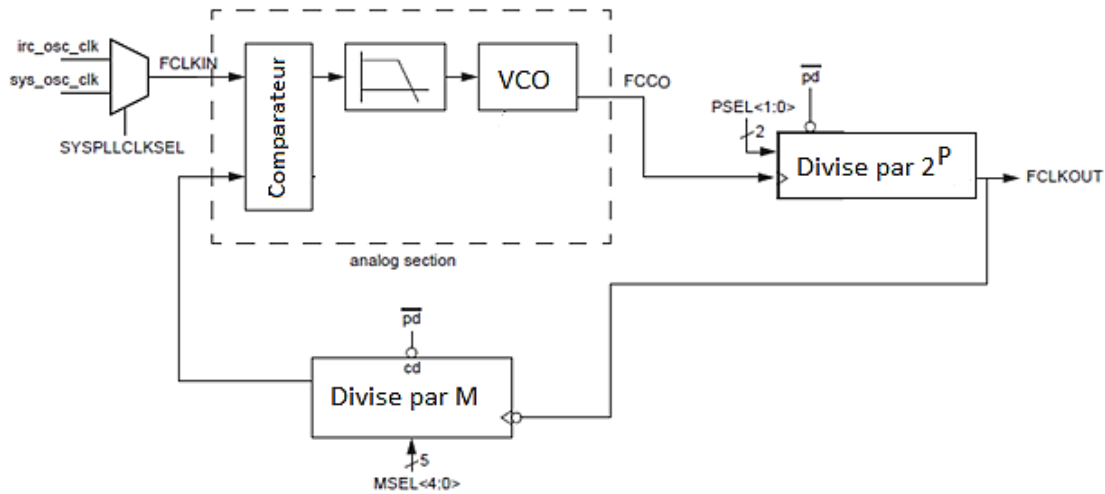


Figure 7 - Génération de l'horloge de travail

Question 7

Déterminer les valeurs de p et M , indiquées sur la figure 7, permettant le verrouillage de la PLL.

Afin de ne pas utiliser un oscillateur dédié à la génération de la fréquence de pilotage des capteurs, on utilise la fréquence interne du microcontrôleur pour générer le signal correspondant.

La sortie utilisée pour le signal de commande est `PIO1_9`. Elle est associée à la fonction alternative `CT16B1_MAT0` (compteur `CT16B1` et registre de comparaison `MAT0`). La génération du signal PWM utilise le compteur 16 bits `CT16B1` qui est incrémenté à la fréquence de l'horloge de travail (`FCLKOUT`). Ce compteur est associé aux deux registres de comparaison `TMR16B1MR0` (durée de l'état haut) et `TMR16B1MR2` (période).

Les documents techniques `DT3/1` et `DT3/2` présentent les registres du microcontrôleur utilisés pour configurer un signal PWM. Le document technique `DT5` correspond au schéma structurel partiel de la carte « capteur ».

Question 8

À l'aide des documents techniques `DT3/1`, `DT3/2` et `DT5`, compléter sur le document réponse `DR2`, la configuration des registres permettant la génération du signal carré de fréquence 40 kHz pour le pilotage des capteurs à ultrasons.

Afin d'améliorer les performances d'émission des capteurs pour satisfaire l'exigence de distance de détection maximale, le signal de pilotage des capteurs doit avoir une amplitude de tension maximale. On utilise pour cela un circuit d'interface dont les caractéristiques sont présentées dans le document technique `DT6`.

Question 9

À partir du schéma structurel (DT5) et de la documentation technique du circuit LV8548 (DT6), compléter sur le document réponse DR3, les chronogrammes des signaux de pilotage des capteurs (la chute de tension due à la résistance R_{on} des transistors du circuit LV8548 est négligeable, $V_{EE} = 12\text{ V}$).

Question 10

À partir des résultats précédents, vérifier que le capteur est correctement piloté afin de pouvoir détecter l'occupation d'une place.

La réception du signal incident est effectuée par l'un des capteurs. La faible amplitude du signal reçu impose une amplification importante ainsi qu'un filtrage analogique en sortie du capteur. Dans le cas le plus défavorable (place vide), des mesures ont montrées que le spectre en sortie du capteur a l'allure de celui présenté sur la figure 8. Le bruit est essentiellement dû au secteur (50 Hz), à l'alimentation à découpage (850 kHz) interne à la carte « capteur » et au microcontrôleur (48 MHz).

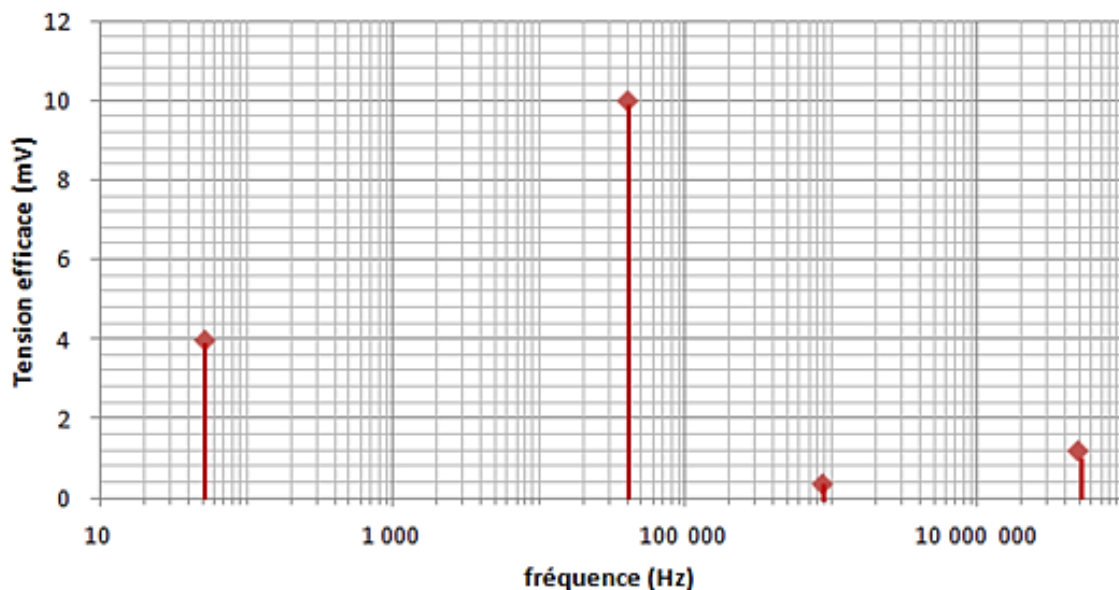


Figure 8 - Spectre du signal en sortie du capteur à ultrasons

Question 11

Calculer le rapport signal sur bruit de la tension en sortie du capteur.

Afin de retrouver l'information utile, le signal issu du capteur est amplifié et filtré. Le capteur est polarisé à l'aide d'une tension de 6V. Le signal en sortie du capteur est traité par la structure présentée figure 9.

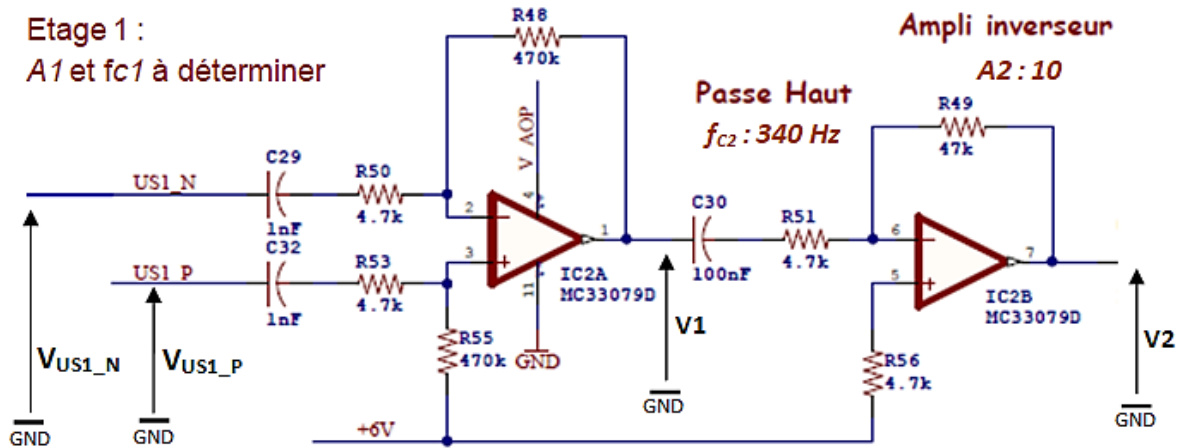


Figure 9 - Mise en forme des signaux en sortie des capteurs

Question 12

Pour l'étage 1, exprimer $V1$ en fonction de la tension différentielle en sortie du capteur ($V_{US1_P} - V_{US1_N}$). En déduire la valeur de l'amplification $A1$, la fréquence de coupure f_{C1} et le type du filtre ainsi réalisé.

Le document technique DT7 présente les caractéristiques techniques de l'amplificateur linéaire intégré utilisé.

Question 13

À l'aide du document technique DT7, déterminer pour les deux étages, les fréquences de coupure minimales dues à la limitation de la bande passante des amplificateurs opérationnels utilisés. En déduire pourquoi un seul étage, d'amplification équivalente $A1 \times A2$, ne peut être utilisé.

Compléter, sur le document réponse DR4, le diagramme de Bode de la structure complète.

Le rapport signal sur bruit en sortie de la structure (figure 9) doit être supérieur à 40 dB pour que le signal soit exploitable en entrée du microcontrôleur.

Question 14

À partir des résultats précédents, calculer les valeurs efficaces des composantes fréquentielles du signal de sortie $V2$. En déduire le rapport signal sur bruit correspondant. Conclure quant à l'utilité de la structure précédente sur l'extraction de l'information utile à partir du signal issu du capteur.

B – TRAITEMENT LOGICIEL DU SIGNAL

L'objectif de cette partie est de s'assurer que la chaîne d'acquisition matérielle et logicielle permet bien le traitement de l'information malgré les échos multiples liés à la proximité des autres capteurs.

Les capteurs situés sur les places adjacentes génèrent des signaux parasites ne devant pas être pris en compte. Le simple traitement analogique du signal reçu est insuffisant. Il faut donc effectuer un traitement numérique pour différencier l'information utile des échos indésirables.

Le signal issu de l'étage précédent est de nouveau amplifié puis écrêté. On a donc quelle que soit la distance mesurée, un signal carré de fréquence égale à 40 kHz et d'amplitude 3,3 V. Un filtre anti repliement permet de limiter le spectre aux harmoniques de rangs inférieures à 5. Ce signal est ensuite échantillonné à 240 kHz en vue de son traitement numérique.

Le diagramme de blocs internes à la figure 10 présente les différents traitements numériques effectués.

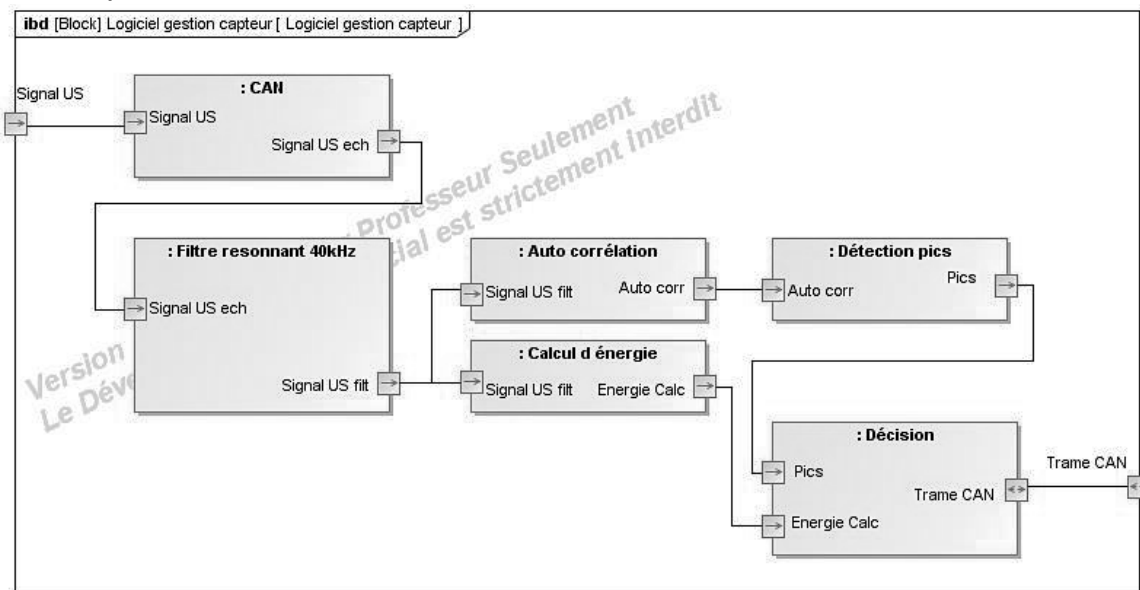


Figure 10 - Diagramme de blocs internes : traitement du signal

Remarque : dans tout ce qui suit, les valeurs hexadécimales sont notées avec le préfixe « 0x » devant le nombre correspondant.

Question 15

En considérant l'échantillonnage comme parfait (on néglige le temps de blocage devant la période d'échantillonnage), vérifier que la fréquence d'échantillonnage n'induit pas d'harmoniques indésirables dans la bande passante du signal d'entrée (0 à 40 kHz).

Le document technique DT3/3 présente les registres de configuration associés au convertisseur analogique/numérique.

Le registre de contrôle du convertisseur ADCR est initialisé avec la valeur 0x50003.

Question 16

Déterminer la durée de conversion. Vérifier que cette durée est compatible avec la fréquence d'échantillonnage choisie.

L'oscillogramme, figure 11, représente le signal analogique de détection en entrée du convertisseur analogique/numérique dans le cas le plus défavorable (place vide). On considérera que la vitesse du son dans l'air est de $340 \text{ m}\cdot\text{s}^{-1}$.

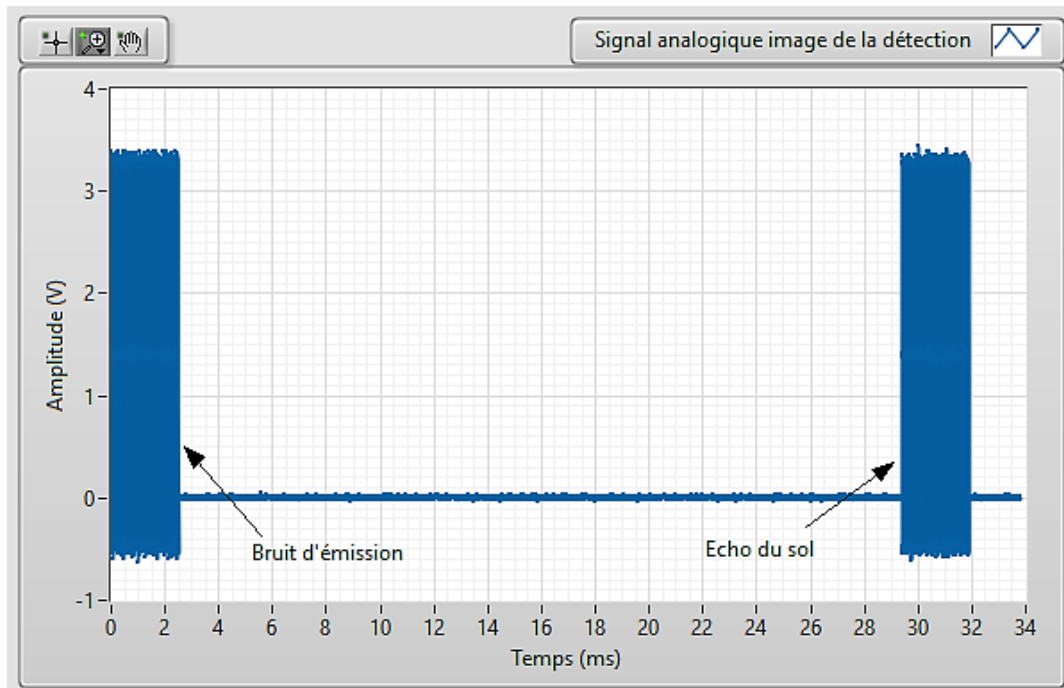


Figure 11 - Oscillogramme du signal en entrée du CAN pour une place vide

L'échantillonnage est déclenché dès le début de la stimulation du capteur. La mesure la plus longue correspond à une durée d'impulsion égale à 2,5 ms et à la distance de détection d'une place vide définie dans le diagramme des exigences (DT1).

Question 17

Calculer la taille en octet utilisée pour mémoriser les échantillons d'une mesure complète dans le cas le plus défavorable. La taille de la mémoire RAM du microcontrôleur étant de 16 kilo-octets, vérifier que cette mémorisation est toujours possible.

Afin de diminuer de nouveau le bruit résiduel sur le signal échantillonné, on applique sur le signal un filtre numérique sélectif.

Le filtre utilisé est un filtre à réponse impulsionnelle infinie (RII). On se propose de synthétiser le filtre par la conversion formelle d'un filtre analogique à l'aide

d'une transformation bilinéaire. La figure 12 rappelle des informations concernant la synthèse d'un filtre RII.

Filtre passe bas CHEBYSHEV : H(s) normalisé			
Ondulation 0,5 dB		Ondulation 1 dB	
n :	H(s)	n :	H(s)
1	$\frac{2,8628}{s + 2,8628}$	1	$\frac{1,9652}{s + 1,9652}$
2	$\frac{1,4314}{s^2 + 1,4256s + 1,5162}$	2	$\frac{0,9826}{s^2 + 1,0977s + 1,1025}$

Transformation des prototypes	
Passe bas → Passe bande $\Delta\omega$: bande passante ω_0 : fréquence centrale	$s \rightarrow \frac{1}{\Delta\omega} \cdot \left(s + \frac{\omega_0^2}{s} \right)$

Correspondance des pulsations :	Transformation bilinéaire
$\omega_a = \frac{2}{T_e} \cdot \tan\left(\frac{\omega_d \cdot T_e}{2}\right)$ <p> ω_a : pulsation du filtre analogique ω_d : pulsation du filtre numérique T_e : période d'échantillonnage </p>	$s = \frac{2}{T_e} \cdot \frac{z-1}{z+1}$

Figure 12 - Aide à la synthèse d'un filtre à RII

Les spécifications du filtre numérique sont les suivantes : un gain unitaire, une fréquence centrale de 40 kHz et une bande passante égale à 2 kHz. Pour synthétiser ce filtre, on part du filtre analogique équivalent auquel on applique une transformation bilinéaire.

Question 18

Déterminer pour le filtre analogique correspondant, la pulsation centrale ainsi que les pulsations de coupure haute et basse.

L'ajustement des fréquences permet d'obtenir la bande passante analogique équivalente $\Delta\omega = 16\,635 \text{ rad}\cdot\text{s}^{-1}$. Le filtre retenu est un filtre passe bande Chebyshev d'ordre $n=1$, dont l'ondulation dans la bande passante est égale à 0,5 dB.

Question 19

En utilisant la formule de transformation des prototypes, calculer les coefficients de la fonction de transfert du filtre passe bande analogique. Présenter le résultat sous la forme suivante :

$$H(s) = \frac{a \cdot s}{s^2 + b \cdot s + c}$$

Question 20

À l'aide de la transformation bilinéaire, montrer que le filtre numérique correspondant est de la forme ci-dessous. Déterminer les coefficients.

$$H(z) = \frac{a_0 - a_2 \cdot z^{-2}}{1 + b_1 \cdot z^{-1} + b_2 \cdot z^{-2}}$$

On se propose maintenant d'implanter le filtre précédent au sein du logiciel de traitement.

Afin de limiter le temps de calcul et l'occupation mémoire, la librairie mathématique flottante n'est pas utilisée. On déterminera donc toutes les constantes en notation à virgule fixe. Les échantillons sont contenus dans un tableau d'octets appelé « TabEch[] ». Le bit le moins significatif (Lsb) des données du tableau est égal à 2^0 . Dans ce qui suit, on prendra $a_0 = a_2 = 0,069$

Question 21

Déterminer avec une précision maximale la constante sur 8 bits en notation à virgule fixe correspondante à a_0 ou a_2 . Écrire l'algorithme permettant le calcul du numérateur pour l'échantillon d'indice i du tableau « TabEch[] ». Vérifier que le numérateur peut être codé sur 16 bits uniquement et préciser son Lsb.

L'autocorrélation permet la détection d'un signal périodique perturbé par des signaux parasites. Ce calcul permet d'identifier précisément le début des échos et de calculer la distance mesurée par le capteur.

On calcule la valeur d'autocorrélation pour une fenêtre du signal échantillonné filtré, puis on décale la fenêtre sur l'ensemble du tampon d'échantillonnage. Le calcul de cette valeur pour la fenêtre débutant à l'indice i et de taille k est donné ci-dessous.

$$A(i) = \sum_{n=i}^{i+k} (X(n) - M) \cdot (X(n - i) - M)$$

$A(i)$ est la valeur d'autocorrélation, M est la moyenne des échantillons et $X(n)$ la valeur de l'échantillon du signal à traiter.

Question 22

Compléter dans le document réponse DR5, l'algorithme permettant le calcul de la valeur d'autocorrélation pour une fenêtre donnée.

Pour permettre la discrimination des échos parasites dus aux autres capteurs situés à proximité, on calcule également l'énergie du signal. Le chronogramme figure 13 indique les traitements effectués permettant la prise de décision relative à la détection d'une place occupée.

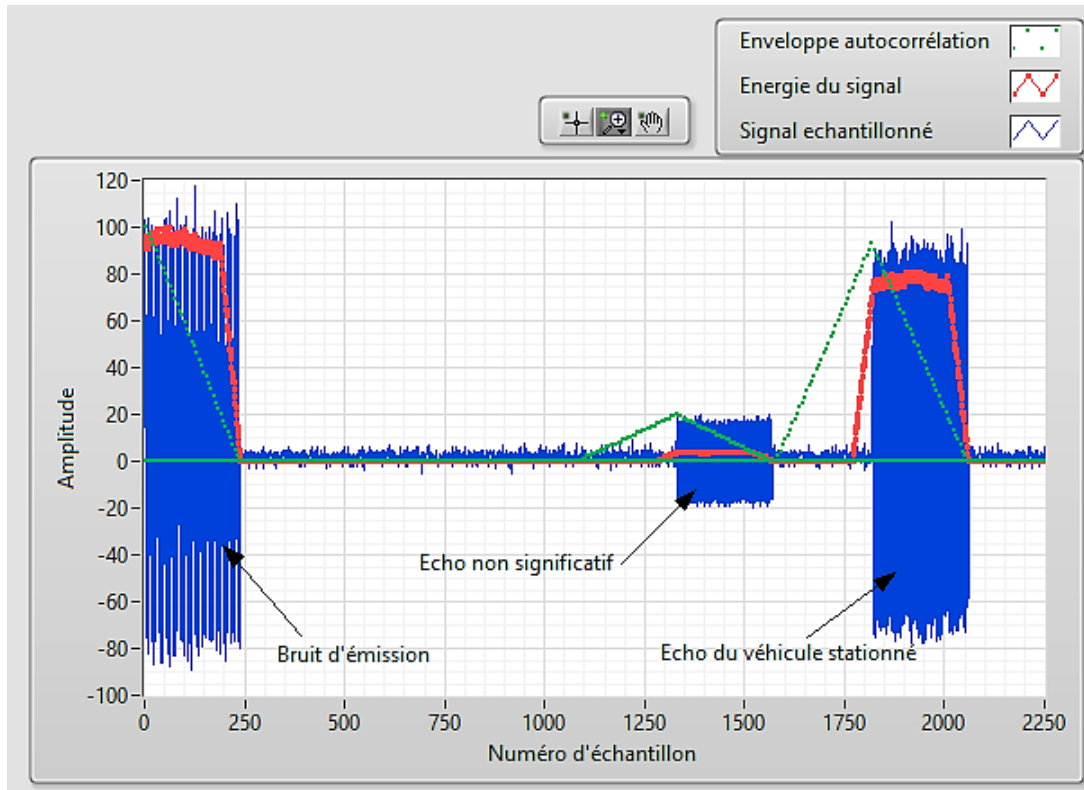


Figure 13 - Autocorrélation et énergie du signal échantillonné

Question 23

Rappeler la formule qui permet de calculer l'énergie d'un signal échantillonné. Déterminer le nombre minimal de bits du résultat du calcul sur une fenêtre de 100 échantillons. Vérifier que le résultat peut être codé sur 32 bits seulement.

Question 24

À partir des chronogrammes de la figure 13, expliquer comment les différents traitements du signal permettent la détection à coup sûr de l'occupation d'une place.

C – CONFIGURATION ET COMMUNICATION

L'objectif de cette partie est de s'assurer que le réseau choisi autorise bien la communication avec les capteurs et permet d'assurer une visualisation en temps réel de l'occupation du parking sur le superviseur.

La communication entre les capteurs et le contrôleur est assurée par un bus CAN. Le contrôleur assure la liaison avec le logiciel de supervision via une liaison Ethernet.

Les trames échangées permettent la configuration des capteurs (numéro du capteur, seuil de détection, etc.) ainsi que la transmission des informations (place libre ou occupée, durée d'occupation, état du capteur, etc.).

Les questions qui suivent permettent de configurer le bus CAN associé aux cartes « capteur » afin d'assurer la communication entre les différents nœuds et le contrôleur.

Le document technique DT3/4 présente les registres de configuration du bus CAN relatifs à la détermination de la vitesse de communication.

Question 25

La valeur du registre CANBT est égale à 0x443F, PROP_SEG est égal à 4, la fréquence de cadencement lié au périphérique CAN est de 48 MHz. À partir du document technique DT3/4, déterminer la valeur du « Time quantum », puis celle du « Nominal bit time ». En déduire la vitesse de transmission du bus.

Le diagramme d'activité figure 14 présente le séquençement de l'échange des trames CAN sur le bus entre le contrôleur et les capteurs.

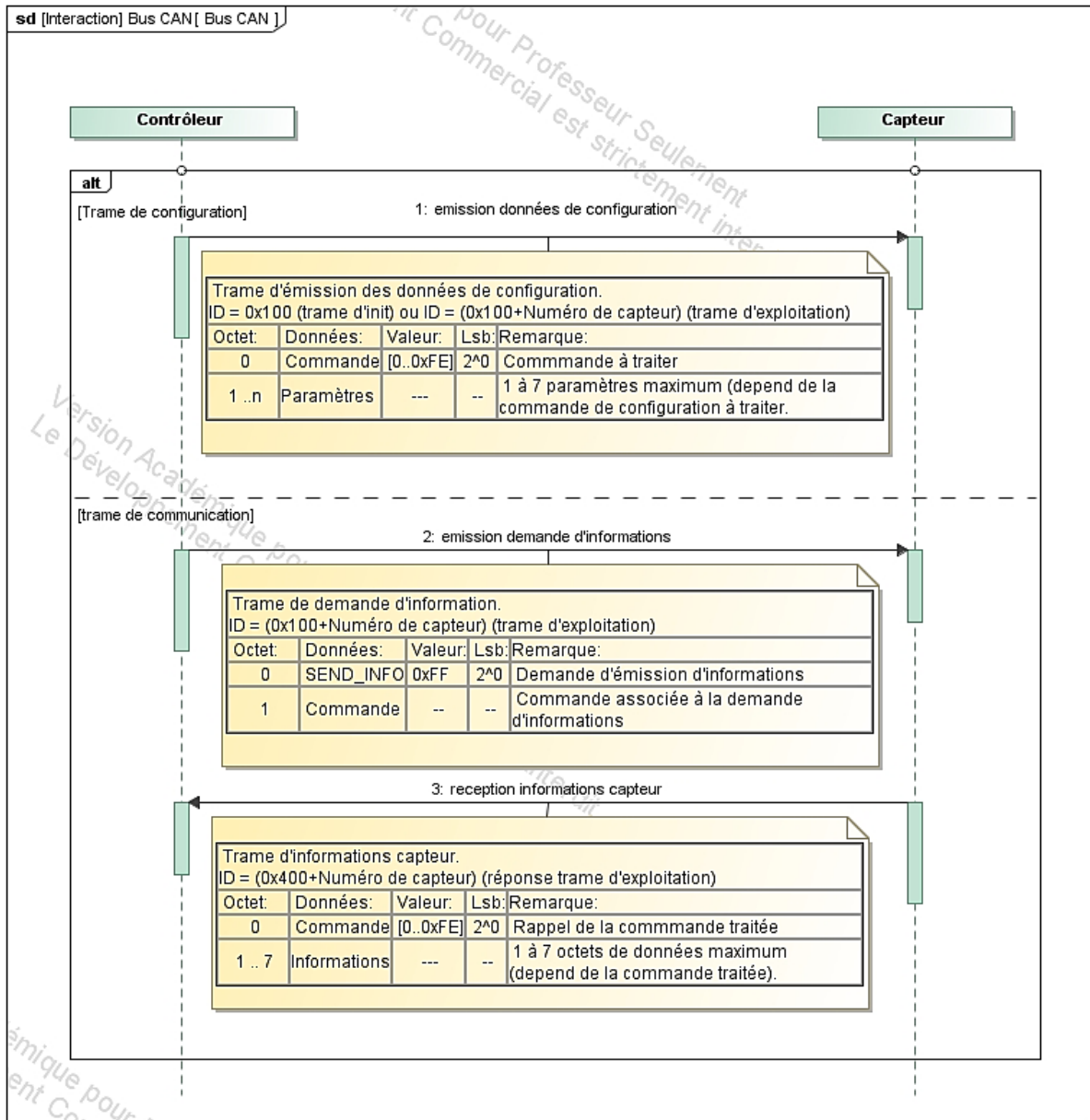


Figure 14 - Séquencement des trames CAN

Quelques exemples de commandes sont donnés ci-dessous.

- kMsg_ConfigSensor (0xC0) ; configuration du capteur (coefficients des filtres, seuil de détection, durée des salves ultrasonores ...).
- kMsg_ConfigOverstay (0xC7) ; durée maximale d'occupation d'une place.
- kMsg_State (0xD3) ; état du capteur (défaut, place libre ...).
- kMsg_ConfigIdentifier (0x80) ; initialisation de l'identificateur de trame propre au capteur.

Le document technique DT3/5 présente les registres de configuration du bus CAN permettant d'autoriser la réception des trames propres au nœud.

Question 26

À l'aide du document technique DT3/5, déterminer les valeurs des bits 0 à 12 des registres CANIF1_MSK2 (registre de masque) et CANIF1_ARB2 (registre d'arbitration) pour que le capteur N°233 accepte la trame de requête qui lui est destinée (l'identificateur CAN est standard).

On veut maintenant s'assurer que les informations utiles à la supervision sont bien transmises au superviseur afin d'assurer une gestion optimisée du parking.

Au cours de l'exploitation du parking, le contrôleur interroge cycliquement l'ensemble des capteurs pour connaître leur état. Le tableau ci-dessous présente la trame de réponse émise par le capteur interrogé.

Identificateur trame :		0x400+Numéro du capteur		
Octet :	Donnée :	Valeur	Lsb	Remarque
0	STATE	0xD3	0	Commande de retour état capteur
1	PLACE	--	--	B7 : Libre/Occupée [0,1] B6 à B0 : Type de place (*)
2	MESURE	[0 ... 255]	2,5 cm	Distance moyenne mesurée

(*) B6 à B0 = 1(en décimal) : place générique (vert) ; B6 à B0 = 2 (en décimal) : place handicapé (Bleu) ; B6 à B0 = 3 (en décimal) : place famille (Violet) ; B6 à B0 = 4 (en décimal) : place équipée recharge électrique (Orange).

Le chronogramme de la figure 15 présente l'enregistrement partiel d'une trame de réponse (le début de trame « SOF » est indiqué).

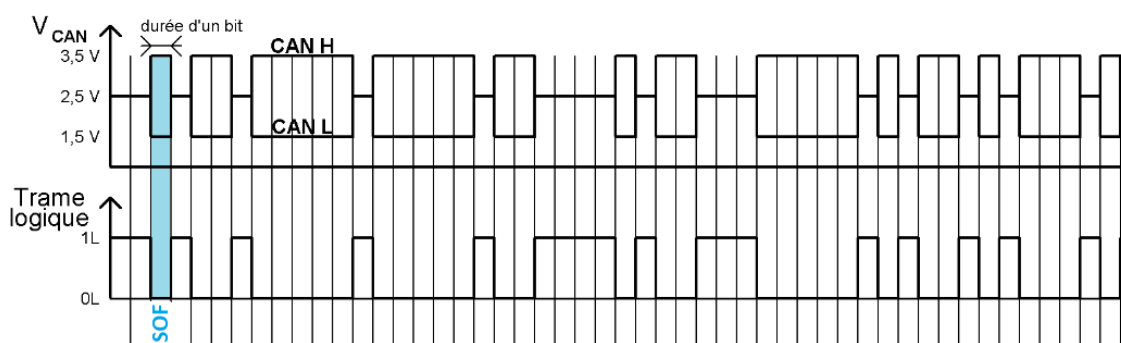


Figure 15 - Chronogramme partiel d'une trame de réponse d'état capteur

Le document technique DT4 rappelle la structure d'une trame CAN.

Question 27

À partir du chronogramme précédent et du document technique DT4, déterminer le numéro du capteur émetteur de la trame (voir l'identificateur de la trame).

La charge utile de la trame comporte les 3 octets suivants : 0xD3, 0x81, 0x28. Indiquer l'état du capteur (place libre ou occupée, type de la place) ainsi que la distance mesurée.

La figure 16 correspond à l'état d'occupation d'une partie du parking visualisé par le superviseur (la couleur rouge indique que la place est occupée, le type de la place est signifié par le code couleur défini pour la trame d'état).



Figure 16 - Supervision des places 1 à 184

Question 28

À partir de la figure précédente, indiquer les valeurs de l'identificateur et des octets de données de la trame de réponse à une requête de demande d'état pour le capteur N°48 (la distance mesurée du capteur au sol est de 4,7 m).

Question 29

En se basant sur la vitesse de transmission du bus CAN et la durée des trames, déterminer la période minimale de rafraîchissement du superviseur (durée d'interrogation de tous les capteurs). Conclure en indiquant si cette durée est compatible avec une visualisation en temps réel de l'état du parking.

D – ALIMENTATION DES ÉQUIPEMENTS

L'objectif de cette partie est de valider le choix de l'alimentation en fonction des équipements à alimenter et du contexte.

Le système de guidage et de comptage dynamique comporte 300 capteurs et 6 afficheurs.

Les capteurs sont installés sur chaque place de parking et les afficheurs placés en divers endroits. Ils sont alimentés sous tension continue par le câble qui porte également le réseau CAN. Ceci simplifie l'installation. L'alimentation en tension continue des systèmes de détection permet de ne pas avoir de signaux alternatifs 50 Hz sur les cartes électroniques des capteurs afin d'éviter toute perturbation de la détection.

La consommation et les conditions d'alimentation des capteurs et afficheurs sont précisées dans le document technique DT1.

Question 30

Calculer les courants moyen (I_{moy}) et maximal (I_{max}) absorbés par un capteur et ceux absorbés par un afficheur sous 70 V.

La gestion des bus CAN est assurée par deux contrôleurs possédant chacun trois lignes de bus. Les capteurs sont équitablement répartis sur deux lignes de chaque contrôleur comme indiqué sur la figure 17 (câblage en chaîne). Les afficheurs sont aussi équitablement répartis sur la ligne restante de chaque contrôleur. Pour chaque bus, le câble revient sur le contrôleur et l'alimentation est branchée des deux côtés du câble.

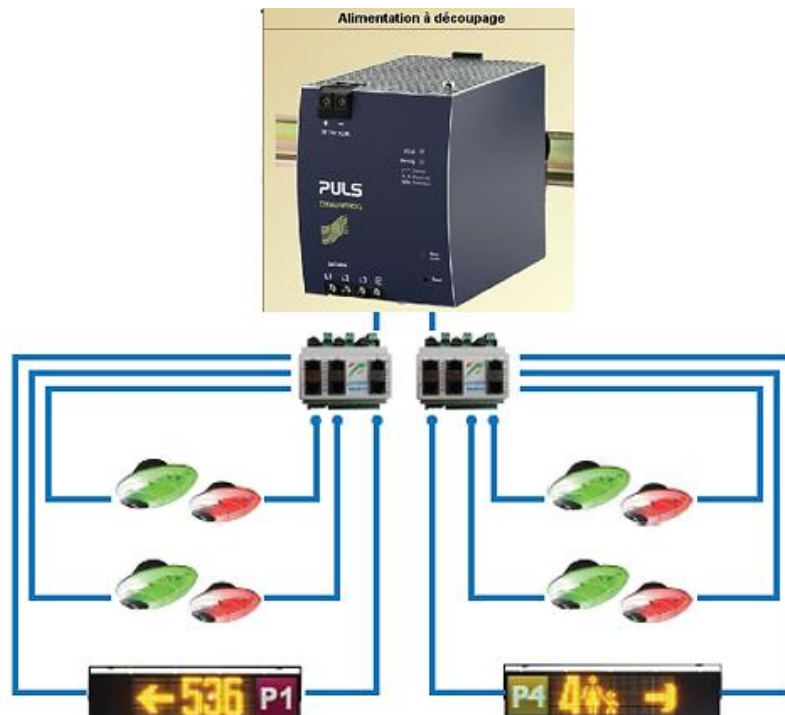


Figure 17 - Alimentation des capteurs et afficheurs

Le câble utilisé pour le bus comporte 3 paires torsadées. Deux sont utilisées pour l'alimentation et la troisième pour le bus CAN. Les caractéristiques de celui-ci sont données sur le document technique DT8.

La longueur totale du câble d'une ligne de capteur ou d'afficheur est de 300 m. Les équipements sont répartis équitablement tout au long de la ligne de bus. Les questions qui suivent permettent d'estimer la puissance à installer et de vérifier l'alimentation correcte des capteurs et afficheurs.

La résistance d'un fil du câble pour une ligne complète est notée R_c .
Le courant consommé par un capteur ou un afficheur est constant quelle que soit la tension, dans la plage de fonctionnement prévue.

Question 31

En ne prenant en compte que la résistance des câbles, donner le schéma électrique équivalent à une ligne de capteur du point de vue de l'alimentation.

Pour faciliter les calculs, on considère que tous les capteurs ou les afficheurs sont reliés au milieu de la ligne, au plus loin de l'alimentation.

Question 32

Donner alors le schéma simplifié permettant de calculer la tension en milieu de ligne. La (ou les) résistance(s) seront exprimée(s) en fonction de R_c . Montrer que l'approximation faite sur l'emplacement des capteurs, maximise la chute de tension.

La tension en sortie de l'alimentation, V_{s0} , est de 72 V.

La température peut atteindre 40 °C.

On considèrera le courant consommé par les capteurs et les afficheurs indépendant de la tension d'alimentation et égal à celui de la question 30.

Le coefficient de température du cuivre est de $3,93 \cdot 10^{-3} \Omega^\circ\text{C}^{-1}$.

1000 ft = 304,8 m.

Question 33

En utilisant la documentation technique du câble (DT8), calculer la tension en milieu de ligne (V_s), pour une ligne de capteur et une ligne d'afficheur dans le cas de la consommation moyenne et pour la température ambiante maximale. Vérifier que les équipements sont correctement alimentés.

Question 34

Pour la consommation moyenne, calculer les pertes joules totales de l'ensemble des lignes et la puissance nécessaire de l'alimentation. Conclure sur le rendement du système d'alimentation.

Le système de détection est sensible aux perturbations rayonnées et conduites. Il est important de repérer les perturbations pouvant être émises par l'alimentation à découpage. La structure de celle-ci est donnée figure 18.

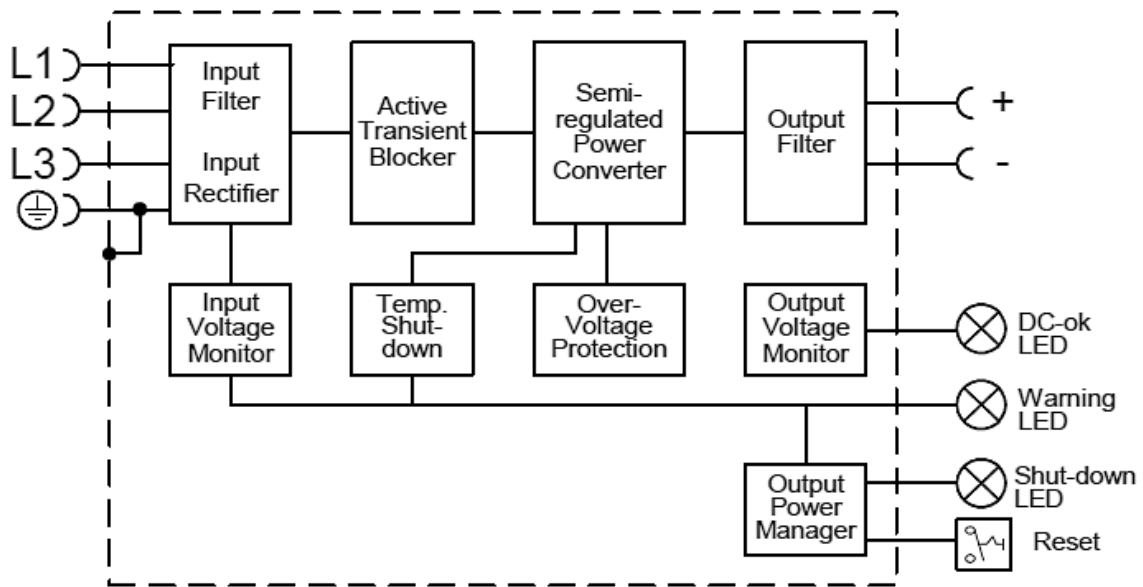


Figure 18 – Structure de l'alimentation à découpage

Les documents techniques DT9/1 et DT9/2 présentent l'alimentation choisie. Son schéma de principe est donné figure 19.

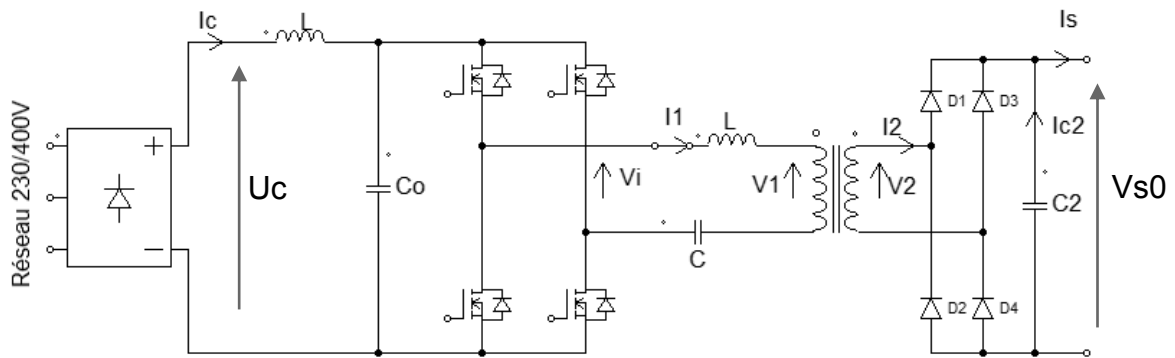


Figure 19 – Schéma de principe de l'alimentation

Le pont à transistors est un onduleur monophasé commandé en onde pleine. Les interrupteurs de chaque bras sont commandés de façon complémentaire avec un rapport cyclique de 0,5. Le second bras est déphasé d'une demi-période par rapport au premier. La fréquence de découpage étant proche de la fréquence de résonance du circuit LC, le courant dans le transformateur est supposé sinusoïdal et le transformateur est supposé parfait. L'étage de sortie est un redresseur de courant. On néglige la tension de seuil des diodes D1 à D4. On appelle $I_1(t)$ le courant au primaire du transformateur et $I_2(t)$ le courant au secondaire. On s'intéresse à l'ondulation du signal de sortie.

Question 35

Le courant de sortie est continu et égal au courant nominal de l'alimentation (13,3 A). La valeur moyenne de la tension de sortie (V_{s0}) est égale à 72 V.

L'allure du courant $I_2(t)$ est donnée sur le document réponse DR6. Calculer la valeur efficace de ce courant. Sur ce même document réponse, tracer l'allure de la tension $V_2(t)$ au secondaire du transformateur et celle du courant dans le condensateur C_2 ($I_{C_2}(t)$).

On rappelle que la décomposition en série de Fourier d'un signal redressé bi-alternance est donné par la relation :

$$i(t) = 2 * \frac{I_{max}}{\pi} + \sum_{n=1}^{\infty} \frac{-4 * I_{max} * (-1)^n}{(4 * n^2 - 1) * \pi} * \cos(2 * n * \omega * t)$$

ω : pulsation du signal non redressé

Question 36

Donner l'expression du premier harmonique de la décomposition en série de Fourier du courant $I_{C_2}(t)$. En utilisant l'approximation du premier harmonique, donner l'expression de l'impédance du condensateur Z_{C_2} qui permet de limiter l'amplitude crête à crête de l'ondulation de V_{s0} à 5% de 72 V. En déduire la valeur du condensateur C_2 .

Le rapport de transformation du transformateur est défini comme étant $m=V_2/V_1$. La tension en sortie du pont redresseur triphasé, notée U_c , est considérée comme constante est égale à 300 V

Question 37

Tracer sur le document réponse DR6 l'allure de $V_1(t)$. En utilisant l'approximation du premier harmonique, donner l'expression de la valeur efficace du fondamental de $V_1(t)$ (noté V_{1f}) en fonction de V_s et m . $V_1(t)$ et $I_1(t)$ étant en phase, l'ensemble transformateur, redresseur et charge peut être modélisé par une résistance (R) vis-à-vis du fondamental. Exprimer cette résistance en fonction de V_s , I_s et m .

Le rapport de transformation du transformateur est calculé de manière à ce que V_s soit égale à $1,2 \times 72$ V, lorsque la fréquence de commutation de l'onduleur est égale à la fréquence de résonance du circuit L, C. Celui-ci est fixé à 0,288 ce qui donne $V_{1f} = 225$ V

Le schéma équivalent de la charge de l'onduleur est donné figure 20. La fréquence de résonance du circuit LC est 100 kHz ($C = 60$ nF et $L = 42$ μ H).

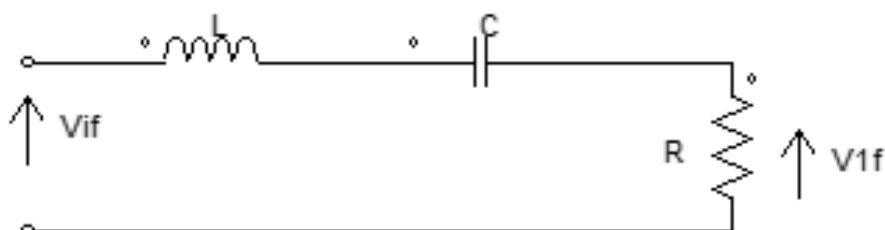


Figure 20 – Schéma équivalent de la charge de l'onduleur

Question 38

$V_i(t)$ étant un signal carré d'amplitude U_c , donner la valeur efficace de son fondamental (V_{1f}). Toujours dans l'approximation du premier harmonique, tracer le diagramme de Fresnel des tensions V_{1f} et V_{1f} correspondant au point nominal, sachant que la fréquence est inférieure à la fréquence de résonance. En déduire le déphasage entre $I_1(t)$ et $V_{1f}(t)$. Tracer $V_i(t)$ sur le document réponse DR7. En déduire la fréquence de découpage (F_d) de l'onduleur pour le fonctionnement nominal.

On s'intéresse maintenant aux perturbations que peuvent entraîner les commutations des semi-conducteurs

Question 39

L'onduleur fonctionne en onde pleine. À partir de l'allure de $I_1(t)$ et $V_i(t)$ analyser les commutations des semi-conducteurs de l'onduleur du point de vue :

- des pertes qu'elles engendrent ;
- des perturbations rayonnées liées à des $di(t)/dt$ importants.

Les variations de courant peuvent entraîner des perturbations. Dans la suite, on cherche à savoir jusqu'à quelles fréquences peuvent se retrouver ces perturbations.

Question 40

Dans le cas le plus défavorable les transistors commutent le courant I_{1max} ($I_{1max} = 6 A$). Le temps de montée (10% - 90%) du courant est égal à 20 ns. On considère la montée du courant linéaire. Indiquer la boucle concernée par ce $di(t)/dt$. Pour estimer à quelle fréquence correspond cette perturbation, calculer la fréquence du signal sinusoïdal ayant la même pente à l'origine et la même amplitude.

On observe maintenant le courant absorbé au réseau.

L'étage d'entrée de l'alimentation est un redresseur triphasé en pont. Le schéma de principe est donné figure 21. Un filtre, dimensionné pour le courant haute fréquence de l'onduleur, permet de considérer I_c constant et égal à 3,2 A. Il n'y a pas de condensateur électrochimique de forte valeur sur l'étage d'entrée de cette alimentation.

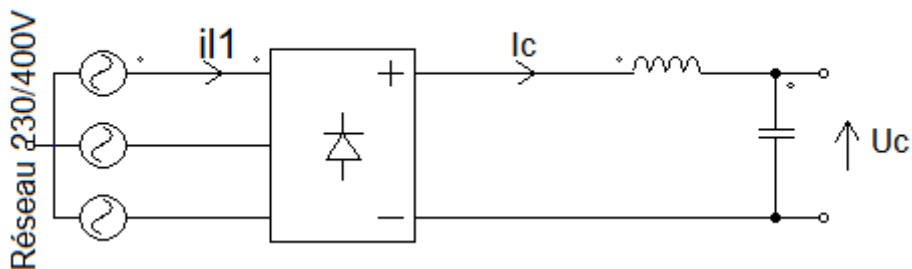


Figure 21 – Schéma de l'étage d'entrée

Question 41.

Tracer sur le document réponse DR8 l'allure du courant dans la phase 1 du réseau ($i_1(t)$) et calculer le taux de distorsion harmonique de ce courant. Donner les fréquences des quatre premiers harmoniques de courant existants.

Question 42

Montrer que le facteur de puissance est conforme à ce qu'annonce le constructeur dans les documents techniques DT9/1 et DT9/2. Expliquer l'évolution de ce facteur lorsque le courant de sortie diminue.

Le schéma synoptique des alimentations de puissance supérieure est présenté figure 22.

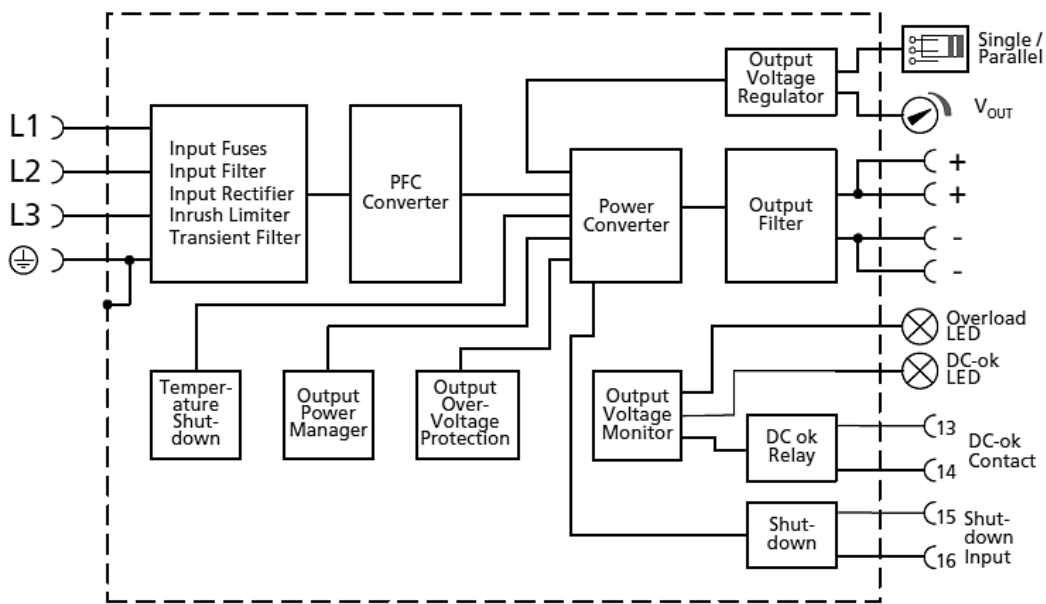


Figure 22 – Synoptique alimentation à découpage.

Question 43

Préciser la fonction du bloc PFC converter. Proposer une structure permettant de réaliser cette fonction.

E – SYNTHÈSE

L'objectif de cette partie est de vérifier que l'ensemble des traitements et des choix technologiques permet bien la gestion du parking.

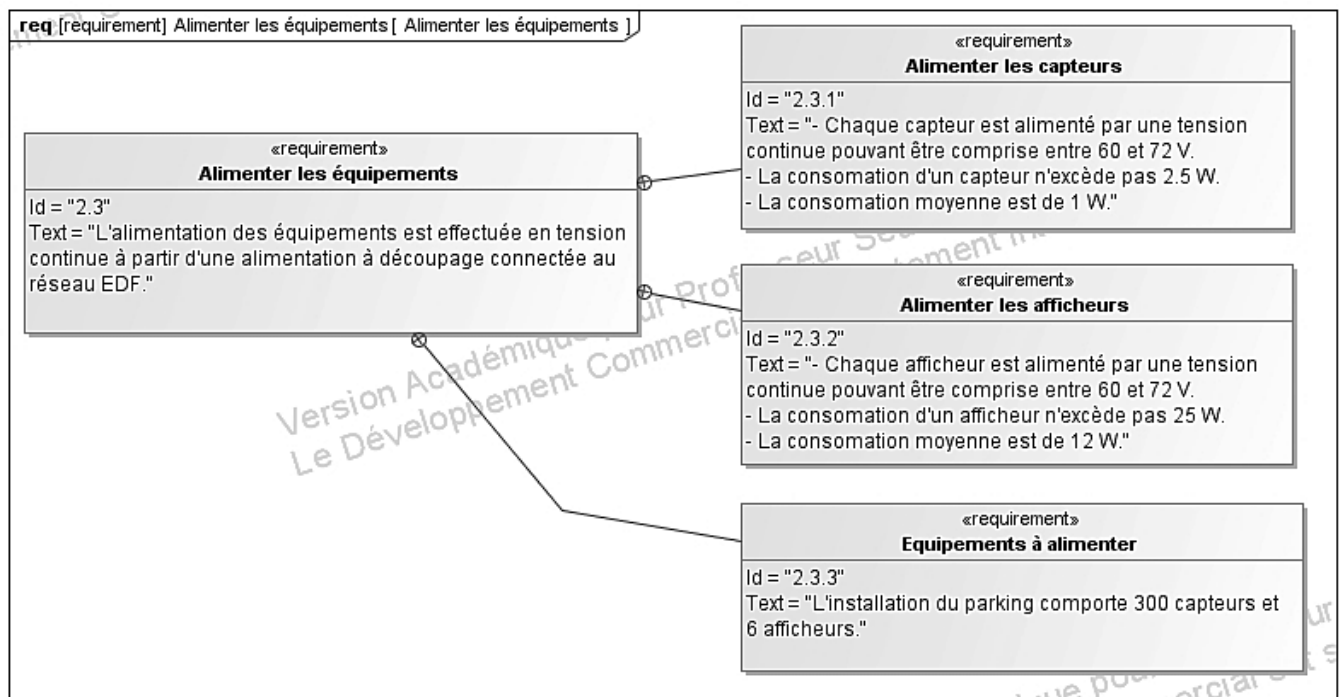
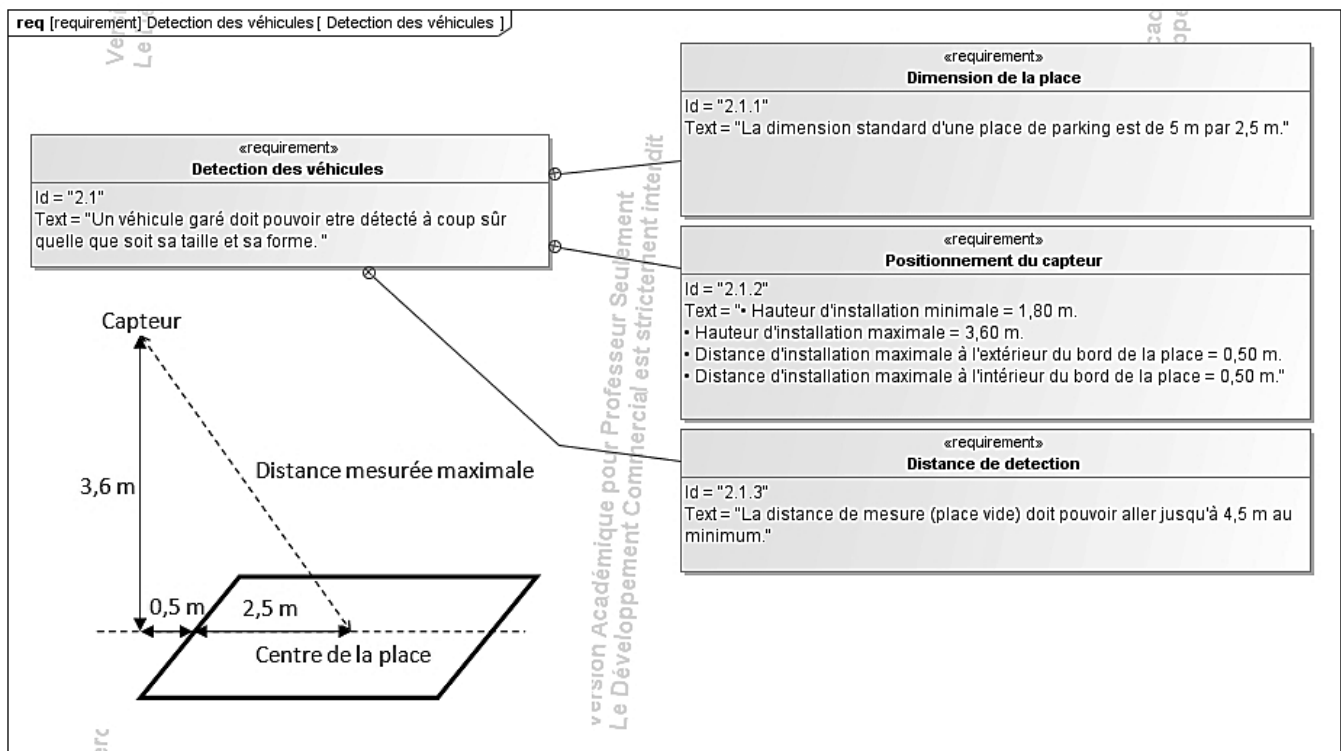
Question 44

À partir du diagramme des exigences (figure 2 et document technique DT1) et en s'appuyant sur les résultats des parties précédentes, vérifier que les exigences ID2.1, ID2.2 et ID2.3 sont correctement réalisées.

DOCUMENTS TECHNIQUES

DT1	Diagramme des exigences (partiel)
DT2	Capteur à ultrasons 400PT160
DT3/1	Microcontrôleur LPC11C14 – Configuration PWM
DT3/2	Microcontrôleur LPC11C14 – Configuration IOPWM
DT3/3	Microcontrôleur LPC11C14 – Configuration ADC
DT3/4	Microcontrôleur LPC11C14 – Horloge bus CAN
DT3/5	Microcontrôleur LPC11C14 – Masque et arbitration bus CAN
DT4	Rappel de la structure d'une trame CAN
DT5	Schéma structurel partiel de la carte « capteur » : détection place
DT6	Documentation technique LV8548
DT7	Documentation technique MC33079D
DT8	Câble RS485
DT9/1	Alimentation
DT9/2	Alimentation

DT1 – Diagramme des exigences (partiel)



Specification

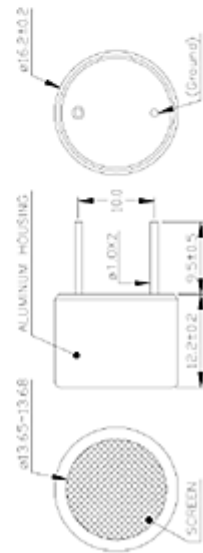
400PT160	Transceiver
Center Frequency	40.0±1.0KHz
Bandwidth (-6dB)	2.0KHz
Transmitting Sound Pressure Level at resonant frequency, 0dB re 0.0002µbar per 10Vrms at 30cm	117dB min.
Receiving Sensitivity at resonant frequency 0dB = 1 volt/µbar	-65dB min.
Nominal Impedance (Ohm)	1000
Ringing (ms) max.	1.2 – PT160 1.5 – PT16P
Capacitance at 1KHz ±20%	2400 pF
Max. Driving Voltage (cont.)	20Vrms
Total Beam Angle	40° typical
Operation Temperature	-30 to 70°C
Storage Temperature	-40 to 80°C

All specification taken typical at 25°C
Closer frequency tolerance, shorter ringing and wider bandwidth models can be supplied upon request.

Model available:

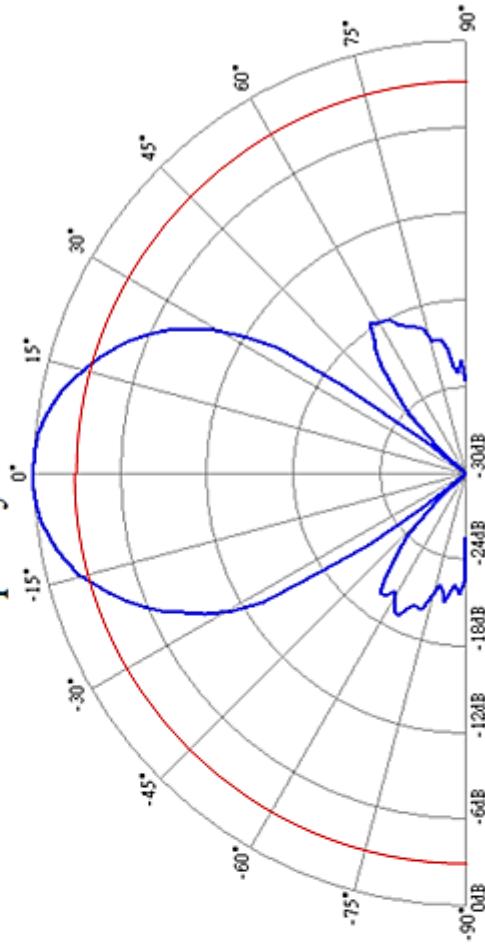
1	400PT160	Aluminum Housing
2	400PT16P	Plastic Housing

Dimensions: dimensions are in mm



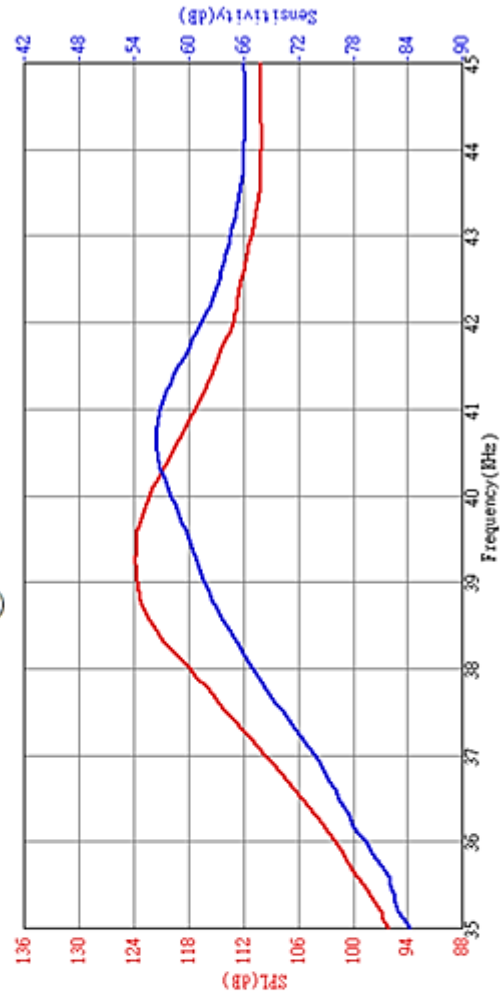
Beam Angle

Tested at 40.0Khz frequency



Sensitivity/Sound Pressure Level

Tested under 10Vrms @30cm



19.7.6 Match Control Register (TMR16B0MCR and TMR16B1MCR)

The Match Control Register is used to control what operations are performed when one of the Match Registers matches the Timer Counter. The function of each of the bits is shown in Table 303.

Table 303. Match Control Register (TMR16B0MCR - address 0x4000 C014 and TMR16B1MCR - address 0x4001 0014) bit description

Bit	Symbol	Value	Description	Reset value
6	MR2I		Interrupt on MR2: an interrupt is generated when MR2 matches the value in the TC.	0
		1	Enabled	
		0	Disabled	
7	MR2R		Reset on MR2: the TC will be reset if MR2 matches it.	0
		1	Enabled	
		0	Disabled	
8	MR2S		Stop on MR2: the TC and PC will be stopped and TCR[0] will be set to 0 if MR2 matches the TC.	0
		1	Enabled	
		0	Disabled	

19.7.7 Match Registers (TMR16B0MR0/1/2/3 - addresses 0x4000 C018/1C/20/24 and TMR16B1MR0/1/2/3 - addresses 0x4001 0018/1C/20/24)

The Match register values are continuously compared to the Timer Counter value. When the two values are equal, actions can be triggered automatically. The action possibilities are to generate an interrupt, reset the Timer Counter, or stop the timer. Actions are controlled by the settings in the MCR register.

Table 304: Match registers (TMR16B0MR0 to 3, addresses 0x4000 C018 to 24 and TMR16B1MR0 to 3, addresses 0x4001 0018 to 24) bit description

Bit	Symbol	Description	Reset value
15:0	MATCH	Timer counter match value.	0
31:16	-	Reserved.	-

18.7.12 PWM Control register (TMR16B0PWMC and TMR16B1PWMC)

The PWM Control Register is used to configure the match outputs as PWM outputs. Each match output can be independently set to perform either as PWM output or as match output whose function is controlled by the External Match Register (EMR).

For timer 0, three single-edge controlled PWM outputs can be selected on the CT16B0_MAT[2:0] outputs. For timer 1, two single-edged PWM outputs can be selected on the CT16B1_Mat[1:0] outputs. One additional match register determines the PWM cycle length. When a match occurs in any of the other match registers, the PWM output is set to HIGH. The timer is reset by the match register that is configured to set the PWM cycle length. When the timer is reset to zero, all currently HIGH match outputs configured as PWM outputs are cleared.

Table 294. PWM Control Register (TMR16B0PWMC - address 0x4000 C074 and TMR16B1PWMC- address 0x4001 0074) bit description

Bit	Symbol	Value	Description	Reset value
0	PWMEN0		PWM channel0 enable	0
		0	CT16Bn_MAT0 is controlled by EM0.	
		1	PWM mode is enabled for CT16Bn_MAT0.	

7.4.13 IOCON_PIO1_9

Remark: See [Section 7.1](#) for part specific details.

Table 70. IOCON_PIO1_9 register (IOCON_PIO1_9, address 0x4004 4038) bit description

Bit	Symbol	Value	Description	Reset value
2:0	FUNC		Selects pin function. All other values are reserved.	000
		0x0	Selects function PIO1_9.	
		0x1	Selects function CT16B1_MAT0.	
4:3	MODE		Selects function mode (on-chip pull-up/pull-down resistor control).	10
		0x0	Inactive (no pull-down/pull-up resistor enabled).	
		0x1	Pull-down resistor enabled.	
		0x2	Pull-up resistor enabled.	
		0x3	Repeater mode.	
5	HYS		Hysteresis.	0
		0	Disable.	
		1	Enable.	
9:6	-	-	Reserved	0011
10	OD		Selects pseudo open-drain mode. See Section 7.1 for part specific details.	0
		0	Standard GPIO output	
		1	Open-drain output	
31:11	-	-	Reserved	-

25.5.1 A/D Control Register (AD0CR - 0x4001 C000)

The A/D Control Register provides bits to select A/D channels to be converted, A/D timing, A/D modes, and the A/D start trigger.

Table 364. A/D Control Register (AD0CR - address 0x4001 C000) bit description

Bit	Symbol	Value	Description	Reset Value
7:0	SEL		<p>Selects which of the AD7:0 pins is (are) to be sampled and converted. Bit 0 selects Pin AD0, bit 1 selects pin AD1, ..., and bit 7 selects pin AD7.</p> <p>In software-controlled mode (BURST = 0), only one channel can be selected, i.e. only one of these bits should be 1.</p> <p>In hardware scan mode (BURST = 1), any numbers of channels can be selected, i.e any or all bits can be set to 1. If all bits are set to 0, channel 0 is selected automatically (SEL = 0x01).</p>	0x00
15:8	CLKDIV		<p>The APB clock (PCLK) is divided by CLKDIV + 1 to produce the clock for the ADC, which should be less than or equal to 4.5 MHz. Typically, software should program the smallest value in this field that yields a clock of 4.5 MHz or slightly less, but in certain cases (such as a high-impedance analog source) a slower clock may be desirable.</p>	0
16	BURST		<p>Burst mode</p> <p>Remark: If BURST is set to 1, the ADGINTEN bit in the AD0INTEN register (Table 366) must be set to 0.</p>	0
		0	Software-controlled mode: Conversions are software-controlled and require 11 clocks.	
		1	<p>Hardware scan mode: The AD converter does repeated conversions at the rate selected by the CLKS field, scanning (if necessary) through the pins selected by 1s in the SEL field. The first conversion after the start corresponds to the least-significant bit set to 1 in the SEL field, then the next higher bits (pins) set to 1 are scanned if applicable. Repeated conversions can be terminated by clearing this bit, but the conversion in progress when this bit is cleared will be completed.</p> <p>Important: START bits must be 000 when BURST = 1 or conversions will not start.</p>	
19:17	CLKS		<p>This field selects the number of clocks used for each conversion in Burst mode, and the number of bits of accuracy of the result in the LS bits of ADDR, between 11 clocks (10 bits) and 4 clocks (3 bits).</p>	000
		0x0	11 clocks / 10 bits	
		0x1	10 clocks / 9 bits	
		0x2	9 clocks / 8 bits	
		0x3	8 clocks / 7 bits	
		0x4	7 clocks / 6 bits	
		0x5	6 clocks / 5 bits	
		0x6	5 clocks / 4 bits	
		0x7	4 clocks / 3 bits	
23:20	-		Reserved, user software should not write ones to reserved bits. The value read from a reserved bit is not defined.	NA

CAN supports bit rates in the range of lower than 1 kBit/s up to 1000 kBit/s. Each member of the CAN network has its own clock generator, usually a quartz oscillator. The timing parameter of the bit time (i.e. the reciprocal of the bit rate) can be configured individually for each CAN node, creating a common bit rate even though the CAN nodes' oscillator periods (f_{OSC}) may be different.

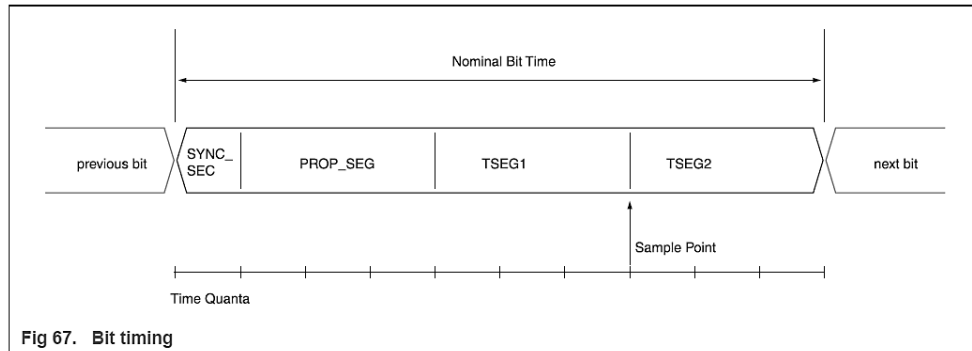


Fig 67. Bit timing

Table 278. Parameters of the C_CAN bit time

Parameter	Range	Function
BRP	(1...32)	Defines the length of the time quantum t_q .
SYNC_SEG	$1t_q$	Synchronization segment. Fixed length. Synchronization of bus input to system clock.
PROP_SEG	$(1...8) \times t_q$	Propagation time segment. Compensates for physical delay times. This parameter is determined by the system delay times in the C_CAN network.
TSEG1	$(1...8) \times t_q$	Phase buffer segment 1. May be lengthened temporarily by synchronization.
TSEG2	$(1...8) \times t_q$	Phase buffer segment 2. May be shortened temporarily by synchronization.
SJW	$(1...4) \times t_q$	(Re-)synchronization jump width. May not be longer than either phase buffer segment.

16.6.1.4 CAN bit timing register

Table 249. CAN bit timing register (CANBT, address 0x4005 000C) bit description

Bit	Symbol	Description	Reset value	Access
5:0	BRP	Baud rate prescaler The value by which the oscillator frequency is divided for generating the bit time quanta. The bit time is built up from a multiple of this quanta. Valid values for the Baud Rate Prescaler are 0 to 63. ^[1]	000001	R/W
7:6	SJW	(Re)synchronization jump width Valid programmed values are 0 to 3. ^[1]	00	R/W
11:8	TSEG1	Time segment before the sample point Valid values are 1 to 15. ^[1]	0011	R/W
14:12	TSEG2	Time segment after the sample point Valid values are 0 to 7. ^[1]	010	R/W
31:15	-	Reserved	-	-

[1] Hardware interprets the value programmed into these bits as the bit value + 1.

16.6.2.4.2 CAN message interface command mask 2 registers

Table 259. CAN message interface command mask 2 registers (CANIF1_MSK2, address 0x4005 002C and CANIF2_MASK2, address 0x4005 008C) bit description

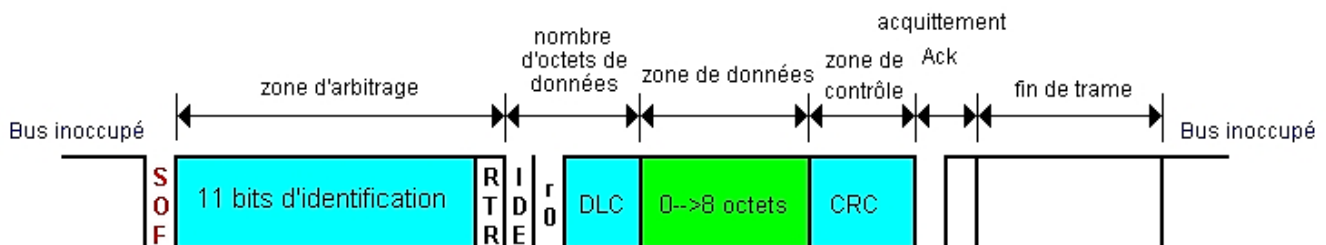
Bit	Symbol	Value	Description	Reset value	Access
12:0	MSK28_16		Identifier mask [28:16]	0xFFFF	R/W
		0	Match. The corresponding bit in the identifier of the message cannot inhibit the match in the acceptance filtering.		
		1	Mask. The corresponding identifier bit is used for acceptance filtering.		

16.6.2.4.4 CAN message interface command arbitration 2 registers

Table 261. CAN message interface command arbitration 2 registers (CANIF1_ARB2, address 0x4005 0034 and CANIF2_ARB2, address 0x4005 0094) bit description

Bit	Symbol	Value	Description	Reset value	Access
12:0	ID[28:16] ID[28:18]		Message identifier 29-bit identifier (extended frame) 11-bit identifier (standard frame). ID[17:16] are not used for 11-bit identifiers.	0x00	R/W
13	DIR		Message direction	0x00	R/W
		0	Receive. On TXRQST, a Remote Frame with the identifier of this Message Object is transmitted. On reception of a Data Frame with matching identifier, that message is stored in this Message Object.		
		1	Transmit. On TXRQST, the respective Message Object is transmitted as a Data Frame. On reception of a Remote Frame with matching identifier, the TXRQST bit of this Message Object is set (if RMTEN = one).		

DT4 – Rappel de la structure d'une trame CAN



RTR : 1 bit ; 0 trame de donnée, 1 trame de requête.

DLC : 4 bits codant le nombre d'octet de donnée de la trame (0 à 8).

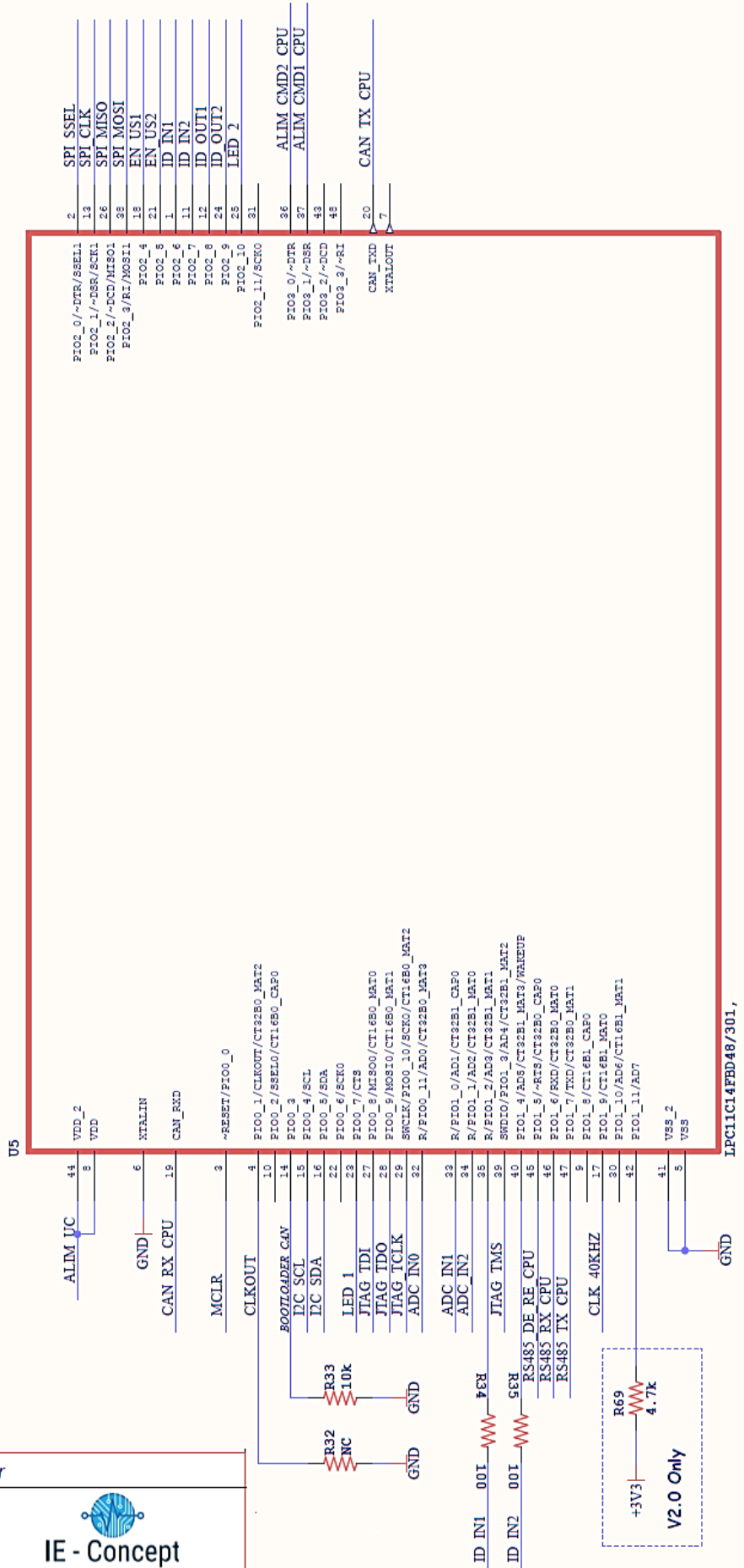
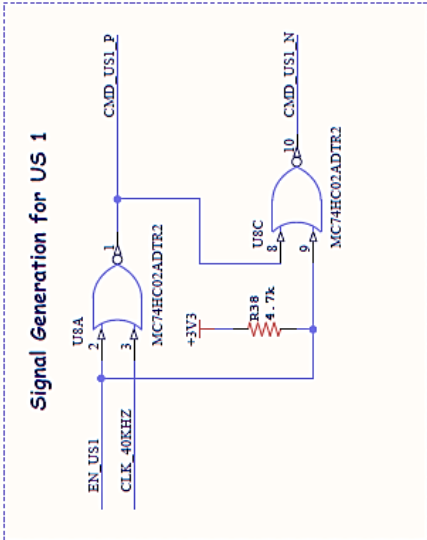
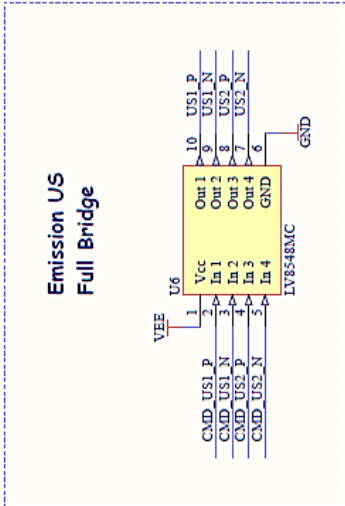
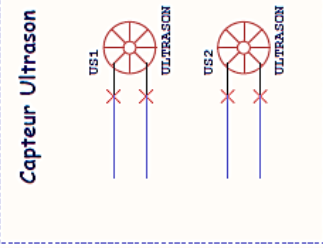
CRC : 16 bits permettant la vérification de la transmission.

Fin de trame : 7 bits à l'état haut.

Attention : si un bit reste au même état pendant 5 cycles consécutifs, on insère dans la trame un bit d'état logique inverse (« bitstuffing »).

DT5 – Schéma structurel partiel de la carte « capteur » : détection place

UltraSound-Sensor		LED power controller
Name: Carte_Complete_4.SchDoc		
Size: A4	Revision: 3.1	Engineer: VINET Jérémy
Sheet: 5 / 5	Date: 22/07/2019	Time: 15:38:48



LV8548MC — Bi-CMOS integrated circuit 12V Low Saturation Voltage Drive Forward/Reverse Motor Driver

Overview

The LV8548MC is a 2-channel low saturation voltage forward/reverse motor driver IC. It is optimal for motor drive in 12V system products and can drive either two DC motors, one DC motor using parallel connection, or it can drive a stepping motor in Full-step and Half-step.

Functions

- DMOS output transistor adoption (Upper and lower total RON=1Ω typ)
- For one power supply (The control system power supply is unnecessary.)
- Our motor driver IC, LB1948MC, and compatible pin
- It is possible to connect it in parallel (parallel, connected operation of drive ch).
- The compact package (SOIC10) is adopted.
- $V_{CC\ max}=20v$, $I_{O\ max}=1A$
- Current consumption 0 when standing by
- Built-in brake function

Specifications

Absolute Maximum Ratings at $T_a = 25^\circ C$

Parameter	Symbol	Conditions	Ratings	Unit
Maximum power supply voltage	$V_{CC\ max}$		-0.3 to +20	V
Output impression voltage	VOUT		-0.3 to +20	V
Input impression voltage	V_{IN}		-0.3 to +6	V
GND pin outflow current	IGND	For ch	1.0	A
Allowable Power dissipation	$P_d\ max$	*	1.0	W
Operating temperature	Topr		-30 to +85	°C
Storage temperature	Tstg		-40 to +150	°C

*: When mounted on the specified printed circuit board (57.0mm × 57.0mm × 1.6mm), glass epoxy, both sides

Caution 1) Absolute maximum ratings represent the value which cannot be exceeded for any length of time.

Caution 2) Even when the device is used within the range of absolute maximum ratings, as a result of continuous usage under high temperature, high current, high voltage, or drastic temperature change, the reliability of the IC may be degraded. Please contact us for the further details.

Operation explanation

1. DCM output control logic

Input				Output				Remarks	
IN1	IN2	IN3	IN4	OUT1	OUT2	OUT3	OUT4		
L	L	L	L	OFF	OFF	OFF	OFF	Stand-by	
L	L			OFF	OFF			1CH	
H	L			H	L				Forward
L	H			L	H				Reverse
H	H			L	L				Brake
		L	L			OFF	OFF	2CH	
		H	L			H	L		Forward
		L	H			L	H		Reverse
		H	H			L	L		Brake

Electrical Characteristics at $T_a = 25^\circ C$, $V_{CC} = 12V$

Parameter	Symbol	Conditions	Ratings			Unit
			min	typ	max	
Power supply voltage	I_{CC0}	Standby mode IN1=IN2=IN3=IN4="LOW"			1	μA
	I_{CC1}	It is "High" from IN1 as for either of IN4. Load opening		1.7	2.3	mA
Input current	I_{IN}	$V_{IN}=5V$	35	50	65	μA
Thermal shutdown operating temperature	Ttsd	Design certification	150	180	210	°C
Width of temperature hysteria	ΔT_{tsd}	Design certification		40		°C
Low voltage protection function operation voltage	$V_{thV_{CC}}$		3.3	3.5	3.65	V
Release voltage	V_{thret}		3.55	3.8	3.95	V
Output ON resistance (Upper and lower total)	R_{ON}	$I_{OUT}=1.0A$	0.7	1	1.25	Ω



**MC33078
MC33079**

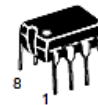
**Dual/Quad Low Noise
Operational Amplifiers**

The MC33078/9 series is a family of high quality monolithic amplifiers employing Bipolar technology with innovative high performance concepts for quality audio and data signal processing applications. This family incorporates the use of high frequency PNP input transistors to produce amplifiers exhibiting low input voltage noise with high gain bandwidth product and slew rate. The all NPN output stage exhibits no deadband crossover distortion, large output voltage swing, excellent phase and gain margins, low open loop high frequency output impedance and symmetrical source and sink AC frequency performance.

The MC33078/9 family offers both dual and quad amplifier versions, tested over the automotive temperature range and available in the plastic DIP and SOIC packages (P and D suffixes).

- Dual Supply Operation: ± 5.0 V to ± 18 V
- Low Voltage Noise: $4.5 \text{ nV}/\sqrt{\text{Hz}}$
- Low Input Offset Voltage: 0.15 mV
- Low T.C. of Input Offset Voltage: $2.0 \mu\text{V}/^\circ\text{C}$
- Low Total Harmonic Distortion: 0.002%
- High Gain Bandwidth Product: 16 MHz
- High Slew Rate: $7.0 \text{ V}/\mu\text{s}$
- High Open Loop AC Gain: 800 @ 20 kHz
- Excellent Frequency Stability
- Large Output Voltage Swing: $+14.1 \text{ V}/-14.6 \text{ V}$
- ESD Diodes Provided on the Inputs

**DUAL/QUAD
LOW NOISE
OPERATIONAL AMPLIFIERS**

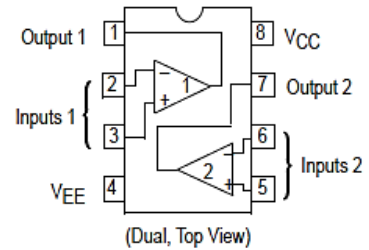


**P SUFFIX
PLASTIC PACKAGE
CASE 626**



**D SUFFIX
PLASTIC PACKAGE
CASE 751
(SO-8)**

PIN CONNECTIONS



QUAD

AC ELECTRICAL CHARACTERISTICS ($V_{CC} = +15 \text{ V}$, $V_{EE} = -15 \text{ V}$, $T_A = 25^\circ\text{C}$, unless otherwise noted.)

Characteristics	Symbol	Min	Typ	Max	Unit
Slew Rate ($V_{in} = -10 \text{ V}$ to $+10 \text{ V}$, $R_L = 2.0 \text{ k}\Omega$, $C_L = 100 \text{ pF}$, $A_V = +1.0$)	SR	5.0	7.0	—	$\text{V}/\mu\text{s}$
Gain Bandwidth Product ($f = 100 \text{ kHz}$)	GBW	10	16	—	MHz
Unity Gain Frequency (Open Loop)	f_U	—	9.0	—	MHz
Gain Margin ($R_L = 2.0 \text{ k}\Omega$)	A_m	—	$C_L = 0 \text{ pF}$	-11	dB
			$C_L = 100 \text{ pF}$	-6.0	
Phase Margin ($R_L = 2.0 \text{ k}\Omega$)	ϕ_m	—	$C_L = 0 \text{ pF}$	55	Degrees
			$C_L = 100 \text{ pF}$	40	
Channel Separation ($f = 20 \text{ Hz}$ to 20 kHz)	CS	—	-120	—	dB
Power Bandwidth ($V_O = 27 \text{ V}_{pp}$, $R_L = 2.0 \text{ k}\Omega$, $\text{THD} \leq 1.0\%$)	BW_p	—	120	—	kHz
Distortion ($R_L = 2.0 \text{ k}\Omega$, $f = 20 \text{ Hz}$ to 20 kHz , $V_O = 3.0 \text{ V}_{rms}$, $A_V = +1.0$)	THD	—	0.002	—	%
Open Loop Output Impedance ($V_O = 0 \text{ V}$, $f = 9.0 \text{ MHz}$)	$ Z_O $	—	37	—	Ω
Differential Input Resistance ($V_{CM} = 0 \text{ V}$)	R_{IN}	—	175	—	$\text{k}\Omega$
Differential Input Capacitance ($V_{CM} = 0 \text{ V}$)	C_{IN}	—	12	—	pF
Equivalent Input Noise Voltage ($R_S = 100 \Omega$, $f = 1.0 \text{ kHz}$)	e_n	—	4.5	—	$\text{nV}/\sqrt{\text{Hz}}$
Equivalent Input Noise Current ($f = 1.0 \text{ kHz}$)	i_n	—	0.5	—	$\text{pA}/\sqrt{\text{Hz}}$

Customer Specification

PART NO. 6010C

Construction

				Diameters (In)	
1) Component 1		3 X 1 PAIR			
a) Conductor		22 (7/30) AWG TC		0.030	
b) Insulation		0.010" Wall, Nom. Polypropylene(PP)		0.050	
(1) Color Code		Alpha Wire Color Code A			
Pair	Color	Pair	Color	Pair	Color
1	BLACK-RED	2	BLACK-WHITE	3	BLACK-GREEN
c) Pair		2/Cond Cabled Together			
(1) Twists:		8.0 Twists/foot (min)			
Individually Applied:					
d) Shield:		Foil Free Alum/Mylar Tape, 25% Overlap, Min.			
(1) Foil Direction		Foil Facing In			
(2) Drain Wire		22 (7/30) AWG TC			
2) Cable Assembly		3 Components Cabled			
a) Twists:		4.0 Twists/foot (min)			
b) Core Wrap		Clear Mylar Tape, 25% Overlap, Min.			
3) Jacket		0.048" Wall, Nom.,PVC		0.298 (0.312 Max.)	
a) Color(s)		SLATE			
b) Print		ALPHA WIRE-* P/N 6010C 3PR 22 AWG EXXXXX SHIELDED 75C (UL) C(UL) CMG OR AWM 2493 CE ROHS * = Factory Code <i>[Note: Product may have c(UL) or CSA markings depending upon plant of manufacture.]</i>			

Properties

Physical & Mechanical Properties	
1) Temperature Range	-20 to 75°C
2) Bend Radius	10X Cable Diameter
3) Pull Tension	49 Lbs, Maximum
Electrical Properties (For Engineering purposes only)	
1) Voltage Rating	300 V _{RMS}
2) Characteristic Impedance	55 Ω
3) Inductance	0.18 μH/ft, Nominal
4) Mutual Capacitance	28 pF/ft @1 kHz, Nominal
5) Ground Capacitance	50 pF/ft @1 kHz, Nominal
6) Conductor DCR *	16.5 Ω/1000ft @20°C, Nominal
7) Ind. Shield DC Resistance	14.4 Ω/1000ft @20°C, Nominal

* DCR : DC Résistance

PULS

DIMENSION X-Series

XT40.721, XT40.722

72V, 13A, THREE-PHASE INPUT



SEMI-REGULATED POWER SUPPLY

- Alternative or Replacement for AC Transformer
- Three Phase Input – DC Output
- DIN-Rail Mountable
- Width only 96mm
- 95.5% Efficiency
- 125% Peak Power Capability
- No Input Inrush Current
- Active Input Transient Blocker
- Full Power Between -25°C and +60°C
- Easy Failure Diagnostics
- No Electrolytic Capacitors on Input Side
- Cost Effective and Robust
- 3 Year Warranty

1. GENERAL DESCRIPTION

The power supplies in the Dimension X-Series include a new and innovative concept for generating an isolated DC voltage from a three-phase mains system.

A semi-regulated resonant converter enables a very compact design, maximum efficiency and extremely competitive pricing with only a small compromise in the output voltage regulation, output ripple and hold-up time.

Weighing just 1.4 kg, the device provides 960 watts of continuous output power and an additional 25% power reserve for dynamic loads. The light-weight design along with compact dimensions facilitate straightforward mounting on DIN-rail.

Primary use are applications involving supplies to motors, valves and other load circuits with a high power consumption, where an accurate output voltage regulation which is standard on traditional switched-mode power supplies is not required. Furthermore, these switched-mode power supplies can often replace mains transformers with rectifiers.

2. SHORT-FORM DATA

Output voltage	DC 72V	
Adjustment range	none	
Output current	13.3A	continuous
	16.7A	for typ. 15s
Output power	960W	continuous
	1200W	for typ. 15s
Output ripple	< 3000mVpp	20Hz-2kHz
	< 200mVpp	2kHz to 20MHz
Input voltage	3AC 400V	XT40.721
	3AC 480V	XT40.722
Mains frequency	50-60Hz	±6%
AC Input current	1.65A / phase	XT40.721, 3x400V
	1.4A / phase	XT40.722, 3x480V
Power factor	0.93	72V, 13.3A
AC Inrush current	typ. 2A peak	
Efficiency	95.5%	
Losses	45.2W	
Temperature range	-25°C to +70°C	operational
Derating	24W/°C	+60 to +70°C
Dimensions	96x124x159mm	WxHxD

3. ORDER NUMBERS

Power Supply	XT40.721	400V Input
	XT40.722	480V Input

4. MARKINGS



DT9/2 – Alimentation

Fig. 9-1 Efficiency vs. output current

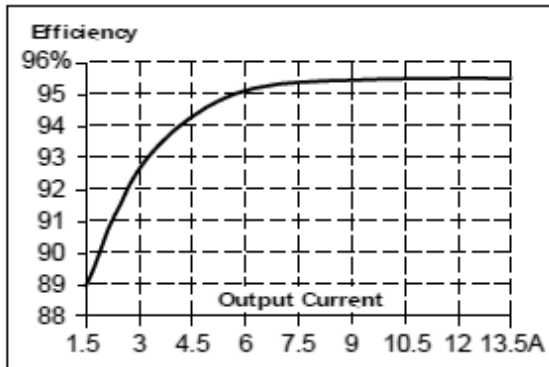


Fig. 9-2 Losses vs. output current

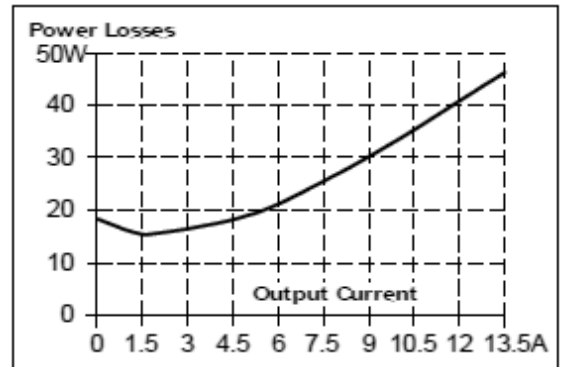


Fig. 9-3 Efficiency vs. input voltage, 72V, 13.3A

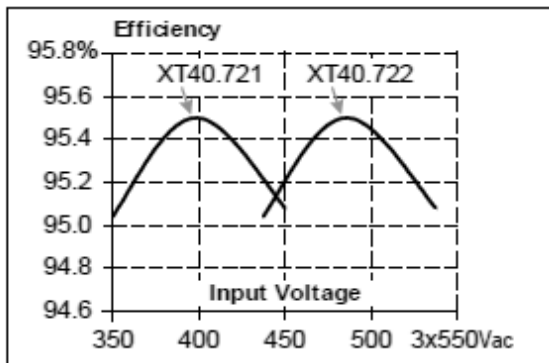
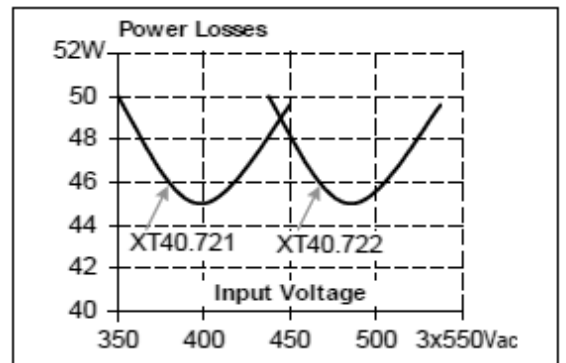
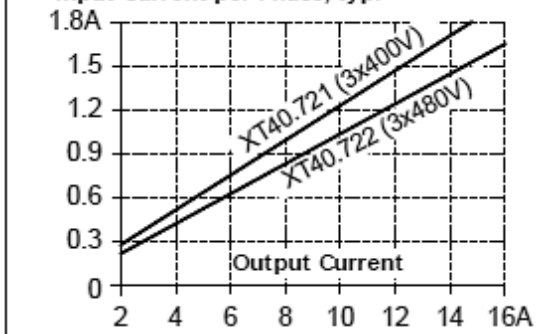


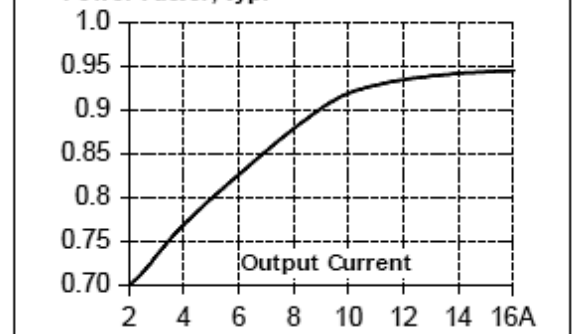
Fig. 9-4 Losses vs. input voltage, 72V, 13.3A



Input Current per Phase, typ.



Power Factor, typ.



NE RIEN ECRIRE DANS CE CADRE

DR1 – Distances et angles de mesure du capteur

Question 4 :

Position du capteur N°1 :				$X_{C1} = 0,5 \text{ m} ; Y_{C1} = 0,5 \text{ m} ; Z_{C1} = 3,6 \text{ m}$		
Point	X_P (m)	Y_P (m)	Z_P (m)	Distance C1P (m)	Angle azimut (degré)	Angle élévation (degré)
P1	1	0	0	3,67 m	-45 °	-82,1 °
P2	4,5	0	0	5,40 m	-7,2 °	-42 °
P3	4,5	2	0			
P4	1	2	0	3,93 m	71,6 °	-82,1 °

Question 5 :

Distances et angles moyens en fonction de la position du capteur						
Capteur	X_{Cx} (m)	Y_{Cx} (m)	Z_{Cx} (m)	Distance CxPx Moyenne (m)	Angle azimut Moyen (degré)	Angle élévation Moyen (degré)
C1	0,5	0,5	3,6			
C2	0,5	1,5	3,6	4,65	10	-62,04
C3	0,5	0,5	1,8	3,35	-10	-49,35
C4	0,5	1,5	1,8	3,35	10	-49,35
C5	-0,5	0,5	3,6	5,16	-9,4	-51,57
C6	-0,5	1,5	3,6	5,16	9,4	-51,57
C7	-0,5	0,5	1,8	4,01	-9,4	-35
C8	-0,5	1,5	1,8	4,01	9,4	-35
Choix des valeurs d'azimut et d'élévation						

DR2 – Configuration PWM

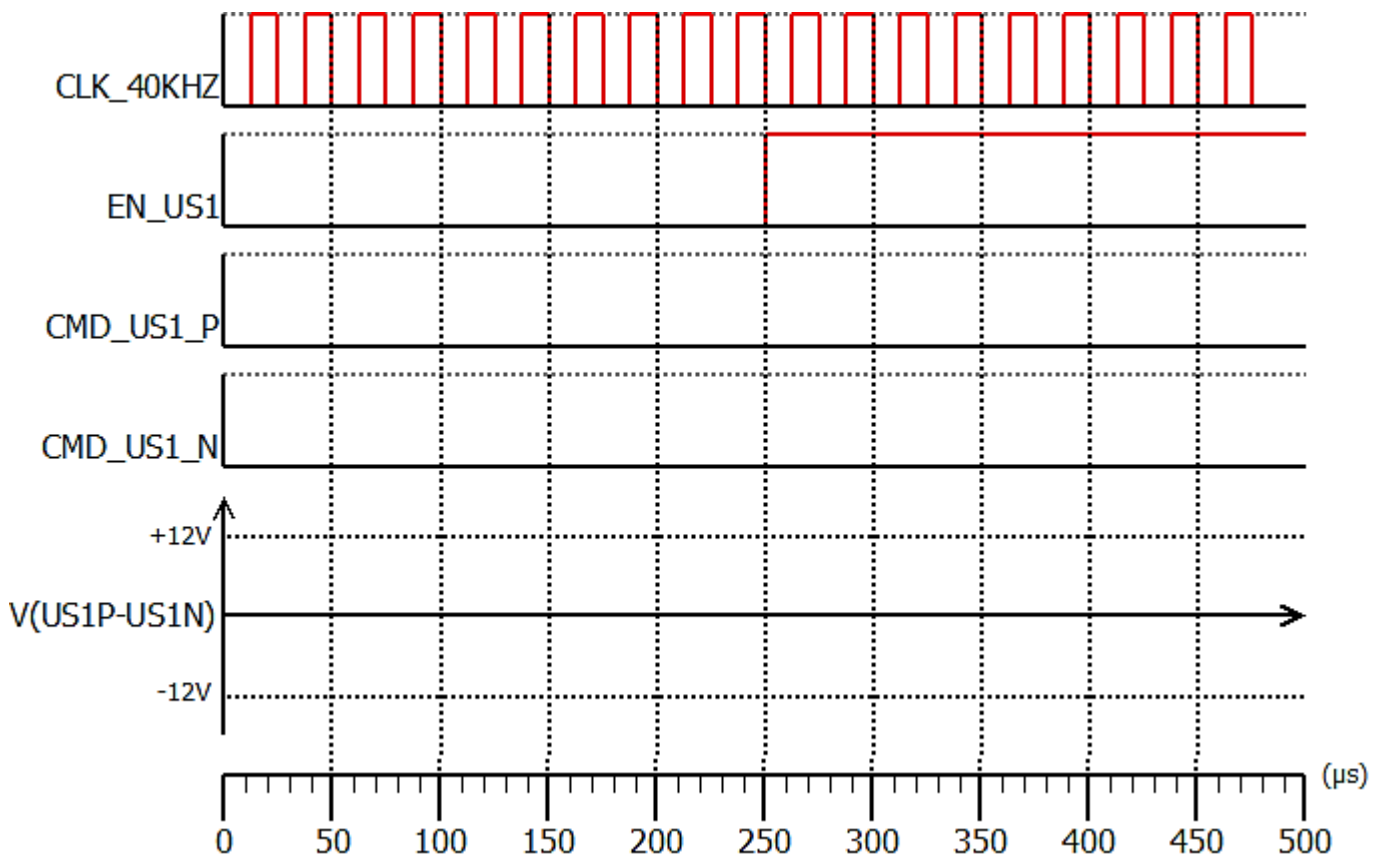
Question 8 :

	b15	b14	b13	b12	b11	b10	b9	b8	b7	b6	b5	b4	b3	b2	b1	b0
IOCON_PIO1_9	x	x	x	x	x		x	x	x	x	x	x	x			
TMR16B1MCR	x	x	x	x	x	x	x				x	x	x	x	x	x
TMR16B1PWMC	x	x	x	x	x	x	x	x	x	x	x	x	x	x	x	

	b15 ... b0 (h�xad�cimal)
TMR16B1MR2	
TMR16B1MR0	

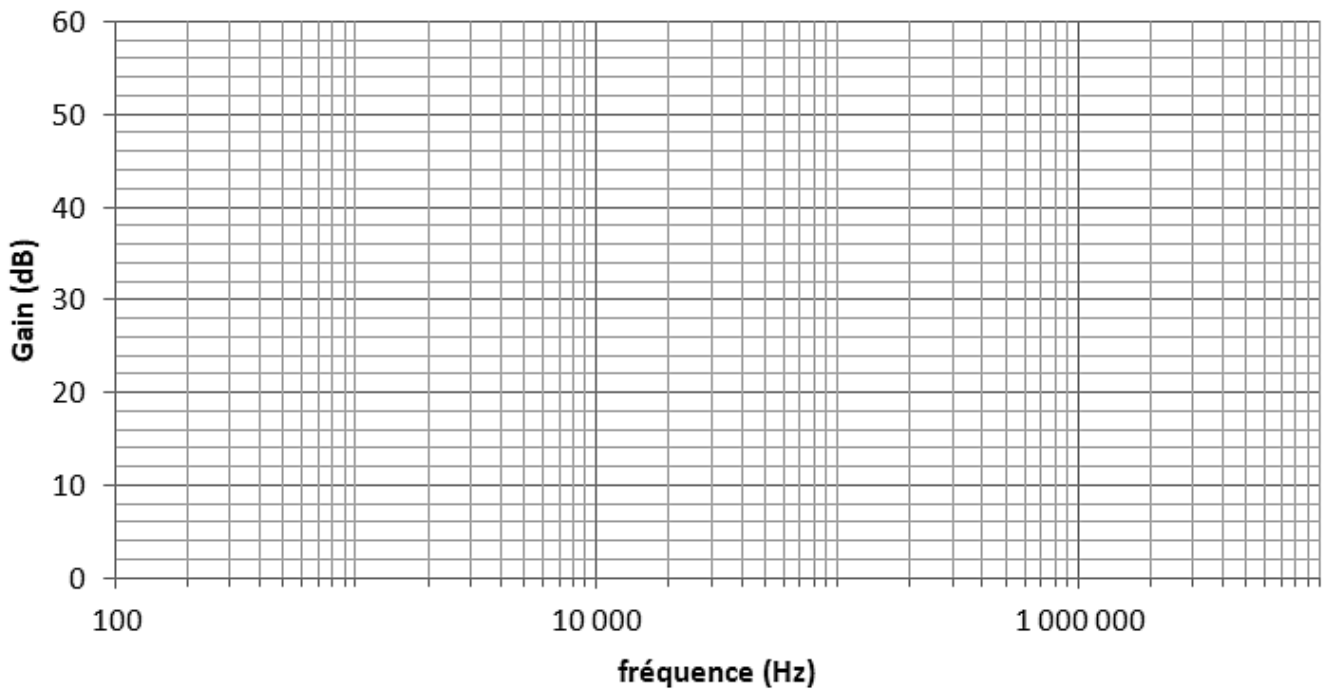
DR3 – Chronogrammes commande capteur

Question 9 :



DR4 Diagramme de Bode du filtre d'entrée

Question 13 :



DR5 Algorithme de calcul de la valeur d'autocorrélation

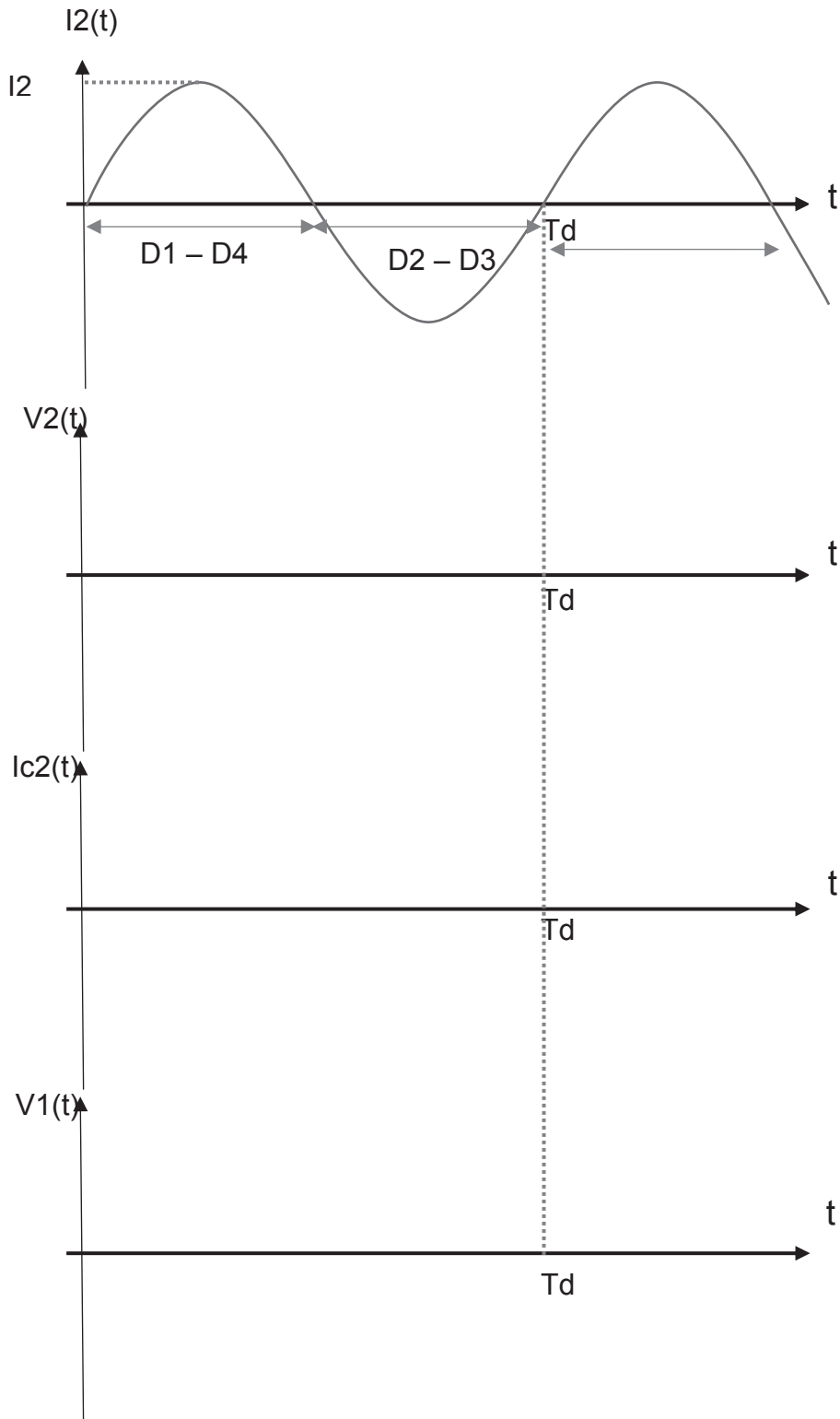
Question 22 :

```
//  
// Cette fonction assure le calcul du signal d'autocorrélation sur une fenêtre du  
// signal échantillonné :  
//  
// PE : DebutF      : Indice du début de la fenêtre [0 .. 7680]  
//      TailleF    : Taille de la fenêtre pour le calcul [100 ..580]  
//      Moy        : Moyenne du signal échantillonné [-128 .. 127]  
//      Ech[]      : Tableau du signal échantillonné filtré  
//                  (la valeur des échantillons est compris dans l'intervalle [-128 .. 127])  
//  
// PS : ValAutoCorr : Valeur du signal d'autocorrélation calculé sur la fenetre
```


NE RIEN ECRIRE DANS CE CADRE

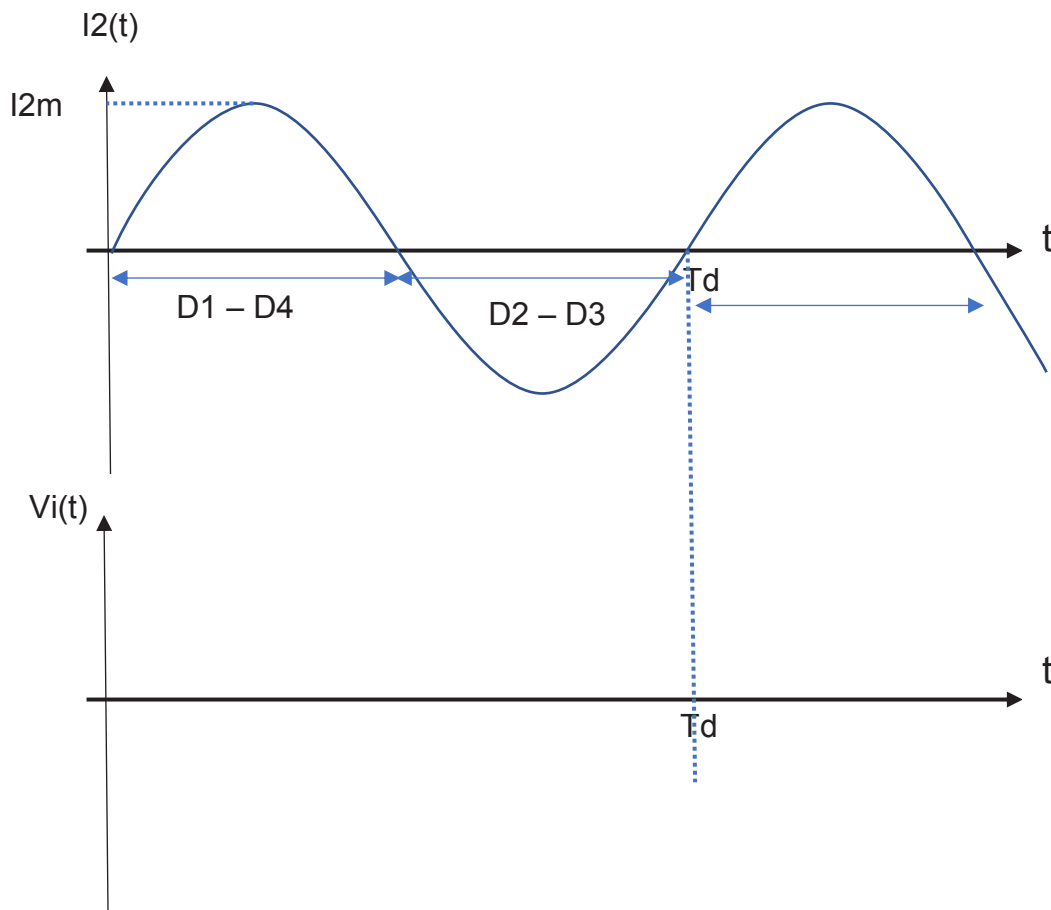
DR6 Alimentation à découpage

Questions 35 et 37 :



DR7 Alimentation à découpage

Question 38 :



DR8 Alimentation à découpage

Question 41 :

