

SESSION 2020

AGREGATION CONCOURS EXTERNE
--

Section : SCIENCES INDUSTRIELLES DE L'INGÉNIEUR

**Option : SCIENCES INDUSTRIELLES DE L'INGÉNIEUR
ET INGÉNIERIE ÉLECTRIQUE**

MODÉLISATION D'UN SYSTÈME, D'UN PROCÉDÉ OU D'UNE ORGANISATION
--

Durée : 6 heures

Calculatrice électronique de poche - y compris calculatrice programmable, alphanumérique ou à écran graphique – à fonctionnement autonome, non imprimante, autorisée conformément à la circulaire n° 99-186 du 16 novembre 1999.

L'usage de tout ouvrage de référence, de tout dictionnaire et de tout autre matériel électronique est rigoureusement interdit.

Si vous repérez ce qui vous semble être une erreur d'énoncé, vous devez le signaler très lisiblement sur votre copie, en proposer la correction et poursuivre l'épreuve en conséquence. De même, si cela vous conduit à formuler une ou plusieurs hypothèses, vous devez la (ou les) mentionner explicitement.

NB : Conformément au principe d'anonymat, votre copie ne doit comporter aucun signe distinctif, tel que nom, signature, origine, etc. Si le travail qui vous est demandé consiste notamment en la rédaction d'un projet ou d'une note, vous devrez impérativement vous abstenir de la signer ou de l'identifier.

INFORMATION AUX CANDIDATS

Vous trouverez ci-après les codes nécessaires vous permettant de compléter les rubriques figurant en en-tête de votre copie.

Ces codes doivent être reportés sur chacune des copies que vous remettrez.

Concours	Section/option	Epreuve	Matière
EAE	1415A	102	2680

ROBOT MOBILE UNICYCLE

Ce sujet comporte:

Le texte du sujet	Pages DQ1 à DQ34
Les documents réponses	Pages DR1 à DR10
Les documents ressources annexes	Pages A1 à A53

Ce sujet comporte 8 parties indépendantes :

- Partie A - Génération des horloges de fonctionnement.
- Partie B - Analyse de la communication inter-cartes dans le robot.
- Partie C - Asservissement du robot.
- Partie D - Analyse de la partie variation de vitesse du robot.
- Partie E - Analyse des accéléromètres.
- Partie F - Analyse de la fonction élévatrice de tension.
- Partie G - Analyse de la fonction odométrie.
- Partie H - Analyse d'un code programmé.

Une lecture préalable et complète du sujet est indispensable.

Il sera tenu compte de la cohérence avec laquelle les candidats traiteront chaque partie, le jury préférant une réflexion d'ensemble de la partie abordée à un éparpillement des réponses.

Chaque question est repérée par un numéro. Les candidats sont invités à numéroter chaque page de leur copie et à indiquer clairement le numéro de la question traitée.

Les candidats sont priés de rédiger chacune des huit différentes parties du problème sur feuilles séparées et clairement repérées.

Il leur est rappelé qu'ils doivent utiliser les notations propres au sujet, présenter clairement les calculs et dégager ou encadrer tous les résultats.

Tout résultat incorrectement exprimé ne sera pas pris en compte. En outre les correcteurs leur sauront gré d'écrire lisiblement et de soigner la qualité de leur copie.

Il sera tenu compte de la qualité de rédaction, en particulier pour les réponses aux questions ne nécessitant pas de calcul. Le correcteur attend des phrases complètes respectant la syntaxe de la langue française.

Pour la présentation des applications numériques, il est rappelé que lors du passage d'une forme littérale à son application numérique, il est recommandé aux candidats de procéder comme suit : après avoir rappelé la relation littérale, chaque grandeur est remplacée par sa valeur numérique en respectant la position qu'elle avait dans la relation puis le résultat numérique est donné sans calculs intermédiaires et sans omettre son unité.

Si le texte du sujet, ses questions ou ses annexes vous conduisent à formuler une ou plusieurs hypothèses, il vous est demandé de la (ou les) mentionner explicitement dans votre copie.

1 PRÉSENTATION DU SYSTÈME

1.1 PRÉSENTATION GÉNÉRALE

Le robot dont l'étude est proposée ici, est une version réduite d'une structure industrielle de type AGV (Automated Guided Vehicle), qui fonctionne sous l'environnement robotique ROS (Robot Operating System). Elle a été développée pour tester certains organes ainsi que l'environnement robotique et certaines fonctions de discussion. Elle est utilisée dans le cadre de tests d'asservissement et de communication des systèmes, et dans le cadre de la perception environnementale du robot.



Figure 1

Le robot, présenté en figure 1, a été conçu pour :

- être capable de se déplacer, à moyenne et grande vitesse,
- se repérer dans son environnement,
- être capable d'effectuer quelques actions simples,
- être autonome,
- communiquer avec l'extérieur (transmission d'informations ou guidage),
- accueillir l'environnement robotique ROS.

Seules les études de quelques fonctions du robot sont envisagées. Elles porteront sur des aspects électronique (oscillateur à quartz), informatique industrielle (configuration de microcontrôleur, communication, programmation), automatique (asservissement analogique et numérique), mécanique (odométrie, positionnement), et électronique de puissance (hacheur, élévateur de tension).

1.2 PRÉSENTATION DU MATÉRIEL

Le robot est capable de communiquer avec l'extérieur, soit en WIFI, soit en Bluetooth, soit directement connecté par liaison USB avec un PC (utilisation en mode de recherche d'erreurs).

Comme l'étude ne porte que sur le robot lui-même, le pilotage et la récupération des données sur PC ou tablette ne seront pas présentés.

L'architecture du robot est composée de 5 étages distincts (voir figure 1) assurant chacun une fonction particulière.

Les étages et les fonctions des divers étages du robot sont donnés ci-dessous.

- Etage 0 : capteur IR au sol, alimentation et pilotage des moteurs à courant continu.
Cet étage permet au robot de se déplacer et de repérer des indications au sol. C'est sur cet étage que l'on retrouve les 2 batteries utilisées pour fournir l'énergie.
- Etage 1 : capteur de distance à Ultrasons et capteur de contact.
Cet étage retourne au robot des informations de distance par rapport aux éléments de son environnement (mesure Ultrasonore) et fournit des indications en cas de choc.
- Etage 2 : capteur d'environnement Laser 2D.
Cet étage retourne au robot d'autres informations de distance par rapport aux éléments de son environnement. Elles sont basées sur une mesure Laser. Ce Laser 2D est compatible ROS.
- Etage 3 : détection positionnement balise IR, boussole, positionnement absolu et angle du robot.
Grace à cet étage, le robot a une connaissance de son positionnement absolu sur un terrain.
- Etage 4 : Cerveau, communication (WIFI, Bluetooth, USB).
Cet étage est utilisé pour le pilotage du robot, soit par la carte cerveau (exécution des stratégies de fonctionnement), soit par des commandes externes.

L'architecture matérielle générale est présentée en figure 1bis.

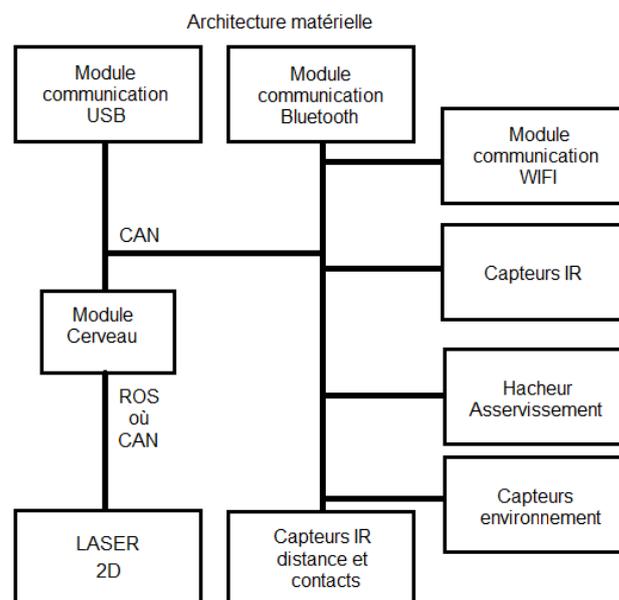


Figure 1bis

L'architecture matérielle du robot est composée majoritairement de cartes de traitement d'informations issues des capteurs, d'une carte de commande de moteurs à courant continu, ainsi que de modules de communication. La discussion interne au robot s'effectue à travers un bus de communication qui exploite le protocole CAN. Certains capteurs, comme le capteur Laser, sont prévus pour s'adapter au système d'exploitation robotique ROS.

La figure 1ter représente une description par étages du robot qui intègre tous les protocoles utilisés lors des diverses discussions inter-cartes.

Architecture suivant les étages avec intégration des protocoles de communication inter-éléments

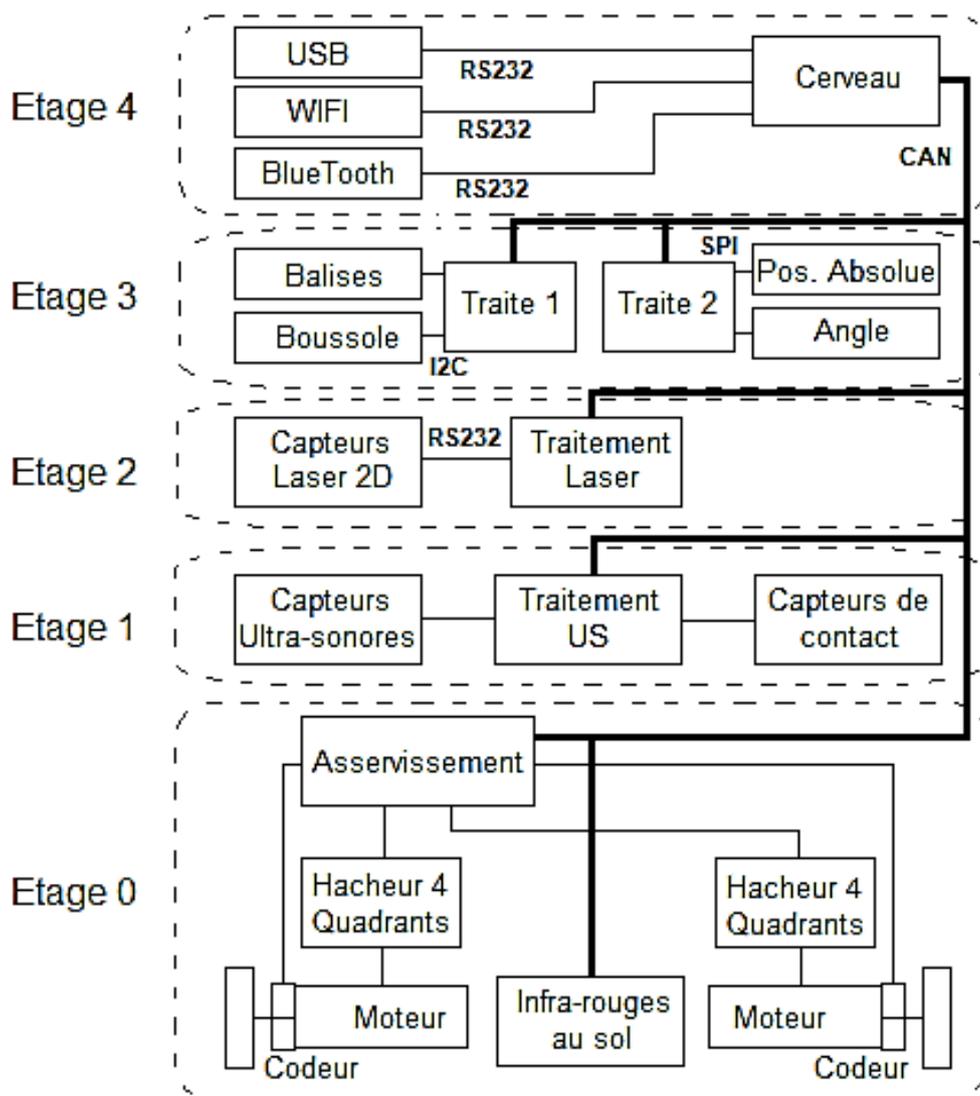


Figure 1ter

Tous ces étages communiquent ensemble à travers un bus CAN.

Le bus CAN est un bus série multiplexé permettant à différents éléments de s'échanger des informations au sein de trames CAN. Ces dernières comportent les

données utiles à transmettre ainsi que, entre autres, l'adresse et l'identifiant du composant émetteur.

Les données utiles sont de longueur variable suivant l'étage.

Pour la communication CAN, le tableau récapitulatif suivant présente les différentes adresses et identifiants (ID) de chaque carte.

Etage	Adresse	Identifiant
Etage 0 : IR au sol	0x07A3	3
Commande des Moteurs	0x07A1	1
Etage 1 : Capteurs US et contact	0x07A2	2
Etage 2 : Laser 2D	0x07A4	4
Etage 3 : Balise, boussole	0x07A5	5
Positionnement, angle	0x07A6	6
Etage 4 : Cerveau	0x07A0	0

Partie A: génération des horloges de fonctionnement

Introduction : les cartes électroniques de chacun des étages intègrent un microcontrôleur. Le temps de cycle des microcontrôleurs doit être assez précis car il est utilisé pour le cadencement du fonctionnement, pour effectuer des mesures et pour rythmer les communications. Il est basé sur l'utilisation d'un quartz.

Le quartz –Modélisation.

La figure 2 représente un quartz (Q) et son schéma électrique équivalent.

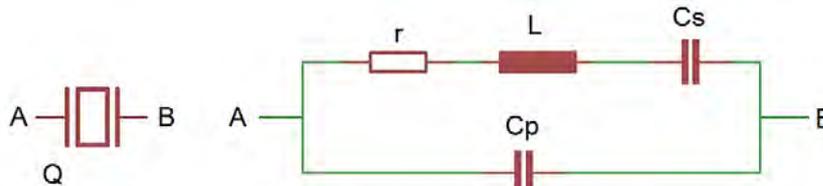


Figure 2

Question A-1 : calculer l'impédance complexe du quartz entre les points A et B (figure 2) et la mettre sous la forme suivante : $Z(j\omega) = \frac{a+jb}{c+jd}$
Exprimer les grandeurs a, b, c et d en fonction de r, L, Cs, Cp et ω .

Question A-2 : on néglige les pertes mécaniques du quartz. Proposer une écriture simplifiée de $Z(j\omega)$. Montrer que l'on peut écrire $Z(j\omega) = j.X(\omega)$ et exprimer $X(\omega)$ en fonction de L, Cs, Cp et ω .
Exprimer ensuite ω_s et ω_p , correspondant respectivement aux pulsations qui annulent le numérateur et le dénominateur de $Z(j\omega)$. Puis, exprimer ω_p en fonction de ω_s , Cs et Cp.

Le quartz utilisé est un IQD modèle HC49/4H (documentation fournie en annexe 1). On considèrera que $C_p = 40$ fF, $C_s = 6$ pF, $L = 398$ μ H et $r = 5$ Ω .

Question A-3 : justifier et tracer sur le document réponse DR1, le module et l'argument de $Z(j\omega)$. Préciser, sur le document, en fonction de la fréquence, par quel type de dipôle simple le quartz peut être modélisé.
Préciser, de plus, la bande de fréquence à l'intérieur de laquelle le quartz peut être utilisé pour réaliser un oscillateur. Justifier la réponse.

Principe d'un oscillateur

Le principe d'un oscillateur est présenté en figure 3.

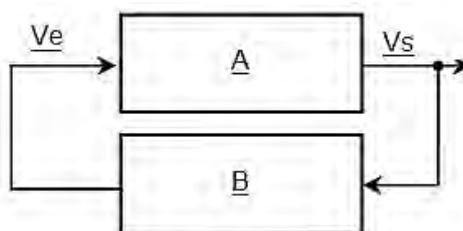


Figure 3

Question A-4 : établir, à partir de la figure 3, les équations permettant de déterminer les conditions d'oscillation dites de Barkhausen. Indiquer la relation entre \underline{A} et \underline{B} pour que le système réalise un oscillateur, et en déduire, dans ces conditions, la relation liant $|\underline{A}|$ et $|\underline{B}|$ ainsi que la relation liant $\text{Arg}[\underline{A}]$ et $\text{Arg}[\underline{B}]$.

Préciser la façon dont on peut s'assurer que la condition limite est atteinte.

Oscillateur à quartz d'une des cartes du robot

Dans la documentation constructeur du dsPIC33F, on donne le schéma utilisé pour réaliser l'oscillateur à quartz d'une des cartes à microcontrôleur du robot.

Une version simplifiée est présentée ci-après en figure 4 :

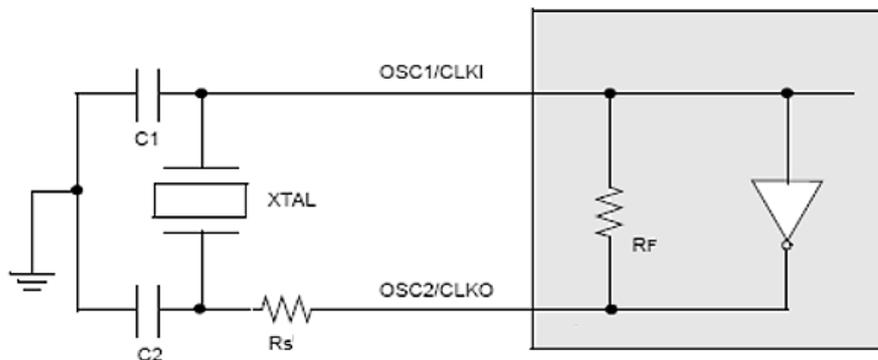


Figure 4

Dans le microcontrôleur, un inverseur logique est utilisé comme amplificateur. On considèrera, si nécessaire, que sa résistance d'entrée est infinie et que sa résistance de sortie est nulle.

On a relevé sa caractéristique de transfert (figure 5) :

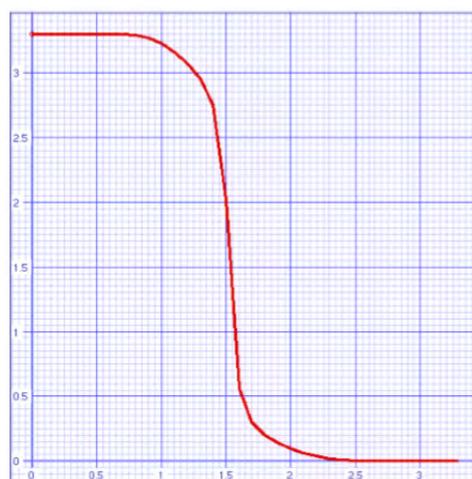


Figure 5

$$V_{osc2} = f(V_{osc1})$$

Question A-5 : indiquer lorsque l'inverseur logique est connecté conformément au schéma de la figure 4, son point de fonctionnement.

En déduire la valeur de son amplification que l'on notera A.

Question A-6 : en considérant R_F infinie, calculer la fonction de transfert $\underline{T} = \frac{V_{osc1}}{V_{osc2}}$ du réseau constitué par C_1 , C_2 , R_s et le quartz (on supposera que l'impédance du quartz est égale à $j.X(\omega)$).
Enoncer alors la condition pour que les oscillations existent.

Question A-7 : on a montré précédemment à la question A-3, que le quartz avait un comportement différent suivant sa fréquence de travail. Indiquer alors quelle doit être la nature du comportement du quartz pour que le système oscille.
Calculer ensuite sa fréquence d'oscillation.

Boucle à verrouillage de phase

Pour augmenter la fréquence d'oscillation, un synthétiseur de fréquence est intégré à certains microcontrôleurs comme le montre la figure suivante (figure 6) :

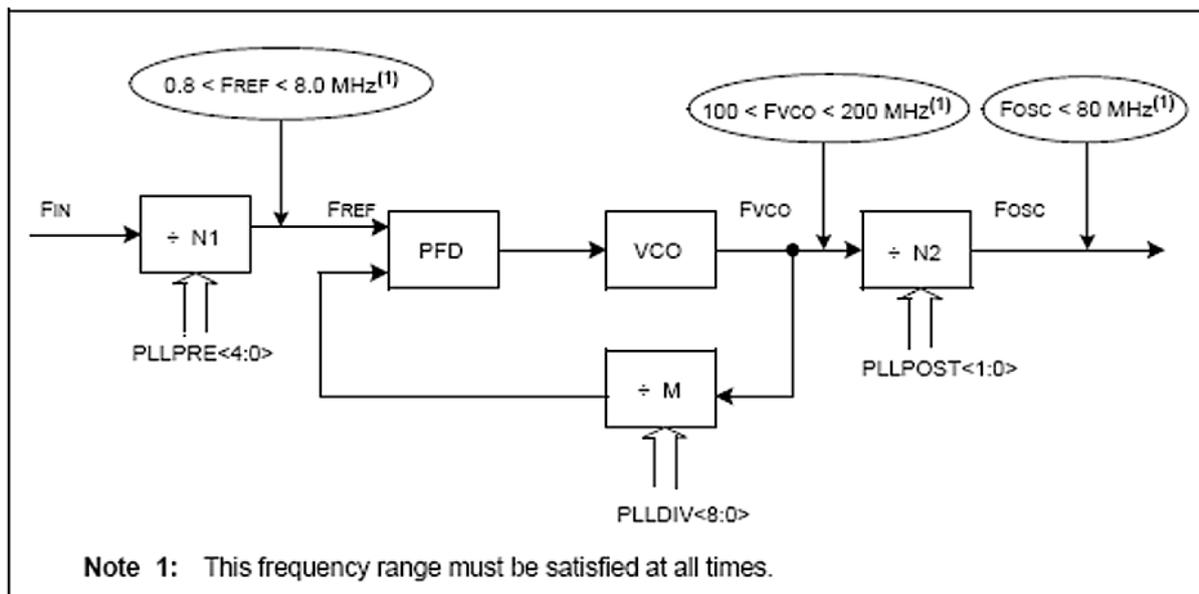


Figure 6

On suppose que la boucle est verrouillée. La documentation fournie en annexe 2 donne les valeurs possibles de réglage pour N_1 , M et N_2 .

Question A-8 : exprimer la relation liant F_{REF} à F_{VCO} . En déduire la relation qui lie F_{osc} avec F_{in} , N_1 , M et N_2 .
Préciser les conditions pour que le pas de réglage de la fréquence F_{osc} soit minimal.

Application numérique : l'oscillateur primaire fonctionne à 4 MHz. On désire une fréquence d'oscillation de 40 MHz. On souhaite un pas de réglage de 0,25 MHz pour la fréquence d'oscillation. Calculer les valeurs des paramètres N_1 , M et N_2 (on choisira la valeur maximale possible pour le taux de pré division N_1).

Question A-9 : représenter, en suivant les consignes données ci-après, le contenu des 8 bits de poids faible des registres FOSC, FOSCSEL, CLKDIV et PLLFBD pour obtenir le fonctionnement précédent. Exprimer alors le contenu des 8 bits de poids faible de ces registres en hexadécimal.

On respectera pour remplir les différents bits des registres, les règles :

-- pour les bits inutilisés,

X pour les bits dont la valeur n'est pas importante,

0 ou 1 suivant l'état pour ceux qui sont importants.

Pour définir la valeur hexadécimale, on choisira la valeur 0 logique pour les bits inutilisés et pour les bits dont la valeur n'est pas importante, sauf si un commentaire explicite est fait dans la documentation.

Partie B: analyse de la communication inter-cartes dans le robot – Protocole CAN

Introduction : les cartes électroniques de chacun des étages communiquent entre elles. Chacun des microcontrôleurs est équipé d'une interface matérielle CAN couplée à un émetteur-récepteur CAN haute vitesse.

Bits dominants – récessifs

Question B-1 : à partir du schéma suivant (figure 7) :

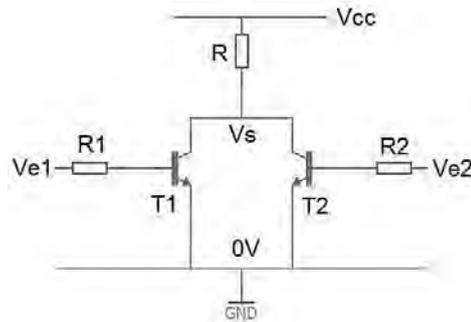


Figure 7

Donner la table de vérité de la sortie V_s en fonction des entrées V_{e1} et V_{e2} pour la fonction ci-dessus et indiquer la fonction logique réalisée.

Préciser, par rapport aux entrées V_{e1} et V_{e2} , quel est le niveau logique prioritaire.

Expliquer alors la notion de bits dominants et récessifs.

Question B-2 : le CAN du robot fonctionne en mode Standard (et non en mode étendu). L'annexe 3 présente le fonctionnement du bus CAN. Pour le CAN standard, préciser la taille des identificateurs, le nombre d'identificateurs possibles utilisables ainsi que le nombre de données maximum qui peuvent être transmises.

Indiquer alors, en nombre de bits, les longueurs minimales et maximales des trames de données (on ne prendra pas en compte les bits rajoutés automatiquement au message, et l'on supposera que l'on transmet au minimum une donnée).

Le robot est composé de 7 nœuds (cerveau, moteur, US, IR, Laser, Balise, Positionnement) qui transmettent périodiquement des données avec le même débit de bus de 250 kbits/s. On supposera qu'une trame transmise quelconque est composée, en moyenne, de 2 octets d'informations utiles.

Question B-3 : pour chaque nœud, une trame est émise toute les 40 ms. Préciser tout d'abord combien de trames par secondes, au maximum, peuvent être transmises sur ce bus. Caractériser ensuite la charge réelle du bus CAN du robot.

Lorsqu'on transmet sur le bus, 5 fois d'affilée, le même bit, on insère un bit supplémentaire de polarité inverse : ce bit supplémentaire s'appelle bit de « stuffing ».

Question B-4 : sur le document réponse DR1, compléter le chronogramme de la transmission d'une donnée du cerveau (identifiant 0x7A0) suivi de 1 octet de valeur 0x80 puis du CRC de valeur 0x2EDC en tenant compte du phénomène du « Bit Stuffing ». On considèrera que la valeur des bits réservés du champ de contrôle est 0 et que le début de la transmission est matérialisé par le front descendant.

Pour le tracé, une graduation correspondra à un bit. Le CRC est un mot sur 15 bits suivi d'un délimiteur, 1 bit, au niveau logique « 1 ». Le champ d'acquittement est codé sur 2 bits, le premier au niveau logique « 0 » suivi d'un deuxième au niveau logique « 1 ».

Chaque nœud peut émettre à tout moment. Des collisions peuvent donc avoir lieu. Le gestionnaire du bus CAN intègre un processus d'arbitrage. Il est basé sur le fait que, si deux ou plusieurs nœuds émettent en même temps, en comparant bit après bit, le premier qui aura un bit récessif face à un dominant perdra le bus. La procédure sera appliquée jusqu'à ce qu'il n'en reste plus qu'un.

Question B-5 : sur le document réponse DR2, compléter le chronogramme d'un arbitrage de transmission simultanée d'une donnée cerveau, moteur et capteur US. Au vu du choix des adresses dans le robot, expliquer comment est établie la priorité de la transmission.

Question B-6 : l'annexe 4 illustre le principe de calcul du CRC. Montrer que le CRC de la question B-4 vaut bien 0x2EDC.

Les paramètres suivants ont été choisis : l'horloge CAN fonctionne à 40 MHz, la vitesse est de 250 kbits/s. On partage un bit en 8 parties (« time quantum ») et on lira et on interprètera la valeur du bit au bout de 75% de la durée du bit.

Question B-7 : valider, à l'aide de la documentation du microcontrôleur en annexes 5 et 6, que la valeur du registre C1CFG2, caractéristique du fonctionnement du CAN, est égale à 0x0199.

Partie C: asservissement du robot

Introduction : dans une première version, un asservissement de vitesse sur chacune des roues a été réalisé à l'aide d'un microcontrôleur.

Pour calculer le correcteur que l'on va implanter et qui servira au pilotage des machines à courant continu, on a effectué une identification de l'ensemble hacheur 4 quadrants, moteur à courant continu et capteur (tachymètre). L'étude sera menée comme si le fonctionnement était analogique, bien que la version finale implantée soit numérique.

Identification en boucle ouverte

La figure 8 représente $V_s(t)$ la réponse du système (tension proportionnelle à la vitesse du moteur) à un échelon $V_e(t)$ (entrée de commande du hacheur 4 quadrants) d'amplitude 1 V ($V_e(t)$ passe de 0 V à 1 V à l'instant 0,025s).

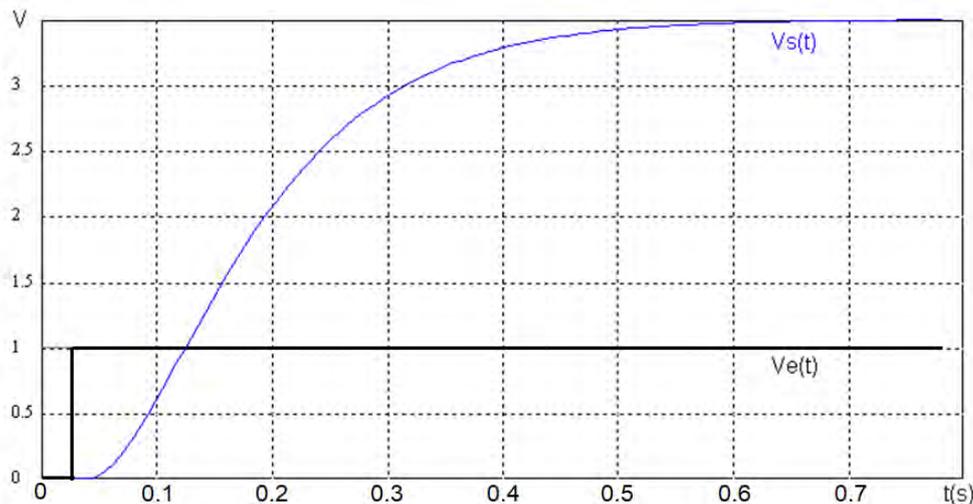


Figure 8

Question C-1 : la méthode de Broïda est présentée en annexe 7. Expliquer et détailler sur le document réponse DR2 les mesures et calculs nécessaires pour établir le modèle.

Identifier alors la fonction de transfert du système sous la forme d'un système du 2^e ordre.

On suppose, par la suite, afin d'unifier l'identification, que la fonction de transfert en

boucle ouverte est la suivante :
$$F(p) = \frac{K_s}{(1 + \tau_1 \cdot p)(1 + \tau_2 \cdot p)}$$

Soit avec des valeurs numériques :

$$F(p) = \frac{3,5}{(1 + 0,2p)(1 + 0,02p)}$$

L'annexe 8 présente un tableau caractéristique des systèmes du second ordre.

Dans un premier temps, le système est bouclé (figure 9) avec un retour unitaire et un correcteur K (proportionnel) de la manière suivante :

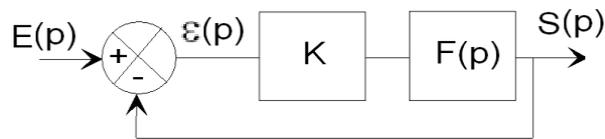


Figure 9

Résolution algébrique

Question C-2 : calculer la fonction de transfert $S(p) / E(p)$ en boucle fermée en fonction de K , K_s , τ_1 et τ_2 . Déterminer ses paramètres principaux (amplification statique, coefficient d'amortissement, pulsation propre) en fonction de K , K_s , τ_1 et τ_2 .

Question C-3 : on applique en entrée du système bouclé un échelon unitaire. Choisir K pour avoir un dépassement indiciel (c'est-à-dire le dépassement à un échelon unitaire) en boucle fermée de 20%. Exprimer l'erreur statique et donner sa valeur en % de ΔE où ΔE représente l'amplitude de l'échelon de tension. Tracer l'allure de la réponse temporelle $s(t)$, ainsi que le diagramme de Bode du gain pour la boucle fermée sur le document réponse DR3. On précisera les graduations des axes ainsi que toutes les grandeurs particulières importantes.

Résolution graphique par l'utilisation du diagramme de Bode

On souhaite résoudre ce même problème mais avec des méthodes graphiques.

Question C-4 : tracer sur le document réponse DR4 le diagramme asymptotique de Bode (gain et phase) correspondant à la fonction de transfert $F(p)$. En utilisant la notion de marge de phase, montrer une autre manière de calculer la valeur de K (pour avoir un dépassement indiciel en boucle fermée de 20%). Calculer alors la valeur de K .

Rappel : Il existe une relation empirique qui permet de relier la marge de phase en boucle ouverte et le facteur d'amortissement en boucle fermée.

Cette relation stipule que :

$M_{\phi_{bo}}(^{\circ}) = m_{bf} * 100$ avec $M_{\phi_{bo}}(^{\circ})$ marge de phase en boucle ouverte en degré, et m_{bf} coefficient d'amortissement en boucle fermée.

On considèrera qu'elle est valable dans le cas qui nous intéresse.

Résolution graphique par l'utilisation du diagramme de Black

Le système est bouclé en retour unitaire avec un correcteur proportionnel d'amplification K comme lors de la partie précédente.

Question C-5 : après avoir construit sur le document réponse DR5 le diagramme de Black correspondant à la fonction de transfert $F(p)$, déterminer, sur ce diagramme, la valeur de K permettant d'obtenir, en boucle fermée, un coefficient d'amortissement du système bouclé de 0,45. Déterminer graphiquement, pour la boucle fermée, la pulsation de résonance ω_R du second ordre équivalent. En déduire en boucle fermée, la pulsation propre ω_0 et la pulsation de coupure ω_c . On expliquera le procédé suivi.

Question C-6 : on se propose d'annuler totalement l'erreur statique. Préciser l'élément à intégrer au correcteur afin d'annuler totalement l'erreur statique. Montrer que la fonction $C_{PI}(p)$ qui suit, fonction de transfert d'un correcteur de type proportionnel intégral, satisfait à la condition précédente :

$$C_{PI}(p) = K_p \left(1 + \frac{1}{T_i \cdot p} \right) = K_p \left(\frac{1 + T_i \cdot p}{T_i \cdot p} \right)$$

Choisir ses paramètres caractéristiques. On se fixera comme contraintes de compenser la constante de temps dominante du système et d'avoir un coefficient d'amortissement du système bouclé de 0,45.

Représenter sur le document réponse DR5 de la question C-5, la modification apportée par ce correcteur à la fonction de transfert.

Partie D: analyse de la partie variation de vitesse du robot

Introduction : pour pouvoir déplacer le robot en vitesse variable, deux versions de hacheurs ont été conçues. La première a été réalisée sur la base d'un composant de puissance intégré. La seconde évolution est basée, en ce qui concerne la transmission de puissance, sur des transistors discrets.

La première version du hacheur 4 quadrants a été réalisée avec les transistors intégrés d'un L298 associé à une limitation de courant comme le présente le schéma qui suit.

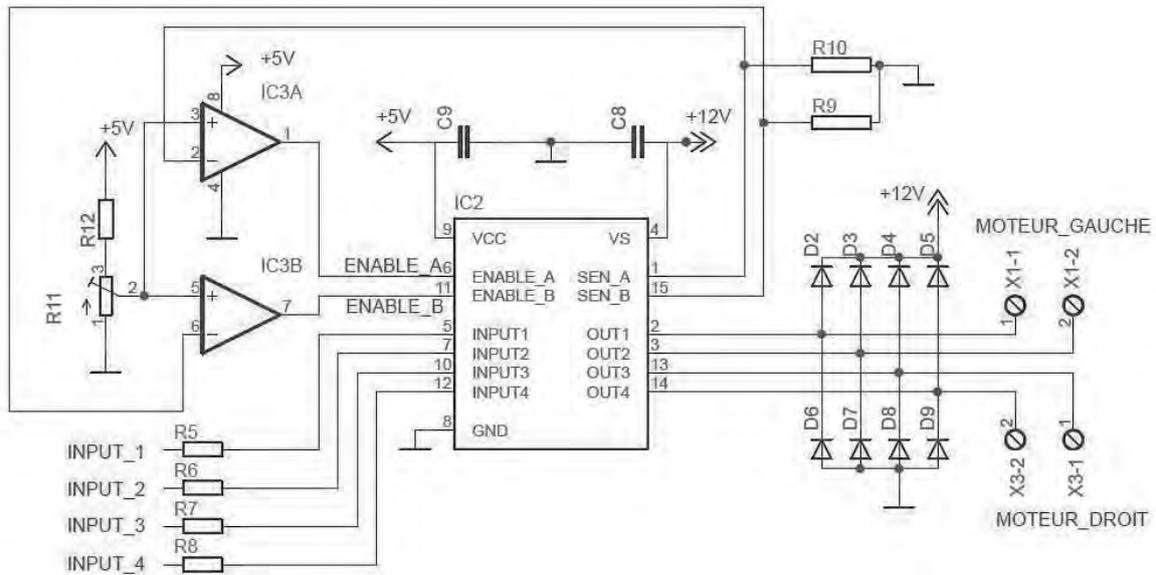


Figure 10.

On souhaite déterminer les signaux de sortie du hacheur en fonction des entrées de commande. On se focalisera sur le bras de pont A lié aux broches d'entrée INPUT1, INPUT2 et ENABLE_A ainsi qu'aux broches de sortie SEN_A, OUT1 et OUT2.

Le schéma interne au L298 est fourni dans la documentation constructeur. On a extrait et complété la partie concernant un bras de pont de ce schéma.

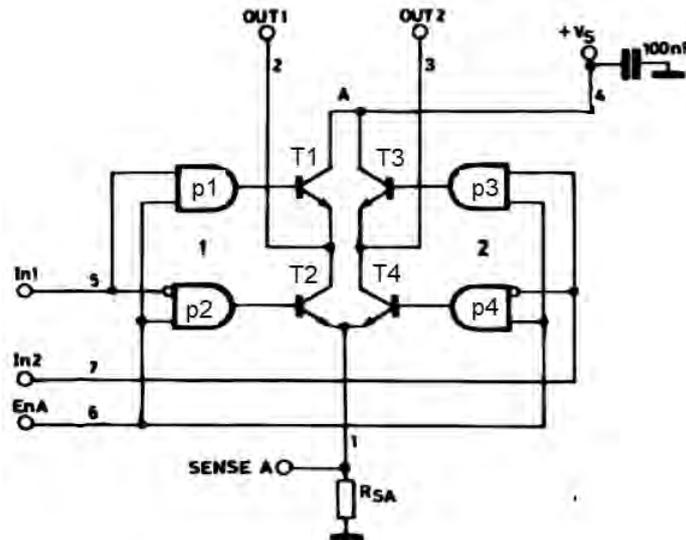


Figure 11

On désire connaître le fonctionnement interne du circuit. Pour ce faire, on va tracer les chronogrammes des divers signaux internes au L298.

Les signaux qui nous intéressent sont In1, In2, EnA, SENSE A, OUT1 et OUT2 de la figure 11.

Pour le tracé, on considère que la résistance R_{SA} n'a aucune influence, que le circuit est chargé entre OUT1 et OUT2 par une résistance. Les portes logiques internes sont alimentées en $V_{CC} = 5V$, l'alimentation de puissance $V_S = 12V$.

Question D-1 : sur le document réponse DR6, représenter les chronogrammes de fonctionnement pour le cas où EnA est au niveau logique « 1 ». Compléter les états des transistors sur les intervalles de temps matérialisés lors du fonctionnement. On utilisera la lettre S pour un transistor saturé et B pour bloqué.

Préciser l'état des transistors lorsque EnA est au niveau logique « 0 ». En déduire, en se basant sur les réponses précédentes, la fonction remplie par cette logique de commande.

Le hacheur est maintenant dans sa configuration de fonctionnement sur moteur à courant continu. Le hacheur peut conduire jusqu'à 2A par pont. On partira de cette limite.

Question D-2 : on a choisi une valeur de $0,25 \Omega$ pour R_{sense} (soit dans notre cas R9 et R10) utilisée pour la limitation de courant.

Justifier la valeur de R_{sense} en vous appuyant sur la documentation constructeur du L298 en annexe 9. Calculer la puissance maximum que doit dissiper cette résistance.

Étude de la limitation de courant

En fonctionnement normal, le courant dans le hacheur ne dépasse pas 1,5 A. On souhaite que la limitation de courant soit effective à partir de cette valeur.

Sur la figure 10, les fonctions comparateur utilisées pour IC3 sont issues du même amplificateur double Rail-to-Rail de référence MC6292 dont un extrait de la documentation technique est fourni en annexe 10.

Question D-3 : calculer la valeur des tensions sur les broches 3 et 5 de l'amplificateur en fonction de α , R11 et R12, avec α , paramètre lié à la position du curseur de R11 ($\alpha = 0$ lorsque les bornes 1 et 2 sont reliées, $\alpha = 1$ lorsque les bornes 3 et 2 sont reliées).

Indiquer la raison pour laquelle le concepteur a choisi un amplificateur Rail-to-Rail.

Comme le comportement est le même sur les 2 bras de pont, on ne travaille que sur la partie A.

Question D-4 : calculer la valeur du rapport des résistances R_{11} / R_{12} qui permettra de limiter le courant à son maximum dans le L298, soit 2 A. Proposer un couple cohérent de valeurs pour R11 et R12 afin que le courant qui circule dans ces deux éléments soit égal à 0,1 mA (on choisira les éléments dans la

série E12, c'est-à-dire parmi les valeurs 1 ; 1,2 ; 1,5 ; 1,8 ; 2,2 ; 2,7 ; 3,3 ; 3,9 ; 4,7 ; 5,6 ; 6,8 ; 8,2).

Préciser ensuite le niveau logique du signal *ENABLE_A* en fonction de l'amplitude de la tension aux bornes de *R10*. Justifier la cohérence du dispositif.

Calcul de la puissance maximum dissipée dans le L298

Lorsque le hacheur L298 est en fonctionnement dans le robot, soit en fonctionnement sur une machine à courant continu, on a pu constater, dans des cas exceptionnels, un échauffement du L298 qui pourrait conduire à sa destruction. C'est le cas, par exemple, lorsqu'une commande arrive au hacheur, que l'on a demandé au robot d'aller à sa vitesse maximale mais que le robot est arrêté, que les roues ne tournent pas et que la limitation de courant est enclenchée.

On supposera, pour simplifier le calcul, que seuls les transistors participent à l'échauffement et que, lorsque la limitation de courant est enclenchée, le courant qui circule dans le L298 est constant et égal à sa valeur limite maximum de 2 A.

On considère que la température d'une jonction en fonctionnement vaut 135 °C, et que la température ambiante est de 25 °C.

Question D-5 : on se placera dans le cas défini précédemment, et on suppose que les transistors du L298 sont tous identiques. On a mesuré la résistance de la machine à courant continu qui vaut $R = 4 \Omega$. Le L298 est en boîtier Multiwatt 15. Calculer la puissance dissipée par le L298.

Indiquer la puissance maximale que peut dissiper le L298 sans dissipateur thermique.

Préciser s'il est nécessaire d'ajouter un dissipateur thermique au L298 et dans l'affirmative, indiquer quelle doit être sa résistance thermique.

Pour pallier ce problème de limite, on a décidé de réaliser un hacheur 4 quadrants à transistors MOSFET discrets comme le présente la figure qui suit :

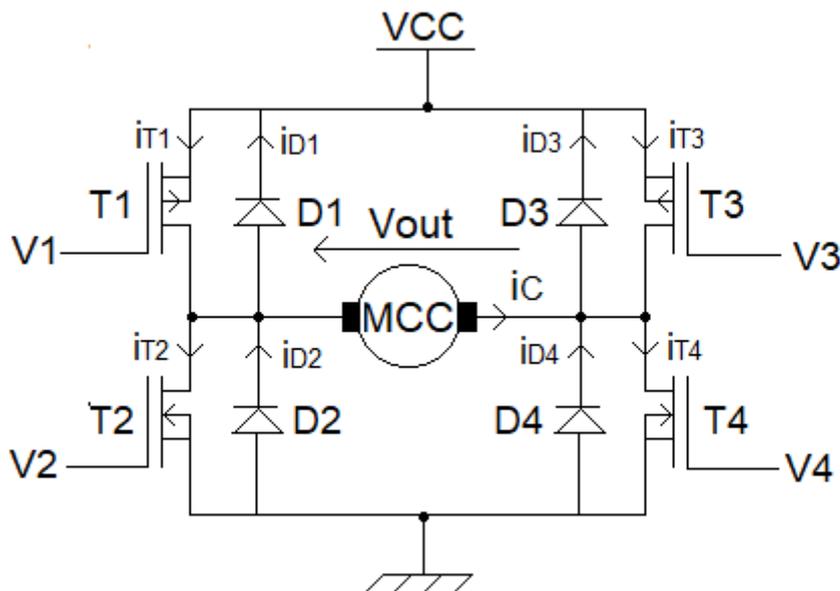


Figure 12

Toutes les grandeurs sont variables en fonction du temps.

Question D-6 : compléter le document réponse DR7 avec le type des transistors, le nom des broches, les tensions de commande et les états.

Pour pouvoir dimensionner les éléments constitutifs de ce hacheur, on souhaite déterminer les formes d'ondes de toutes les grandeurs importantes en fonction des entrées de commande des transistors.

Question D-7 : pour le hacheur de la figure 12, on suppose que le courant $i_c(t)$ est positif et parfaitement constant, de valeur I_c positive pour le tracé des chronogrammes. Les signaux de commandes sont représentés sur le document réponse DR8. Compléter les chronogrammes.

Pour déterminer les pertes dans les transistors MOSFET de puissance, nous allons nous concentrer sur l'un d'entre eux. On considère la structure de test dont le schéma est donné ci-dessous (figure 13) :

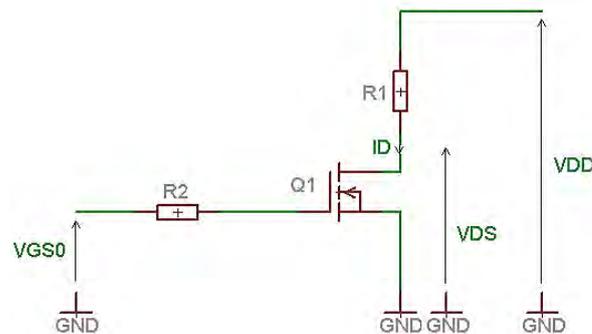


Figure 13

De manière simplifiée en figure 14, on peut considérer que les formes d'ondes pour déterminer les pertes sont les suivantes :

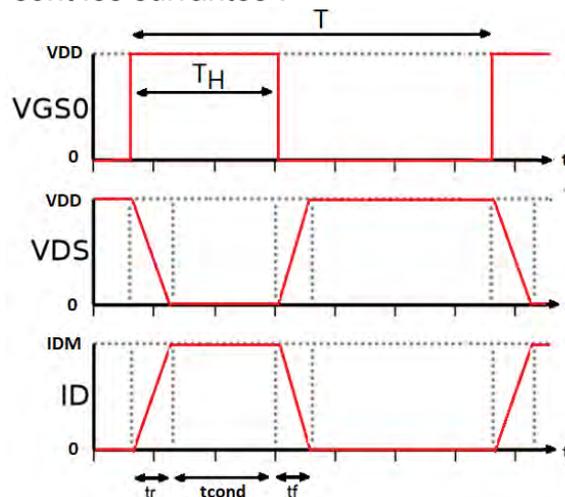


Figure 14

On y retrouve les différentes informations temporelles de mise en conduction et de blocage du transistor. On définit les paramètres t_r (temps de montée du courant I_D), t_f (temps de descente du courant I_D), t_{cond} et I_{DM} (valeur du courant I_D maximum).

Le courant dans le transistor peut être modélisé par une allure trapézoïdale et on peut alors définir les différentes énergies dissipées lors d'une commutation, E_{on} durant t_r , E_{off} durant t_f et E_{cond} sur la partie entre t_r et t_f .

Question D-8 : à partir de la figure 14, donner les équations des courant $I_D(t)$ et des tensions $V_{DS}(t)$ pour les 3 parties suivantes :

- *sur le segment t_r*
- *sur le segment t_{cond}*
- *sur le segment t_f .*

Pour les calculs qui suivent, on conservera les équations trouvées pour les segments t_r et t_f . Pour le segment t_{cond} , il sera nécessaire d'améliorer le niveau de modélisation pour la tension $V_{DS}(t)$.

Question D-9 : déterminer l'énergie dissipée au moment de la mise en conduction notée E_{on} , durant la conduction E_{cond} et durant l'ouverture du transistor E_{off} , en fonction de t_r , t_f , R_{DSon} (paramètre du transistor MOS utilisé), I_{DM} et V_{DD} .

Pour un régime permanent du transistor (signal rectangulaire en commande de fréquence f et de rapport cyclique $\alpha = T_H / T$), déterminer la puissance dissipée en fonction des diverses énergies, puis en fonction de toutes les grandeurs précédentes.

Lors d'une campagne de mesures, nous avons déterminé le pire des cas de fonctionnement du hacheur. On a mesuré la puissance maximale dissipée par chaque transistor notée P_{Tmax} et la puissance maximale dissipée par chaque diode notée P_{Dmax} .

Pour limiter l'échauffement de ces éléments, on associe sur un même dissipateur thermique, à chaque fois, un couple de composants diode et transistor.

Question D-10 : on considère le régime permanent thermique atteint. Déterminer alors le schéma thermique qui permet de modéliser le transfert de chaleur en fonction des diverses puissances, des températures et des résistances thermiques des composants.

Exprimer en fonction des diverses grandeurs, la résistance thermique du dissipateur à choisir.

Une fois cette résistance thermique calculée, indiquer les éléments à prendre en compte pour choisir le dissipateur thermique.

Partie E: analyse du fonctionnement accéléromètre - gyroscope

Introduction : cette partie concerne l'étage capteur et positionnement (boussole, positionnement IR, centrale gyroscopique et inertielle, et positionnement absolu).

Les données fournies par cet étage permettent au robot d'obtenir sa position absolue sur un terrain à l'aide de 3 balises placées à des endroits connus mais aussi de connaître son orientation par rapport au sol, ainsi que par rapport au terrain.

Les modules étudiés sont équipés :

- pour l'orientation par rapport au sol, d'un accéléromètre – gyroscope MPU6050,
- pour l'orientation sur le terrain, d'une boussole électronique CPMS03,
- pour le positionnement absolu, de 4 modules DW1000, dont 1 sur le robot et 3 utilisés en tant que balises fixes.

Étude de l'orientation par rapport au sol - Accéléromètre

La définition des angles utilisés pour caractériser l'attitude du robot (figure 15) est extraite en partie de la documentation constructeur du capteur :

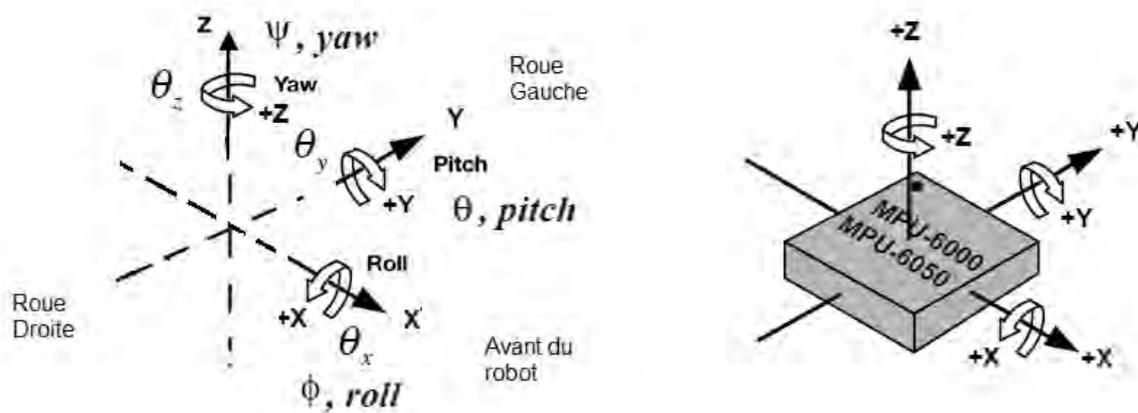


Figure 15

Les termes « roll », « pitch » et « yaw » correspondent respectivement au roulis, tangage et lacet.

Les angles d'Euler (Φ , θ , ψ) correspondent aux diverses rotations autour des axes X (roulis), Y (tangage) et Z (lacet).

On souhaite obtenir, par l'intermédiaire de ce capteur et de la carte électronique qui le met en œuvre, les trois informations angulaires du robot par rapport au sol.

Une position quelconque du robot peut s'apparenter à une combinaison des trois angles de rotation Φ , θ et ψ .

On appellera la base de référence $\{X_REF, Y_REF, Z_REF\}$.

Comme le présente la figure 16 qui suit, le passage d'une référence à l'autre se décompose en trois rotations successives des repères :
 $\{X_REF, Y_REF, Z_REF\} \rightarrow \{X_Φ, Y_Φ, Z_Φ\} \rightarrow \{X_θ, Y_θ, Z_θ\} \rightarrow \{X_ψ, Y_ψ, Z_ψ\}$

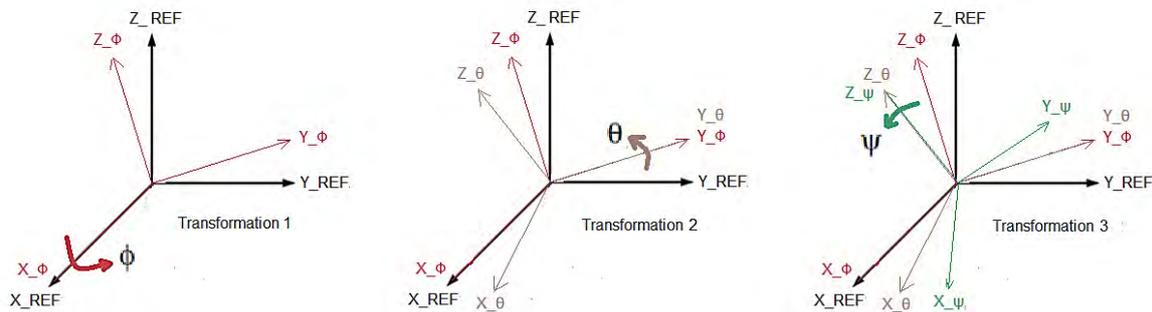


Figure 16

L'accéléromètre fournit 3 grandeurs (acc_x, acc_y, acc_z) qui correspondent à la mesure de la gravité terrestre sur les trois axes dans le repère de l'accéléromètre. Lors d'un déplacement quelconque du robot, il peut y avoir des changements d'orientation sur les trois axes.

Question E-1 : déterminer les trois matrices de rotation $R_x(\Phi)$, $R_y(\theta)$ et $R_z(\psi)$ qui correspondent respectivement aux transformations de 1 à 3.

*En déduire $R_{xyz}(\Phi, \theta, \psi) = R_x(\Phi) * R_y(\theta) * R_z(\psi)$, la matrice totale qui permet de lier le repère final $\{X_\psi, Y_\psi, Z_\psi\}$ au repère de référence $\{X_REF, Y_REF, Z_REF\}$.*

On considèrera, pour simplifier le calcul des angles, que le robot ne se déplace pas. Les grandeurs (acc_x, acc_y, acc_z) mesurées par l'accéléromètre, dans le repère de l'accéléromètre, correspondent alors à la mesure de la gravité terrestre exprimée dans le repère de l'accéléromètre.

(g_x, g_y, g_z) correspondent à la mesure de la gravité terrestre sur les trois axes dans le repère de référence.

Les mesures des accélérations sont algébriques et représentées selon la convention North-East-Down, ce qui signifie que, pour le robot, le repère de référence est orienté pour les axes X_REF, Y_REF, Z_REF respectivement vers le Nord, l'Est et le centre de la terre.

Nous prendrons comme valeurs de la gravité terrestre (g_x, g_y, g_z) = (0,0,1) où 1 représente une fois la valeur de la gravité terrestre sur l'axe z dans le repère de référence.

Question E-2 : exprimer la relation liant (acc_x, acc_y, acc_z), $R_{xyz}(\Phi, \theta, \psi)$ et (g_x, g_y, g_z), puis développer l'expression précédente afin d'exprimer (acc_x, acc_y, acc_z) en fonction de Φ, θ et ψ . Extraire alors les expressions des différents angles calculables.

Étude de l'orientation par rapport au sol – Gyroscope - Problème

Dans le cas proposé, le gyroscope fournit la vitesse angulaire autour des trois axes en rad/s.

Une campagne de mesures dont on a extrait une partie présente les résultats suivants (figure 17):

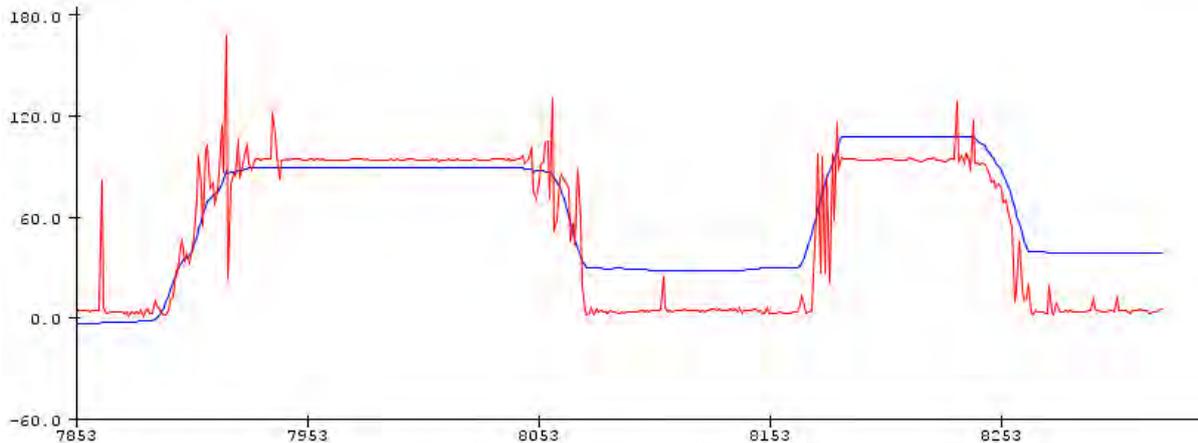


Figure 17

Sur l'axe Y du capteur, on a effectué deux rotations de 90° avec retour à chaque fois en position initiale. Après implantation des formules de calcul dans un microcontrôleur, la position angulaire calculée grâce au gyroscope correspond à la courbe en bleu, celle calculée par les grandeurs fournies par l'accéléromètre est en rouge.

Question E-3 : conclure et justifier à partir de cette campagne la nécessité de prendre en compte les deux signaux pour obtenir une mesure correcte.

Combinaison des données avec filtrage numérique pour remédier au problème mis en évidence à la question précédente

On va donc combiner les données du gyroscope et les données de l'accéléromètre en utilisant le principe de la figure 18.

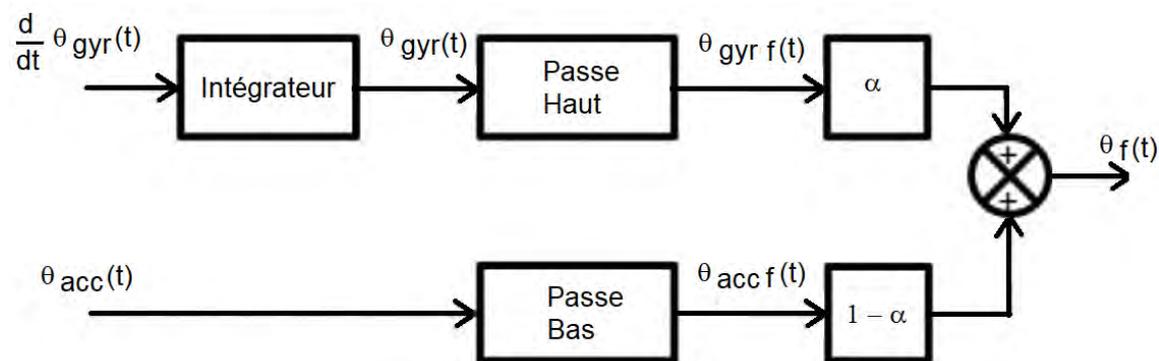


Figure 18

Le gyroscope fournit une vitesse angulaire notée $\frac{d\theta_{gyr}(t)}{dt}$.

L'accéléromètre fournit un angle $\theta_{acc}(t)$.

On a choisi de réaliser les deux filtres Passe-Bas et Passe-Haut d'ordre 1 avec une fréquence de coupure de 5 Hz. La fréquence d'échantillonnage choisie est 100 Hz. Ces deux filtres ne réalisent aucune amplification (l'amplification dans la bande passante est égale à 1).

Question E-4 : justifier le synoptique de la figure 18 à partir des résultats obtenus lors de la campagne de mesure.

Calculer ensuite, à partir de l'approximation numérique de la dérivée la plus simple, les équations aux différences des deux filtres utilisés qui seront implantées dans le microcontrôleur, soit θ_{gyrf} en fonction de θ_{gyr} et θ_{accf} en fonction de θ_{acc} . En déduire l'expression de θ_f en prenant en compte α valeur constante (prorata du Passe-Bas et Passe-Haut).

Etude du positionnement absolu - Trilatération

Le robot doit pouvoir se localiser dans l'espace et dans son environnement.

On considère que celui-ci est un terrain de longueur L et de largeur l.

Trois balises, disséminées à des positions particulières connues, élaborées à partir de modules DW1000, permettent à un récepteur, lui aussi basé sur un DW1000, situé sur le robot, de connaître sa position par mesure des 3 distances entre le robot et les balises. Un microcontrôleur récupère ces 3 distances et par une série de calculs, élabore la position du robot.

Sur la figure 19, on matérialise les balises B1, B2 et B3 par leur centre. Le récepteur R sur le robot est aussi en son centre. Les distances balises – robot correspondent respectivement à d1, d2 et d3.

Schéma de principe

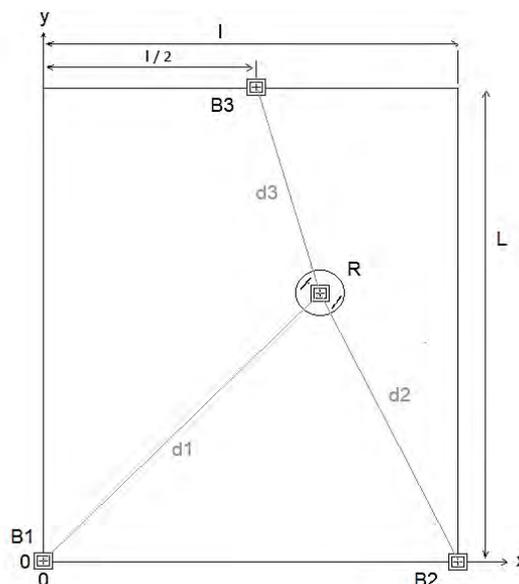


Figure 19

La localisation par trilatération utilise la géométrie des cercles.

Le robot est à l'intersection de 3 cercles dont le centre est, à chaque fois, la position de la balise et dont le rayon correspond à la distance entre la balise et le robot.

Question E-5 : dans le repère x, y , donner les coordonnées de chacune des balises et du robot (on affectera aux différentes grandeurs, l'indice 1, 2, 3 ou R, selon qu'elles sont associées respectivement aux balises 1, 2 et 3 et au robot). Exprimer ensuite les coordonnées du robot.

Partie F: analyse de la fonction élévatrice de tension

Pour augmenter la vitesse du robot, on propose d'augmenter la tension d'alimentation des moteurs. On utilise un hacheur élévateur ou parallèle, dont on donne le schéma de principe en figure 20.

On nomme le transistor T, l'inductance L_p , la diode D et le condensateur C. La résistance R représente la charge du hacheur élévateur. Le paramètre α représente le rapport cyclique du signal de commande V_c (soit le rapport de la durée au niveau haut du signal de commande divisée par la période de ce même signal).

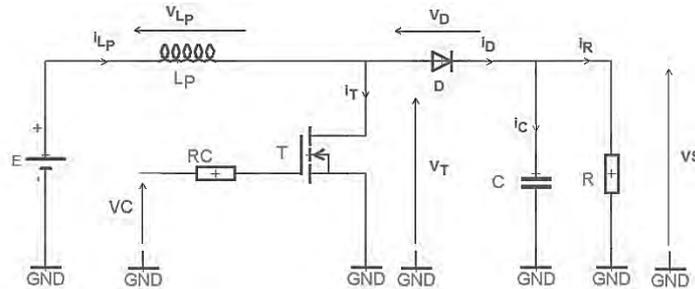


Figure 20

Question F-1 : en supposant chaque composant idéal et en se plaçant dans le cas d'une conduction continue, en régime permanent, compléter sur le document réponse DR9 les chronogrammes de fonctionnement de l'alimentation. On considérera pour le tracé que la tension V_S est égale à $2 \cdot E$ et que le courant dans l'inductance L_p est compris entre I_{max} et I_{min} .

Question F-2 : dans le cas général, calculer V_S en fonction de α et des autres constituants du circuit. En déduire la valeur du rapport cyclique α permettant de doubler la tension aux bornes de la charge R (ce qui correspondra, dans le cadre de l'utilisation du robot, à doubler la tension d'alimentation des moteurs).

On conservera cette valeur de α par la suite.

On veut limiter l'ondulation crête à crête de la tension de sortie V_S du hacheur à $\Delta V_S = 0,1$ V pour $E = 12$ V. La fréquence de découpage est de 30 kHz. On souhaite, de plus, que l'amplitude de l'ondulation du courant dans l'inductance L_p soit limitée à 200 mA, soit 20% du courant moyen débité par le hacheur.

Question F-3 : déterminer la valeur de l'ondulation de courant $\Delta I = I_{max} - I_{min}$ et en déduire les valeurs des courants I_{max} et I_{min} . Déterminer alors la valeur de l'inductance L_p ainsi que la valeur du condensateur de sortie C (choix dans la série E12).

Question F-4 : déterminer l'énergie maximale E_{ML} stockée par l'inductance L_p et indiquer où cette énergie est stockée, puis calculer le volume minimal V_{min} du circuit magnétique nécessaire pour stocker cette énergie E_{ML} en limitant l'induction à 200 mT. Déterminer, ensuite, si l'on souhaite limiter la densité de courant δI à $2,5$ A/mm², le diamètre D_f du fil de cuivre que l'on bobinera.

On rappelle que l'énergie maximale E_{ML} que peut stocker un circuit magnétique de volume effectif V , de perméabilité effective μ_0 et traversé par une induction

$$B \text{ est donnée par : } E_{ML} = \frac{B^2}{2\mu_0} V \text{ avec } \mu_0 = 4 * \pi * 10^{-7} \text{ Hm}^{-1}$$

Question F-5 : à l'aide des documentations des condensateurs en annexe 11, expliquer le choix d'un condensateur aluminium électrolytique ou polymère solide plutôt que celui d'un tantale. Justifier la raison pour laquelle on utilisera pour réaliser l'inductance L_p , un circuit magnétique composé d'une ferrite ou d'un mélange de fer-silicium.

Pour réaliser l'inductance L_p , on ne bobine pas un conducteur simple, mais une multitude de conducteurs très fins, isolés. Indiquer le phénomène électromagnétique que ce type de bobinage permet d'atténuer et nommer le fil ainsi constitué.

Partie G: analyse de la fonction odométrie

L'odométrie permet, par la mesure individuelle des déplacements des roues, de connaître la position du robot en mouvement.

On part d'une position initiale connue et, par intégration des déplacements mesurés, on peut déterminer à tous les instants la position du robot.

On désire déterminer un modèle du robot au centre des roues qui nous permettra de piloter celui-ci.

Détermination de la vitesse d'une roue du robot

Rappel :

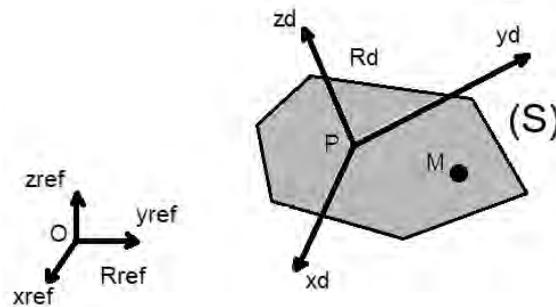


Figure 21

En figure 21, sur un solide indéformable (S), le repère $R : (P, \vec{X}_d, \vec{Y}_d, \vec{Z}_d)$ est lié à (S).

Si on connaît la vitesse de rotation du solide (S) par rapport au repère référence $R_0 : (O, \vec{X}_{ref}, \vec{Y}_{ref}, \vec{Z}_{ref})$, notée $\vec{\Omega}_{S/R_0} = \vec{\Omega}_{R/R_0}$, on peut montrer que la vitesse d'un point

M du solide est liée à la vitesse du point P par la relation suivante :

$$\vec{V}_M = \vec{V}_P + \vec{\Omega}_{S/R_0} \wedge \vec{PM}$$

Noter que dans cette partie, on considère que les vitesses linéaire et de rotation que l'on définira sont déterminées par rapport au référentiel R_0 .

On considère dans ce qui suit le modèle (roue, sol) suivant (figure 22) :

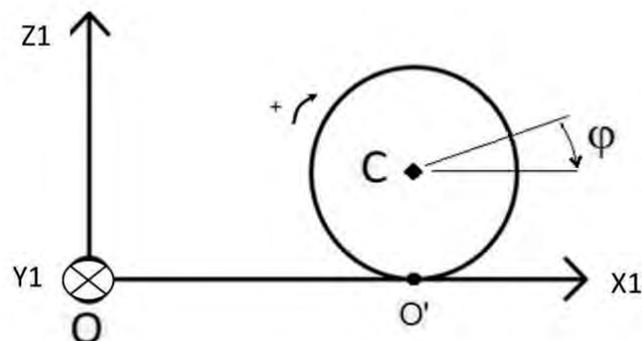


Figure 22

On supposera pour la suite de la modélisation que le contact entre la roue et le sol (au point O') est ponctuel, qu'il n'y a pas de glissement, que les roues ne se déforment pas et on négligera l'épaisseur des roues.

C est le centre de la roue, $\bar{\varphi}$ est la position angulaire et $\bar{\Omega}$ est la vitesse angulaire de la roue. On considère $R_0(O, \bar{X}_1, \bar{Y}_1, \bar{Z}_1; t)$ le référentiel lié au sol (S_0) et $R_1(C, \bar{X}_1, \bar{Y}_1, \bar{Z}_1; t)$ le référentiel lié à la roue (S_1).

Question G-1 : étant donnée la vitesse du centre de la roue par rapport à R_0 et compte tenu des hypothèses, préciser ce que vaut la vitesse du point O' appartenant à la roue $\bar{V}_{O'R_0}$. En déduire la relation entre la vitesse linéaire du point C et la vitesse angulaire de la roue.

Détermination d'un modèle du robot au point O_R placé au centre des roues dans le repère (x,y)

Les dimensions importantes du robot sont fournies sur la figure 23.

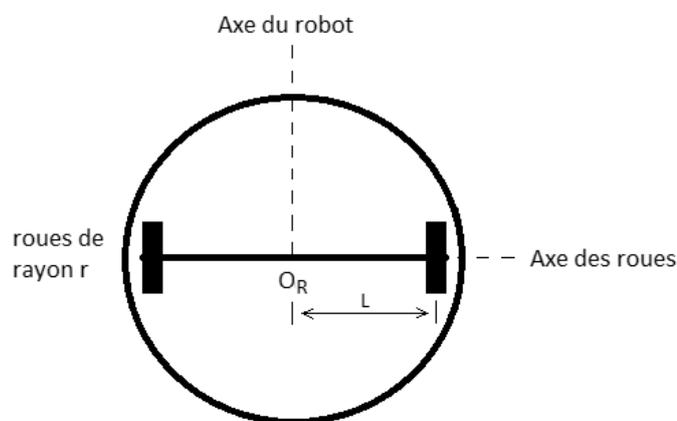


Figure 23

On considère maintenant connus :

L : distance entre une roue et le centre O_R du robot

r : rayon de chacune des roues

Une position quelconque du robot est représentée sur la figure 24.

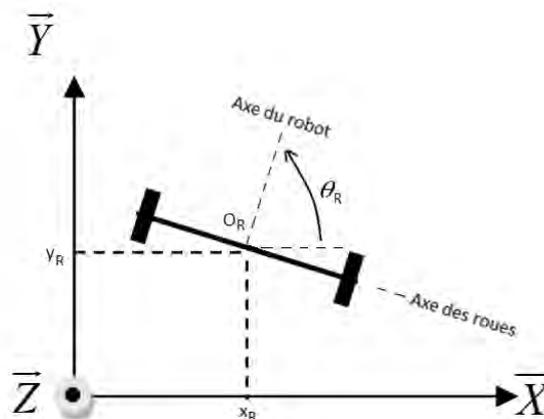


Figure 24

x_R, y_R, θ_R : posture du robot ou x_R et y_R correspondent à la position du robot (position du centre du robot O_R) et θ_R à l'orientation du robot.

Les grandeurs utilisées pour les calculs sont présentées sur la figure 25.

On appellera V_{Rd} , V_{Rg} et V_R , respectivement, la vitesse linéaire de la roue droite, celle de la roue gauche et celle du centre O_R du robot.

On appellera $\dot{\varphi}_{Rd}$, et $\dot{\varphi}_{Rg}$, respectivement, la position angulaire dans le plan de la roue respectivement de la roue droite et de la roue gauche du robot.

ρ correspond à la distance entre le centre instantané de rotation et le centre O_R du robot et ω_R est la vitesse de rotation du robot autour du centre instantané de rotation.

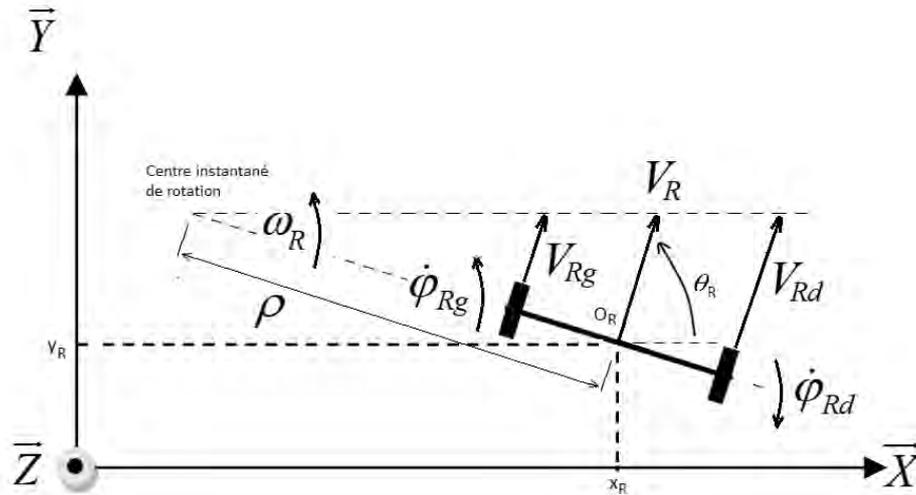


Figure 25

Question G-2 : en considérant un mouvement quelconque, calculer les vitesses linéaires des roues droite et gauche V_{Rd} , V_{Rg} en fonction de $\dot{\varphi}_d$, $\dot{\varphi}_g$ et r .
 Exprimer ensuite les vitesses linéaires des roues droite et gauche V_{Rd} , V_{Rg} en fonction de ρ , L et ω_R . Extraire des équations précédentes les valeurs de ρ et de ω_R .
 Justifier la validité des résultats dans les deux cas limites : le robot va en ligne droite et le robot tourne sur place.

Question G-3 : on considère que la vitesse de rotation du robot autour de son centre de gravité est la même que celle autour de son centre instantané de rotation.

Exprimer la relation liant θ_R et ω_R .

Donner alors le modèle du robot (valeurs de la vitesse linéaire du centre de gravité et de la vitesse de rotation du robot autour du centre de gravité). En déduire les relations qui lient les dérivées de x_R , y_R , θ_R à V_R et ω_R .

Question G-4 : proposer un algorithme qui permettrait d'implanter cette odométrie dans le robot.

Dimensionnement des éléments utiles au fonctionnement du capteur.

Pour pouvoir renseigner le robot avec son odométrie, il faut mesurer la vitesse des roues.

Au niveau mécanique, pour une roue, le système de mesure est constitué d'un disque et de deux capteurs optiques à fourche décalés par rapport au disque. Ces deux capteurs vont nous permettre d'obtenir 2 signaux que l'on nommera A et B. Le signal A est un signal carré dont la fréquence sera proportionnelle à la vitesse. Le signal B, quant à lui, à la même forme que le signal A mais est décalé de + ou - un quart de période suivant le sens de rotation de la roue.

On s'intéresse à la partie électronique et plus particulièrement à la façon d'élaborer les signaux carrés et à leur mise en forme.

La structure utilisée est celle présentée sur le schéma suivant (figure 26) et correspond à un seul des capteurs :

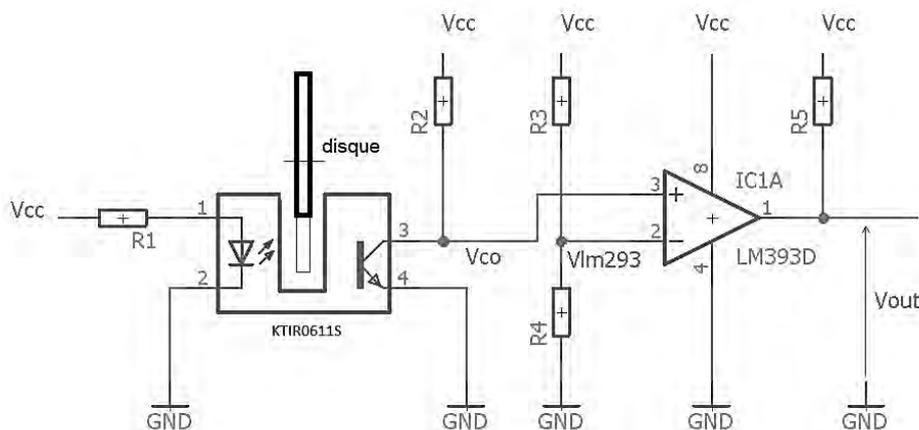


Figure 26

Les capteurs utilisés sont des KTIR0611S dont la documentation est fournie en annexe 12. La documentation du LM393 est fournie en annexe 13.

L'alimentation V_{cc} de la structure est de 5 V. La LED du capteur à fourche est parcourue par un courant de 20 mA. Le transistor de sortie du capteur doit être juste saturé lorsque le disque n'obture pas la lumière transmise.

Question G-5 : calculer les valeurs des résistances R_1 et R_2 . Calculer l'amplitude de la tension V_{Im293} , sachant que les deux résistances R_3 et R_4 sont identiques. Préciser alors la fonction remplie par le composant IC1A. Justifier la valeur choisie de $10\text{ K}\Omega$ pour la résistance R_5 .

Remplir le tableau du document réponse DR9 concernant V_{co} et V_{out} pour les deux positions principales du disque.

Utilisation de l'odométrie pour asservir le robot

Connaissant les vitesses des roues droite et gauche par l'intermédiaire du système de mesure, on pourrait asservir directement les deux vitesses, comme le présente le schéma de principe suivant (figure 27) :

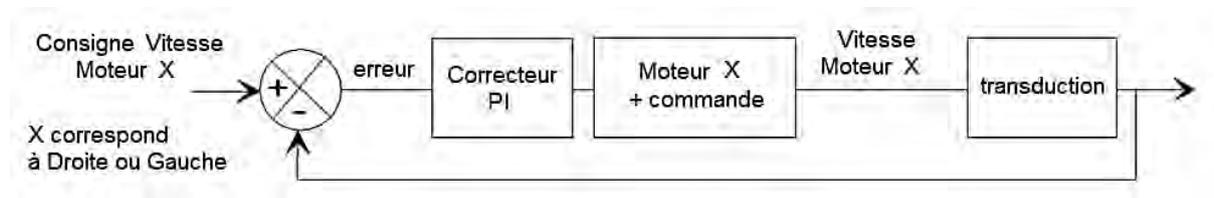


Figure 27

Cette méthode d'asservissement fonctionne, mais est perfectible.

Comme on a calculé précédemment en fonction du modèle du robot, la valeur de la vitesse linéaire du robot ainsi que sa vitesse de rotation autour de son centre de gravité, on préfère asservir ces deux grandeurs.

Question G-6 : en complétant le document réponse DR9, modéliser le double asservissement de la valeur de la vitesse linéaire et de la vitesse de rotation qui sera implanté dans le robot.

Partie H: analyse d'un code programmé

Introduction : Elaboration du code par génération automatique avec Matlab Simulink.

Toutes les cartes du robot contiennent des microcontrôleurs. Le langage de programmation utilisé pour la programmation de toutes les cartes est le langage C. Certaines de ces cartes ont été programmées directement en langage C. Pour d'autres, on a utilisé un système de génération de code automatique.

Des extraits de la documentation du microcontrôleur dsPIC 30F4011 sont fournis en annexe 14.

La méthode consiste à réaliser le schéma bloc, dans Matlab Simulink (figure 28), d'une boucle du programme principal comme le présente le schéma suivant :

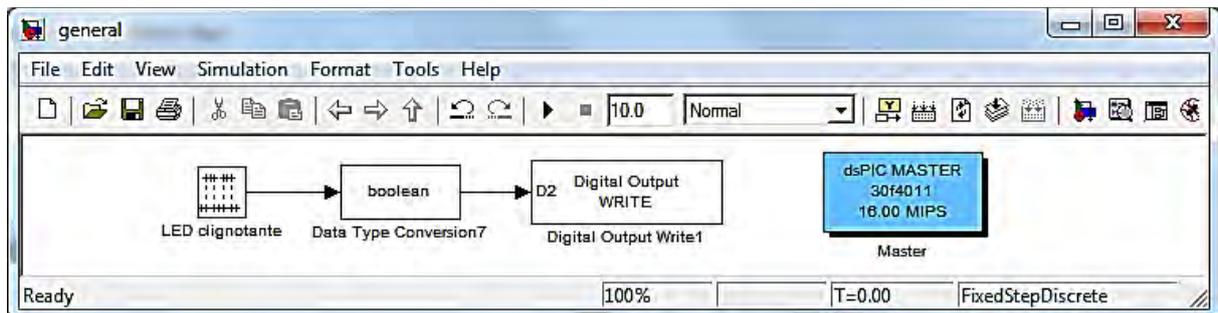


Figure 28

Une autre fenêtre de paramètres (figure 29) est importante :

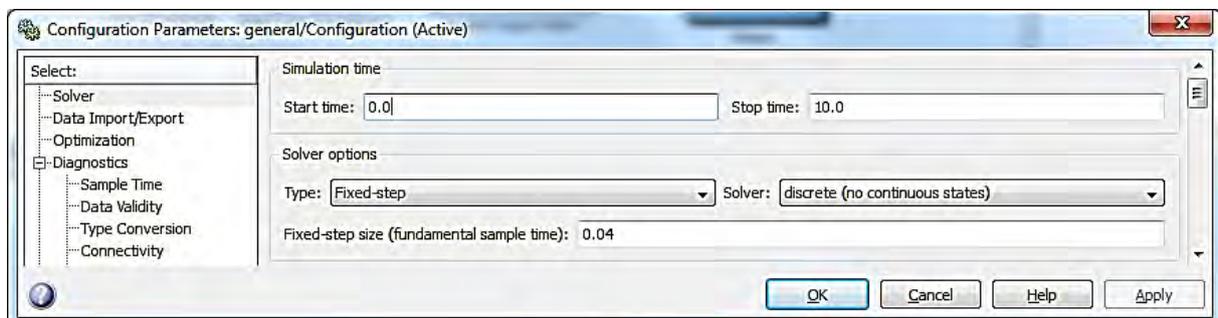


Figure 29

Celle-ci précise la période de répétition du programme soit ici une exécution toute les 0,04 s (notée « fundamental sample time »).

Dans la figure 28, le bloc dsPIC MASTER indique le type de microcontrôleur utilisé, ici un dsPIC 30F4011 et par l'intermédiaire de la valeur en MIPS, la manière dont est gérée sa fréquence d'horloge (ici le nombre d'instructions exécutées par seconde est de 16000000 soit 16MIPS).

Si on regarde en détails (Figures 30 et 30bis) ce que contient ce bloc, on retrouve la configuration de l'oscillateur du dsPIC.

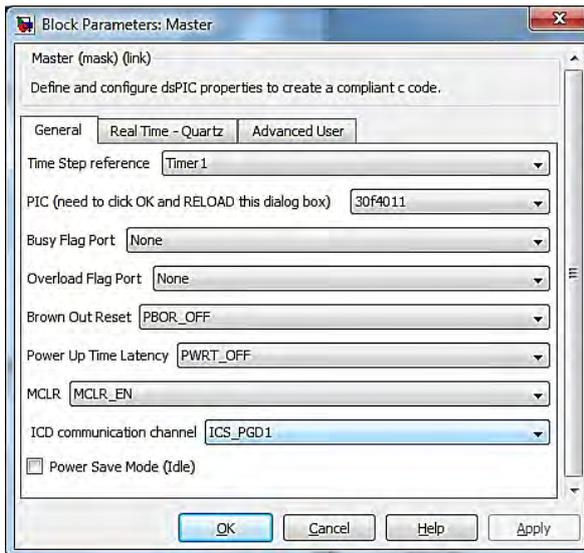


Figure 30

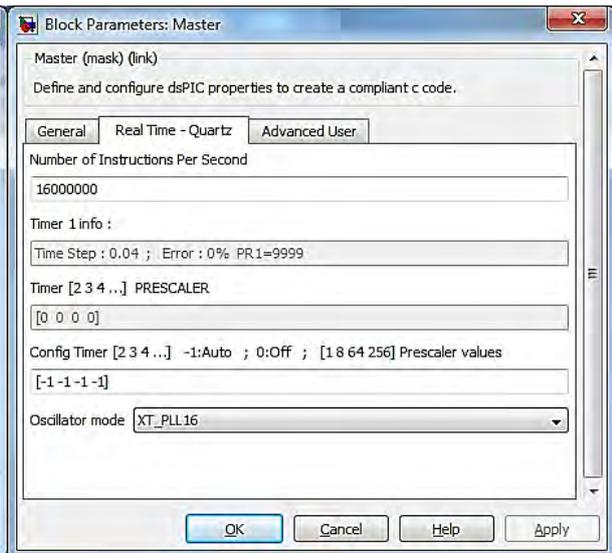


Figure 30bis

Dans le cas présent, le dsPIC fonctionne sur la base d'un quartz 4MHz (mode XT).

Sur les figures 30 et 30bis, on peut noter que le cadencement de la boucle principale du programme est effectué par le Timer1 et, de plus, que l'on a mis en route la boucle à verrouillage de phase (XT_PLL16) en mode x 16.

Dans la fenêtre figure 28, les 3 blocs (LED clignotante, Data Type Conversion7 et Digital Output Write1) représentent un pas de calcul. Dans ce cas, comme exemple, on désire faire clignoter une led connectée par l'intermédiaire d'une résistance sur la broche 2 du port D qui en contient 4 référencées de RD0 à RD3.

Les configurations choisies pour le générateur sont présentées en figure 31 :

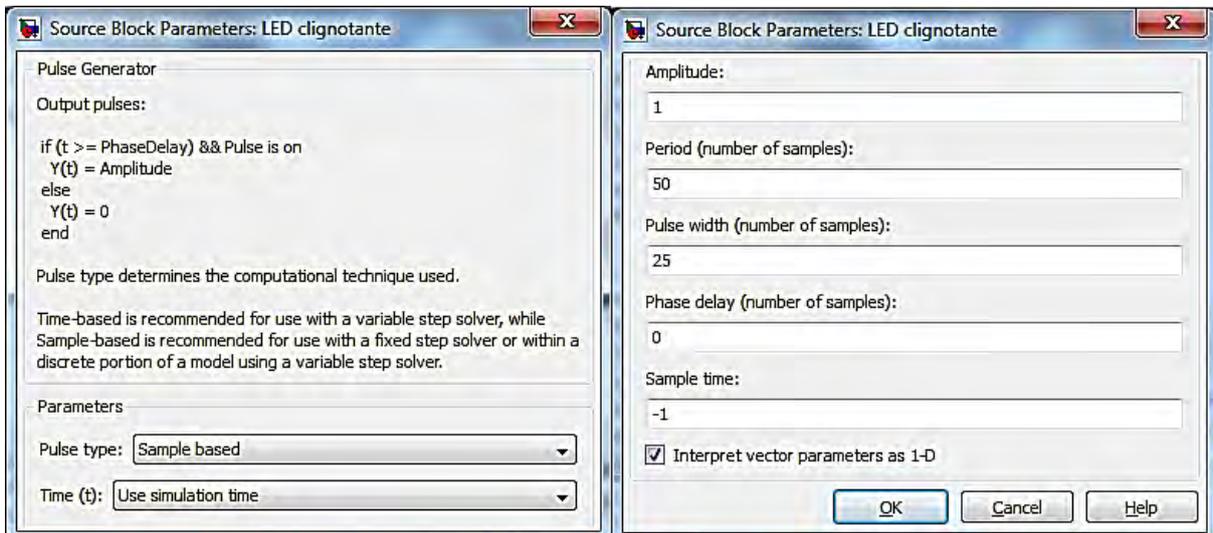


Figure 31

Le paramètre Sample time égal à -1 signifie que le générateur est cadencé à la vitesse de la boucle principale soit 0,04 s.

La génération automatique de code de Matlab Simulink fournit alors, comme code correspondant à l'application, le résultat proposé dans le document réponse DR10.

Question H-1 : compléter les cases vides du document réponse DR10 en proposant les commentaires du code généré.

Question H-2 : justifier, par l'étude du fonctionnement du Timer1, la période de répétition de la boucle de 0,04 s.

Calculer la valeur de la fréquence du signal présent sur RD2. Justifier ce résultat sur la base du code fourni et de la vitesse de la boucle principale de 0,04 s.

Annexe 1


IQD Frequency Products
Incorporating IQD FOQ GmbH
Crystal Specification
Model: HC49/4H
ISSUE 15; September 2012 - RoHS 2011/65/EU
Description

- Industry standard leaded package
- Resistance welded, hermetically sealed in an inert atmosphere, glass to metal seals on leads
- Variants available include but are not limited to -
- 3L = a centre mounted third leg grounds the can
- Low profile versions available please contact our sales offices for details
- Please see our HC49/4HSMX for a SMD alternative

Frequency Range

- Frequency 3.2 to 100.0MHz
- Frequency Stability $\pm 15.00\text{ppm}$
- Frequency Tolerance $\pm 10\text{ppm}$ to $\pm 100\text{ppm}$

General Specification

- Load Capacitance (CL) 10.0pF to 75.0pF or Series
- Drive Level 500 μ W max
- Ageing $\pm 5\text{ppm}$ typical per year at 25°C
- Shunt Capacitance (C0) 7pF max

Operating Temperature Ranges

- 0 to 50°C
- -10 to 60°C
- -20 to 70°C
- -30 to 80°C
- -40 to 85°C
- -55 to 105°C

Frequency Parameters

- Ageing: $\pm 1\text{ppm}$ available on request

Environmental Parameters

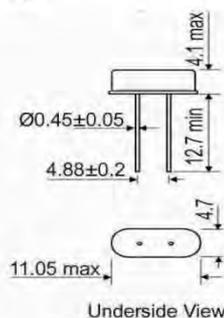
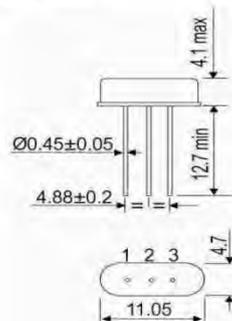
- Storage Temperature Range: -55 to 125°C
- Shock: 981m/s², 6ms, 3 times in each of 3 mutually perpendicular planes
- Vibration: 10Hz-60Hz, 0.75mm amplitude, 60Hz-500Hz, 98.1m/s², 30mins in 3 mutually perpendicular planes

Ordering Information

- Frequency*
- Model*
- Frequency Tolerance (@ 25°C)*
- Frequency Stability (over operating temperature range)*
- Operating Temperature Range*
- Load Capacitance*
- Overtone*
- (*minimum required)
- Example
- 10.0MHz HC49/4H
- 50/50/-40 to 85C/10 FUND

Packing Details

- Pack Style: Bulk Loose in Bulk pack
- Pack Size 100
- Pack Style: Reel Tape and reel in accordance with EIA-468-C
- Pack Size 1,000


Outline (mm)

-3L = 3 Lead


- Pin connections
1. Crystal
 2. Case & GND
 3. Crystal

Sales Office Contact Details:

UK: +44 (0)1460 270200
 Germany: +49 (0)7264 9145-0

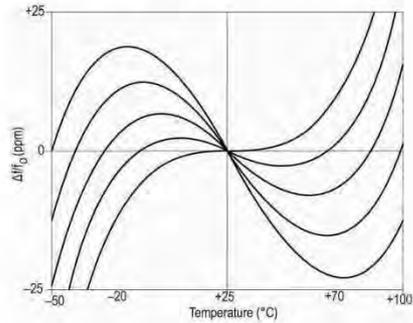
France: +33 (0)5 34 50 91 18
 USA: +1 (0)408.273.4530

Email: info@iqdfrequencyproducts.com
 Web: www.iqdfrequencyproducts.com



- Alternative packing options available

Typical Frequency vs Temperature Curves



Electrical Specification - maximum limiting values

Frequency Range	Frequency Tolerance	Stability		Temperature Range	ESR Max	Vibration Mode
		Min	Max			
3.2 to <4.0MHz	±10ppm to ±100ppm	±15ppm ±20ppm ±20ppm ±25ppm ±30ppm ±100ppm	±500ppm	0 to 50°C -10 to 60°C -20 to 70°C -30 to 80°C -40 to 85°C -55 to 105°C	300Ω	Fundamental
4.0 to <5.5MHz	±10ppm to ±100ppm	±15ppm ±20ppm ±20ppm ±25ppm ±30ppm ±100ppm	±500ppm	0 to 50°C -10 to 60°C -20 to 70°C -30 to 80°C -40 to 85°C -55 to 105°C	130Ω	Fundamental
5.5 to <8.0MHz	±10ppm to ±100ppm	±15ppm ±20ppm ±20ppm ±25ppm ±30ppm ±100ppm	±500ppm	0 to 50°C -10 to 60°C -20 to 70°C -30 to 80°C -40 to 85°C -55 to 105°C	60Ω	Fundamental
8.0 to <40.0MHz	±10ppm to ±100ppm	±15ppm ±20ppm ±20ppm ±25ppm ±30ppm ±100ppm	±500ppm	0 to 50°C -10 to 60°C -20 to 70°C -30 to 80°C -40 to 85°C -55 to 105°C	40Ω	Fundamental
26.0 to <100.0MHz	±10ppm to ±100ppm	±15ppm ±20ppm ±20ppm ±25ppm ±30ppm ±100ppm	±500ppm	0 to 50°C -10 to 60°C -20 to 70°C -30 to 80°C -40 to 85°C -55 to 105°C	100Ω	3RD Overtone

Sales Office Contact Details:

UK: +44 (0)1460 270200
Germany: +49 (0)7264 9145-0

France: +33 (0)5 34 50 91 18
USA: +1 (0)408.273.4530

Email: info@iqdfrequencyproducts.com
Web: www.iqdfrequencyproducts.com

dsPIC33F Family Reference Manual

Register 48-1: FOSCSEL: Oscillator Source Selection Register

U	U	U	U	U	U	U	U
—	—	—	—	—	—	—	—
bit 15							bit 8

R/P	U	U-0	U	U	R/P	R/P	R/P
IESO	—	—	—	—	FNOSC<2:0>		
bit 7							bit 0

Legend:

R = Readable bit	P = Programmable bit	U = Unused bits, program to Logic '1'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared x = Bit is unknown

bit 15-8 **Reserved:** Reserved bits must be programmed as '1'

bit 7 **IESO:** Internal External Start-up Option bit

1 = Start device with internal FRC, and then automatically switch to the user-selected oscillator source when ready

0 = Start device with user-selected oscillator source

bit 6 **Reserved:** Reserved bits must be programmed as '1'

bit 5 **Unimplemented:** Read as '0'

bit 4-3 **Reserved:** Reserved bits must be programmed as '1'

bit 2-0 **FNOSC<2:0>:** Initial Oscillator Source Selection bits

111 = Fast RC oscillator with Divide-by-N (FRCDIVN)

110 = Fast RC oscillator with Divide-by-16 (FRCDIV16)

101 = Low-Power RC oscillator (LPRC)

100 = Secondary oscillator (Sosc)

011 = Primary oscillator with PLL (XTPLL, HSPLL, ECPLL)

010 = Primary oscillator (XT, HS, EC)

001 = Fast RC oscillator with PLL (FRCPLL)

000 = Fast RC oscillator (FRC)

Section 48. Oscillator (Part V)

Register 48-2: FOSC: Oscillator Configuration Register

U	U	U	U	U	U	U	U
—	—	—	—	—	—	—	—
bit 15							bit 8

R/P	R/P	R/P	U	U	R/P	R/P	R/P
FCKSM<1:0>		IOL1WAY	—	—	OSCIOFNC	POSCMD<1:0>	
bit 7							bit 0

Legend:

R = Readable bit

P = Programmable bit

U = Unused bits, program to Logic '1'

-n = Value at POR

'1' = Bit is set

'0' = Bit is cleared

x = Bit is unknown

bit 15-8 **Reserved:** Reserved bits must be programmed as '1'bit 7-6 **FCKSM<1:0>:** Clock Switching Mode bits

1x = Clock switching is disabled, Fail-Safe Clock Monitor is disabled

01 = Clock switching is enabled, Fail-Safe Clock Monitor is disabled

00 = Clock switching is enabled, Fail-Safe Clock Monitor is enabled

bit 5 **IOL1WAY:** Peripheral Pin Select Configuration bit⁽¹⁾

1 = Allow only one reconfiguration

0 = Allow multiple reconfigurations

bit 4-3 **Reserved:** Reserved bits must be programmed as '1'bit 2 **OSCIOFNC:** OSC2 Pin Function bit (except in XT and HS modes)

1 = OSC2 is clock output and instruction cycle (Fcy) clock is output on OSC2 pin

0 = OSC2 is a general purpose digital I/O pin

bit 1-0 **POSCMD<1:0>:** Primary Oscillator Mode Selection bits

11 = Primary oscillator is disabled

10 = HS (High-Speed) Crystal oscillator mode

01 = XT (Crystal) oscillator mode

00 = EC (External Clock) mode

Note 1: The IOL1WAY bit is not available on all dsPIC33F devices. Refer to the specific device data sheet for more information.

dsPIC33F Family Reference Manual

48.4 SPECIAL FUNCTION REGISTERS (SFRs)

These Special Function Registers provide run-time control and status of the oscillator system:

- **OSCCON: Oscillator Control Register**

The Oscillator Control (OSCCON) register controls clock switching and provides status information that allows the current clock source, PLL lock, and clock fail conditions to be monitored.

- **CLKDIV: Clock Divisor Register**

The Clock Divisor (CLKDIV) register controls Doze mode and selects the PLL prescaler, PLL postscaler and FRC postscaler.

- **PLLFBF: PLL Feedback Divisor Register**

The PLL Feedback Divisor (PLLFBF) register selects the PLL feedback divisor.

- **OSCTUN: Oscillator Tuning Register**

The FRC Oscillator Tuning (OSCTUN) register is used to tune the frequency of the internal FRC oscillator from -12% to +11.625% (30 kHz steps) of the nominal frequency value. The nominal or tuned frequency of the FRC oscillator is expected to remain within $\pm 2\%$ of the tuned value over the temperature and voltage variations of a particular device.

- **OSCTUN2: Oscillator Tuning Register 2**

The OSCTUN and the OSCTUN2 registers enable the PWM to operate in Frequency Sequencing mode. These registers allow the user application to select a sequence of eight different FRC TUN values to vary the system frequency with each rollover of the primary PWM time base.

- **LFSR: Linear Feedback Shift Register**

The Linear Feedback Shift Register is used to implement the Pseudo Random Clock Dither (PRCD) logic.

- **ACLKCON: Auxiliary Clock Control Register**

The Auxiliary Clock Control (ACLKCON) register controls the auxiliary PLL mode and the auxiliary PLL clock divider.

- **REFOCON: Reference Oscillator Control Register**

The reference clock output provides a clock signal to any remappable pin (RPx). The reference clock can be either the external oscillator or the system clock.

Note: The Oscillator Special Function Registers (OSCCON, CLKDIV, PLLFBF, OSCTUN, and ACLKCON) are reset only on Power-on Reset.

Section 48. Oscillator (Part V)

Register 48-3: OSCCON: Oscillator Control Register

U-0	R-0	R-0	R-0	U-0	R/W-y	R/W-y	R/W-y
—	COSC<2:0>			—	NOSC<2:0>		
bit 15				bit 8			

R/W-0	U-0	R-0	R/W-0	R/C-0	R/W-0	R/W-0	R/W-0
CLKLOCK	—	LOCK	PRCDEN	CF	TSEQEN	LPOSCEN	OSWEN
bit 7				bit 0			

Legend:	y = Value set from Configuration bits on POR	C = Clearable bit
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared
		x = Bit is unknown

bit 15	Unimplemented: Read as '0'
bit 14-12	COSC<2:0>: Current Oscillator Selection bits (read-only) 111 = Fast RC oscillator (FRC) with Divide-by-N 110 = Fast RC oscillator (FRC) with Divide-by-16 101 = Low-Power RC oscillator (LPRC) 100 = Secondary oscillator (Sosc) 011 = Primary oscillator (XT, HS, EC) with PLL 010 = Primary oscillator (XT, HS, EC) 001 = Fast RC oscillator (FRC) with PLL 000 = Fast RC oscillator (FRC)
bit 11	Unimplemented: Read as '0'
bit 10-8	NOSC<2:0>: New Oscillator Selection bits 111 = Fast RC oscillator (FRC) with Divide-by-N 110 = Fast RC oscillator (FRC) with Divide-by-16 101 = Low-Power RC oscillator (LPRC) 100 = Secondary oscillator (Sosc) 011 = Primary oscillator (XT, HS, EC) with PLL 010 = Primary oscillator (XT, HS, EC) 001 = Fast RC oscillator (FRC) with PLL 000 = Fast RC oscillator (FRC)
bit 7	CLKLOCK: Clock Lock Enable bit <u>If clock switching is enabled and FSCM is disabled, (FOSC<FCKSM> = 0b01):</u> 1 = Clock switching is disabled, system clock source is locked 0 = Clock switching is enabled, system clock source can be modified by clock switching
bit 6	Unimplemented: Read as '0'
bit 5	LOCK: PLL Lock Status bit (read-only) 1 = Indicates that PLL is in lock, or PLL start-up timer is satisfied 0 = Indicates that PLL is out of lock, start-up timer is in progress or PLL is disabled
bit 4	PRCDEN: Pseudo Random Clock Dither Enable bit 1 = Pseudo random clock dither is enabled 0 = Pseudo random clock dither is disabled
bit 3	CF: Clock-Fail Detect bit (read/clear by application) 1 = FSCM has detected clock failure 0 = FSCM has not detected clock failure
bit 2	TSEQEN: FRC Tune Sequencer Enable bit 1 = The TUN<3:0>, TSEQ1<3:0>, ..., TSEQ7<3:0> bits in the OSCTUN and the OSCTUN2 registers sequentially tune the FRC oscillator. Each field being sequentially selected via the ROLL<2:0> signals from the PWM module. 0 = The TUN<3:0> bits in the OSCTUN register tune the FRC oscillator

dsPIC33F Family Reference Manual

Register 48-3: OSCCON: Oscillator Control Register (Continued)

- bit 1 **LPOSCEN:** Secondary (LP) Oscillator Enable bit
 1 = Enable secondary oscillator
 0 = Disable secondary oscillator
- bit 0 **OSWEN:** Oscillator Switch Enable bit
 1 = Request oscillator switch to selection specified by NOSC<2:0> bits
 0 = Oscillator switch is complete

Note: Writes to this register requires an unlock sequence. For details and examples refer to **48.12 "Clock Switching"**.

Section 48. Oscillator (Part V)

Register 48-4: CLKDIV: Clock Divisor Register

R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
ROI	DOZE<2:0>		DOZEN ⁽¹⁾	FRCDIV<2:0>			
bit 15							bit 8

R/W-0	R/W-1	U-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
PLLPOST<1:0>		—	PLLPRE<4:0>				
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

- bit 15 **ROI:** Recover on Interrupt bit
 1 = Interrupts will clear the DOZEN bit and the processor clock/peripheral clock ratio is set to 1:1
 0 = Interrupts have no effect on the DOZEN bit
- bit 14-12 **DOZE<2:0>:** Processor Clock Reduction Select bits
 111 = Fcy divided by 128
 110 = Fcy divided by 64
 101 = Fcy divided by 32
 100 = Fcy divided by 16
 011 = Fcy divided by 8 (default)
 010 = Fcy divided by 4
 001 = Fcy divided by 2
 000 = Fcy divided by 1
- bit 11 **DOZEN:** DOZE Mode Enable bit⁽¹⁾
 1 = DOZE<2:0> field specifies the ratio between the peripheral clocks and the processor clocks
 0 = Processor clock/peripheral clock ratio forced to 1:1
- bit 10-8 **FRCDIV<2:0>:** Internal Fast RC Oscillator Postscaler bits
 111 = FRC divided by 256
 110 = FRC divided by 64
 101 = FRC divided by 32
 100 = FRC divided by 16
 011 = FRC divided by 8
 010 = FRC divided by 4
 001 = FRC divided by 2
 000 = FRC divided by 1 (default)
- bit 7-6 **PLLPOST<1:0>:** PLL VCO Output Divider Select bits (also denoted as 'N2', PLL postscaler)
 11 = Output divided by 8
 10 = Reserved
 01 = Output divided by 4 (default)
 00 = Output divided by 2
- bit 5 **Unimplemented:** Read as '0'
- bit 4-0 **PLLPRE<4:0>:** PLL Phase Detector Input Divider Select bits (also denoted as 'N1', PLL prescaler)
 11111 = Input divided by 33
 *
 *
 *
 00000 = Input divided by 2 (default)
 00001 = Input divided by 3

Note 1: This bit is cleared when the ROI bit is set and an interrupt occurs.

2: Refer to Section 9, "Watchdog Timer and Power-Saving modes" (DS70196) in the "dsPIC33F Family Reference Manual" for more information on Doze mode.

dsPIC33F Family Reference Manual

Register 48-5: PLLFBD: PLL Feedback Divisor Register

U-0	U-0	U-0	U-0	U-0	U-0	U-0	R/W-0
—	—	—	—	—	—	—	PLLDIV<8>
bit 15							bit 8
R/W-0	R/W-0	R/W-1	R/W-1	R/W-0	R/W-0	R/W-0	R/W-0
PLLDIV<7:0>							
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

bit 15-9 **Unimplemented:** Read as '0'

bit 8-0 **PLLDIV<8:0>:** PLL Feedback Divisor bits (also denoted as 'M', PLL multiplier)

 111111111 = 513

 •

 •

 •

 000110000 = 50 (default)

 •

 •

 •

 000000010 = 4

 000000001 = 3

 000000000 = 2



Section 21. ECAN™

HIGHLIGHTS

This section of the manual contains the following major topics:

21.1	Introduction	21-2
21.2	CAN Message Formats	21-4
21.3	ECAN Registers	21-9
21.4	ECAN Message Buffers	21-30
21.5	ECAN Operating Modes	21-34
21.6	Transmitting ECAN Messages	21-35
21.7	Receiving ECAN Messages	21-41
21.8	DMA Controller Configuration	21-53
21.9	Bit Timing	21-56
21.10	ECAN Error Management	21-60
21.11	ECAN Interrupts	21-63
21.12	ECAN Low-Power Modes	21-66
21.13	ECAN Time Stamping Using Input Capture	21-66
21.14	Register Maps	21-66
21.15	Related Application Notes	21-73
21.16	Revision History	21-74

dsPIC33F/PIC24H Family Reference Manual

Note: This family reference manual section is meant to serve as a complement to device data sheets. Depending on the device variant, this manual section may not apply to all dsPIC33F/PIC24H devices.

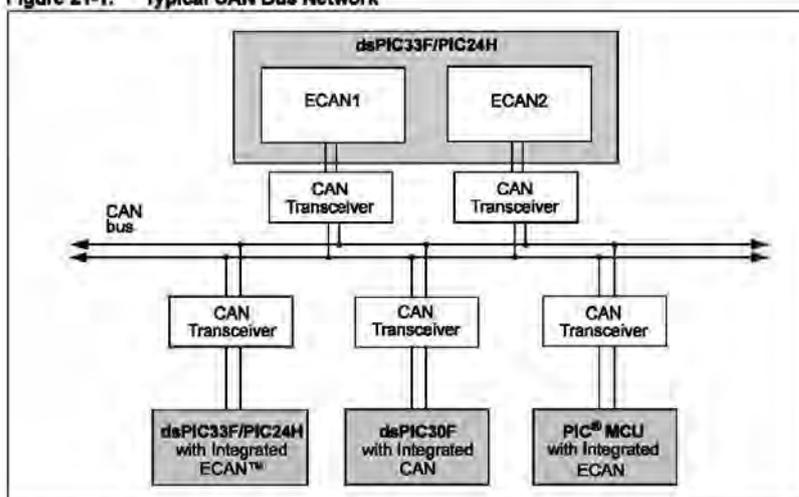
Please consult the note at the beginning of the "Direct Memory Access (DMA)" chapter in the current device data sheet to check whether this document supports the device you are using.

Device data sheets and family reference manual sections are available for download from the Microchip Worldwide Web site at: <http://www.microchip.com>

21.1 INTRODUCTION

The dsPIC33F/PIC24H Enhanced Controller Area Network (ECAN™) module implements the CAN Protocol 2.0B, used primarily in industrial and automotive applications. This asynchronous serial data communication protocol provides reliable communications in electrically noisy environments. The dsPIC33F device family integrates up to two ECAN modules. Figure 21-1 illustrates a typical CAN bus topology.

Figure 21-1: Typical CAN Bus Network



The ECAN module supports the following key features:

Standards Compliance:

- Full CAN 2.0B compliance
- Programmable bit rate up to 1 Mbps

Message Reception:

- 32 message buffers – all of them can be used for reception
- 16 acceptance filters for message filtering
- Three acceptance filter mask registers for message filtering
- Automatic response to Remote Transmit Request
- Up to 32-message deep First In First Out (FIFO) buffer
- DeviceNet™ addressing support
- DMA interface for message reception

Message Transmission:

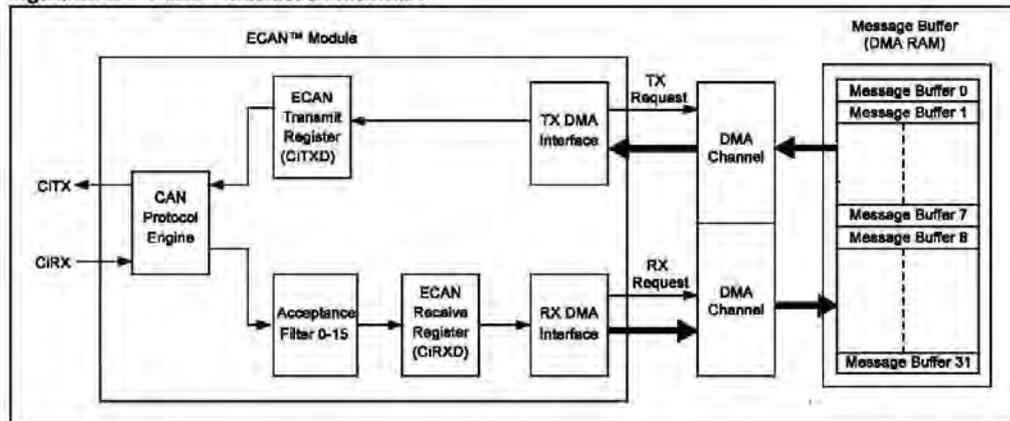
- Eight message buffers configurable for message transmission
- User-defined priority levels for message buffers used for transmission
- DMA interface for message transmission

Others:

- Loopback, Listen All Messages, and Listen Only modes for self-test, system diagnostics, and bus monitoring
- Low-power operating modes

Figure 21-2 illustrates the general structure of the ECAN module and its interaction with the DMA Controller and DMA RAM.

Figure 21-2: ECAN™ Interaction with DMA



21.1.1 ECAN Module

The ECAN module consists of a protocol engine, message acceptance filters, and separate transmit and receive DMA interfaces. The protocol engine transmits and receives messages to and from the CAN bus (as per CAN bus 2.0B protocol). The user-configurable acceptance filters are used by the module to examine the received message to determine if it should be stored in the DMA message buffer or discarded.

For received messages, the receive DMA interface generates a receive data interrupt to initiate a DMA cycle. The receive DMA channel reads data from the CiRXD register and writes it into the message buffer.

For transmit messages, the transmit DMA interface generates a transmit data interrupt to start a DMA cycle. The transmit DMA channel reads from the message buffer and writes to the CiTXD register for message transmission.

21.1.2 Message Buffers

The ECAN module supports up to 32 message buffers for storing data transmitted or received on the CAN bus. These buffers are located in DMA RAM. Message buffers 0-7 can be configured for either transmit or receive operation. Message buffers 8-31 are receive-only buffers and cannot be used for Message Transmission.

21.1.3 DMA Controller

The DMA controller acts as an interface between the message buffers and ECAN to transfer data back and forth without CPU intervention. The DMA controller supports up to eight channels for transferring data between DMA RAM and the dsPIC33F peripherals. Two separate DMA channels are needed to support CAN message transmission and CAN message reception.

Each DMA channel has a DMA Request register (DMAxREQ), which is used by the user application to assign an interrupt event to trigger a DMA-based message transfer.

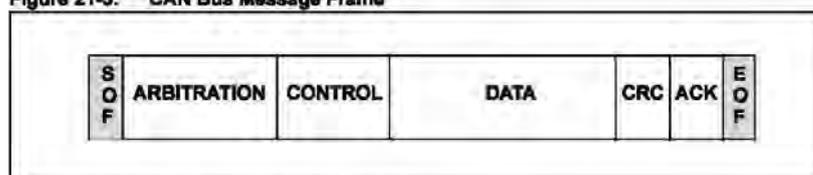
dsPIC33F/PIC24H Family Reference Manual

21.2 CAN MESSAGE FORMATS

The CAN bus protocol uses asynchronous communication. Information is passed from transmitters to receivers in data frames, which are composed of byte fields that define the contents of the data frame, as shown in Figure 21-3.

Each frame begins with a Start-of-Frame (SOF) bit and terminates with an End-of-Frame (EOF) bit field. The Start-of-Frame is followed by Arbitration and Control fields, which identify the message type, format, length and priority. This information allows each node on the CAN bus to respond appropriately to the message. The Data field conveys the message content and is variable length, ranging from 0 to 8 bytes. Error protection is provided by the Cyclic Redundancy Check (CRC) and Acknowledgement (ACK) fields.

Figure 21-3: CAN Bus Message Frame



The CAN bus protocol supports five frame types:

- **Data Frame** – carries data from transmitter to the receivers
- **Remote Frame** – transmitted by a node on the bus, to request transmission of a data frame with the same identifier from another node
- **Error Frame** – transmitted by any node when it detects an error
- **Overload Frame** – provides an extra delay between successive Data or remote frames
- **Interframe Space** – provides a separation between successive frames

The CAN 2.0B specification defines two additional data formats:

- **Standard Data Frame** – intended for standard messages that use 11 identifier bits
- **Extended Data Frame** – intended for extended messages that use 29 identifier bits

There are three versions of CAN Bus specifications:

- **2.0A** – considers 29-bit identifier as error
- **2.0B Passive** – ignores 29-bit identifier messages
- **2.0B Active** – handles both 11-bit and 29-bit identifier

The dsPIC33F ECAN module is compliant with the CAN 2.0B active specification, while providing enhanced message filtering capabilities.

Note: Refer to the Bosch CAN bus specification for detailed information on the CAN protocol.

21.2.1 Standard Data Frame

The standard data frame message begins with a Start-of-Frame bit followed by a 12-bit Arbitration field, as shown in Figure 21-4. The Arbitration field contains an 11-bit identifier and the Remote Transmit Request (RTR) bit. The identifier defines the type of information contained in the message and is used by each receiving node to determine if the message is of interest to it. The RTR bit distinguishes a data frame from a remote frame. For a standard data frame, the RTR bit is clear.

Following the Arbitration field is a 6-bit Control field, which provides more information about the contents of the message. The first bit in the Control field is an Identifier Extension (IDE) bit, which distinguishes the message as either a Standard or Extended data frame. A standard data frame is indicated by a dominant state (logic level '0') during transmission of the IDE bit. The second bit in the Control field is a Reserved (RB0) bit, which is in the dominant state (logic level '0'). The last 4 bits in the Control field represent the Data Length Code (DLC), which specifies the number of data bytes present in the message.

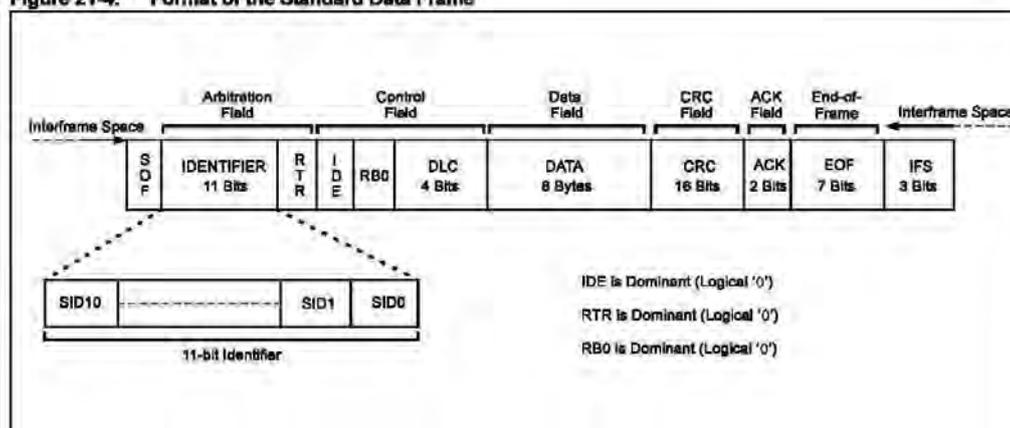
The Data field follows the Control field. This field carries the message data – the actual payload of the data frame. This field is variable length, ranging from 0 to 8 bytes. The number of bytes is user-selectable.

The Data field is followed by the Cyclic Redundancy Check field, which is a 15-bit CRC sequence with one delimiter bit.

The Acknowledgement (ACK) field is sent as a recessive bit (logic level '1') and is overwritten as a dominant bit by any receiver that has received the data correctly. The message is acknowledged by the receiver irrespective of the result of the acceptance filter comparison.

The last field is the End-of-Frame (EOF) field, which consists of 7 recessive bits that indicate the end of the message.

Figure 21-4: Format of the Standard Data Frame



dsPIC33F/PIC24H Family Reference Manual

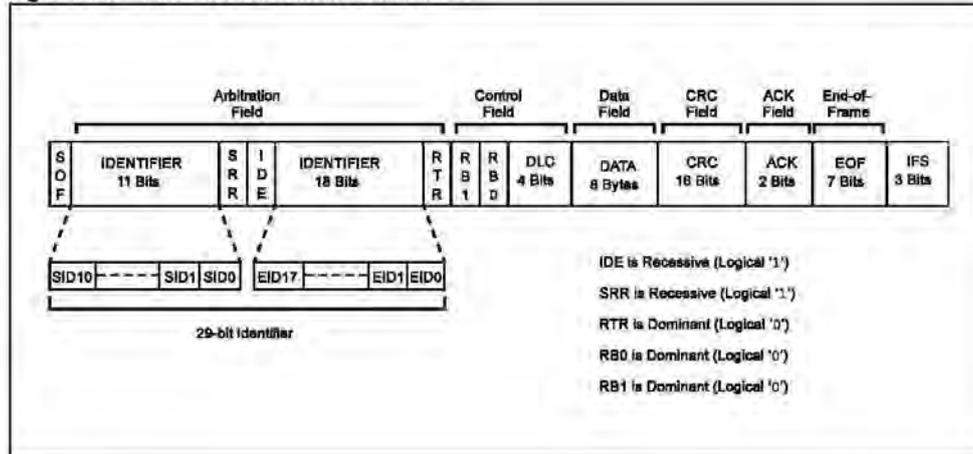
21.2.2 Extended Data Frame

The extended data frame begins with an SOF bit followed by a 31-bit Arbitration field, as shown in Figure 21-5. The Arbitration field for the extended data frame contains 29 identifier bits in two fields separated by a Substitute Remote Request (SRR) bit and an IDE bit. SRR = 1 for extended data frames. The IDE bit indicates the data frame type. For the extended data frame, IDE = 1.

The extended data frame Control field consists of 7 bits. The first bit is the RTR. For the extended data frame, RTR = 0. The next two bits, RB1 and RB0, are reserved bits that are in the dominant state (logic level '0'). The last 4 bits in the Control field are the Data Length Code, which specifies the number of data bytes present in the message.

The remaining fields in an extended data frame are identical to a standard data frame.

Figure 21-5: Format of the Extended Data Frame



21.2.3 Remote Frame

A node expecting to receive data from another node can initiate transmission of the respective data by the source node by sending a remote frame. A remote frame can be in standard format (see Figure 21-6) or extended format (see Figure 21-7).

A Remote frame is similar to a data frame, with the following exceptions:

- The RTR bit is recessive (RTR = 1)
- There is no Data field
- The value of the DLC bits is $0 \leq \text{DLC} \leq 8$

Figure 21-6: Format of the Standard Remote Frame

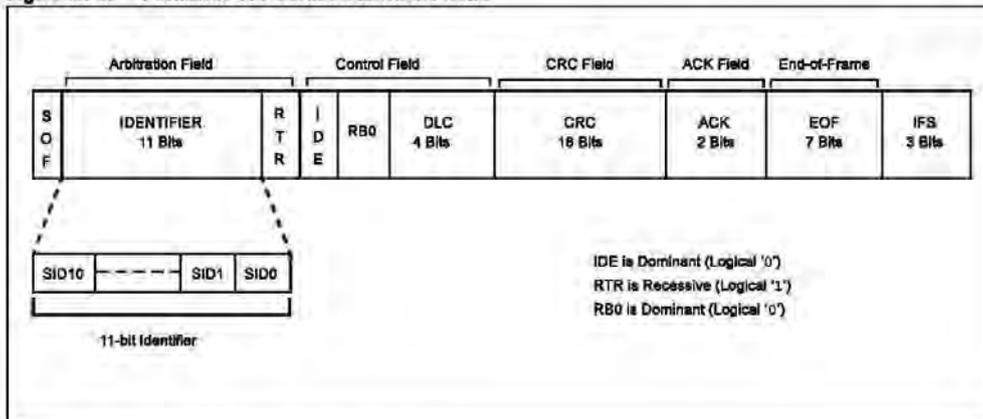
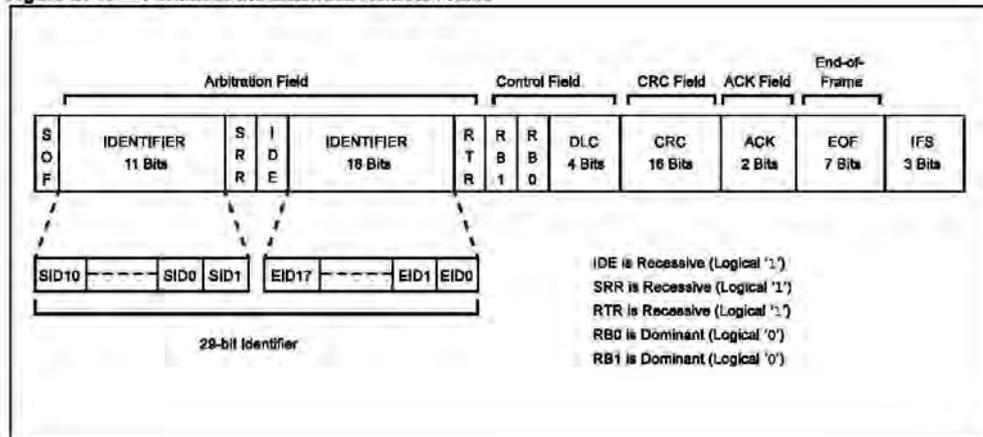


Figure 21-7: Format of the Extended Remote Frame



Annexe 4

Exemple de calcul d'un CRC

L'adresse CAN est 0x002, le nombre de données transmises est 1 et cette donnée vaut 0x41

On fabrique le mot binaire qui correspond à la donnée dont on souhaite calculer le CRC :

(Identifiant + RTR) + (champ de contrôle) + (données)

Soit dans notre cas

10 (identifiant) + 0 (RTR) + 000001 (IDE, RBO, nombre de données) + 01000001

Ce qui donne 10000000101000001

Le CRC du CAN est sur 15 bits, on rajoute 15 zéros après le mot précédent :

Soit le mot1 = 10000000101000001000000000000000

Le polynôme utilisé nous fournit le mot2

Soit mot2 = 11000101 10011001

Il suffit d'appliquer ensuite la procédure qui suit jusqu'à ce que le décalage soit égal à 0

```
10000000 10100000 10000000 00000000
```

```
11000101 10011001
```

On décale le mot 2 jusqu'à atteindre le bit de poids le plus fort qui soit au niveau logique 1

Ici, dec = 16

```
10000000 10100000 10000000 00000000
```

```
11000101 10011001
```

On effectue une opération ou exclusif entre les deux mots 1 et 2.

Le résultat est le suivant :

```
01000101 00111001 10000000 00000000
```

Et on réitère la procédure :

dec = 15

```
01000101 00111001 10000000 00000000
```

```
11000101 10011001
```

Résultat :

```
00100111 11110101 00000000 00000000
```

Et on réitère la procédure jusqu'à ce que le décalage soit égal à 0. Le résultat final obtenu est le CRC.

dsPIC33F/PIC24H Family Reference Manual

Register 21-1: CICFG1: ECAN™ Baud Rate Configuration Register 1

U-0	U-0	U-0	U-0	U-0	U-0	U-0	U-0
—	—	—	—	—	—	—	—
bit 15							bit 8
R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0	R/W-0
SJW<1:0>			BRP<5:0>				
bit 7							bit 0

Legend:			
R = Readable bit	W = Writable bit	U = Unimplemented bit, read as '0'	
-n = Value at POR	'1' = Bit is set	'0' = Bit is cleared	x = Bit is unknown

- bit 15-8 **Unimplemented:** Read as '0'
- bit 7-6 **SJW<1:0>**: Synchronization Jump Width bits
- 11 = Length is 4 x TQ
 - 10 = Length is 3 x TQ
 - 01 = Length is 2 x TQ
 - 00 = Length is 1 x TQ
- bit 5-0 **BRP<5:0>**: Baud Rate Prescaler bits
- 11 1111 = TQ = 2 x 64 x 1/FCAN
 -
 -
 -
 - 00 0010 = TQ = 2 x 3 x 1/FCAN
 - 00 0001 = TQ = 2 x 2 x 1/FCAN
 - 00 0000 = TQ = 2 x 1 x 1/FCAN

Register 21-2: C1CFG2: ECAN™ Baud Rate Configuration Register 2

U-0	R/W-x	U-0	U-0	U-0	R/W-x	R/W-x	R/W-x
—	WAKFIL	—	—	—	SEG2PH<2:0>		
bit 15							bit 8
R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x	R/W-x
SEG2PHTS	SAM	SEG1PH<2:0>			PRSEG<2:0>		
bit 7							bit 0

Legend:

R = Readable bit W = Writable bit U = Unimplemented bit, read as '0'
 -n = Value at POR '1' = Bit is set '0' = Bit is cleared x = Bit is unknown

- bit 15 **Unimplemented:** Read as '0'
- bit 14 **WAKFIL:** Select CAN Bus Line Filter for Wake-up bit
 1 = Use CAN bus line filter for wake-up
 0 = CAN bus line filter is not used for wake-up
- bit 13-11 **Unimplemented:** Read as '0'
- bit 10-8 **SEG2PH<2:0>:** Phase Segment 2 bits
 111 = Length is 8 x TQ
 *
 *
 *
 000 = Length is 1 x TQ
- bit 7 **SEG2PHTS:** Phase Segment 2 Time Select bit
 1 = Freely programmable
 0 = Maximum of SEG1PH bits or Information Processing Time (IPT), whichever is greater
- bit 6 **SAM:** Sample CAN Bus Line bit
 1 = Bus line is sampled three times at the sample point
 0 = Bus line is sampled once at the sample point
- bit 5-3 **SEG1PH<2:0>:** Phase Segment 1 bits
 111 = Length is 8 x TQ
 *
 *
 *
 000 = Length is 1 x TQ
- bit 2-0 **PRSEG<2:0>:** Propagation Time Segment bits
 111 = Length is 8 x TQ
 *
 *
 *
 000 = Length is 1 x TQ



AN754

Understanding Microchip's CAN Module Bit Timing

Author: Pat Richards
Microchip Technology Inc.

INTRODUCTION

The Controller Area Network (CAN) protocol is an asynchronous serial bus with Non-Return to Zero (NRZ) bit coding designed for fast, robust communications in harsh environments, such as automotive and industrial applications. The CAN protocol allows the user to program the bit rate, the sample point of the bit, and the number of times the bit is sampled. With these features, the network can be optimized for a given application.

There are relationships between bit timing parameters, the physical bus propagation delays, and the oscillator tolerances throughout the system. This application note investigates these relationships as they pertain to Microchip's CAN module and assists in optimizing the bit timing for given physical system attributes.

THE CAN BIT TIME

The CAN bit time is made up of non-overlapping segments. Each of these segments are made up of integer units called Time Quanta (TQ) and are explained later in this application note. The Nominal Bit Rate (NBR) is defined in the CAN specification as the number of bits per second transmitted by an ideal transmitter with no resynchronization and can be described with the equation:

$$NBR = f_{bit} = \frac{1}{t_{bit}}$$

Nominal Bit Time

The Nominal Bit Time (NBT), or t_{bit} , is made up of non-overlapping segments (Figure 1), therefore, the NBT is the summation of the following segments:

$$t_{bit} = t_{SyncSeg} + t_{PropSeg} + t_{PS1} + t_{PS2}$$

Associated with the NBT are the Sample Point, Synchronization Jump Width (SJW), and Information Processing Time (IPT), which are explained later.

SYNCHRONIZATION SEGMENT

The Synchronization Segment (SyncSeg) is the first segment in the NBT and is used to synchronize the nodes on the bus. Bit edges are expected to occur within the SyncSeg. This segment is fixed at 1TQ.

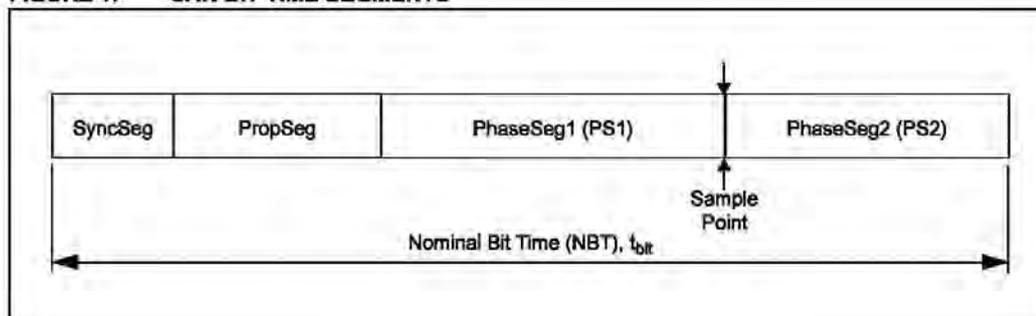
PROPAGATION SEGMENT

The Propagation Segment (PropSeg) exists to compensate for physical delays between nodes. The propagation delay is defined as twice the sum of the signal's propagation time on the bus line, including the delays associated with the bus driver. The PropSeg is programmable from 1 - 8TQ.

PHASE SEGMENT 1 AND PHASE SEGMENT 2

The two phase segments, PS1 and PS2 are used to compensate for edge phase errors on the bus. PS1 can be lengthened or PS2 can be shortened by resynchronization. PS1 is programmable from 1 - 8TQ and PS2 is programmable from 2 - 8TQ.

FIGURE 1: CAN BIT TIME SEGMENTS



AN754

SAMPLE POINT

The sample point is the point in the bit time in which the logic level is read and interpreted. The sample point is located at the end of phase segment 1. The exception to this rule is, if the sample mode is configured to sample three times per bit. In this case, the bit is still sampled at the end of PS1, however, two additional samples are taken at one-half TQ intervals prior to the end of PS1 and the value of the bit is determined by a majority decision.

INFORMATION PROCESSING TIME

The Information Processing Time (IPT) is the time required for the logic to determine the bit level of a sampled bit. The IPT begins at the sample point, is measured in TQ and is fixed at 2TQ for the Microchip CAN module. Since phase segment 2 also begins at the sample point and is the last segment in the bit time, it is required that PS2 minimum is not less than the IPT.

Therefore:

$$PS2_{min} = IPT = 2TQ$$

SYNCHRONIZATION JUMP WIDTH

The Synchronization Jump Width (SJW) adjusts the bit clock as necessary by 1 - 4TQ (as configured) to maintain synchronization with the transmitted message. More on synchronization is covered later.

Time Quantum

Each of the segments that make up a bit time are made up of integer units called Time Quanta (TQ). The length of each Time Quantum is based on the oscillator period (t_{OSC}). The base TQ equals twice the oscillator period. Figure 2 shows how the bit period is derived from T_{OSC} and TQ. The TQ length equals one TQ Clock period (t_{BRPCLK}), which is programmable using a programmable prescaler named the Baud Rate Prescaler (BRP). This is shown in the following equation:

$$TQ = 2 \cdot BRP \cdot T_{OSC} = \frac{2 \cdot BRP}{F_{OSC}}$$

Where: BRP equals the configuration as shown in Figure 3.

Bit Timing Control Registers

The CAN Bit Timing Control (CNF) registers are the three registers that configure the CAN bit time. Figure 3 details the function of the CNF registers.

By adjusting the length of the TQ (t_{TQ}) and the number of TQs in each segment, both the nominal bit time and the sample point can easily be configured as desired.

PROGRAMMING THE TIMING SEGMENTS

There are several requirements for programming the CAN bit timing segments.

1. PropSeg + PS1 \geq PS2
2. PropSeg + PS1 $\geq t_{PROP}$
3. PS2 > SJW

FIGURE 2: TQ AND THE BIT PERIOD

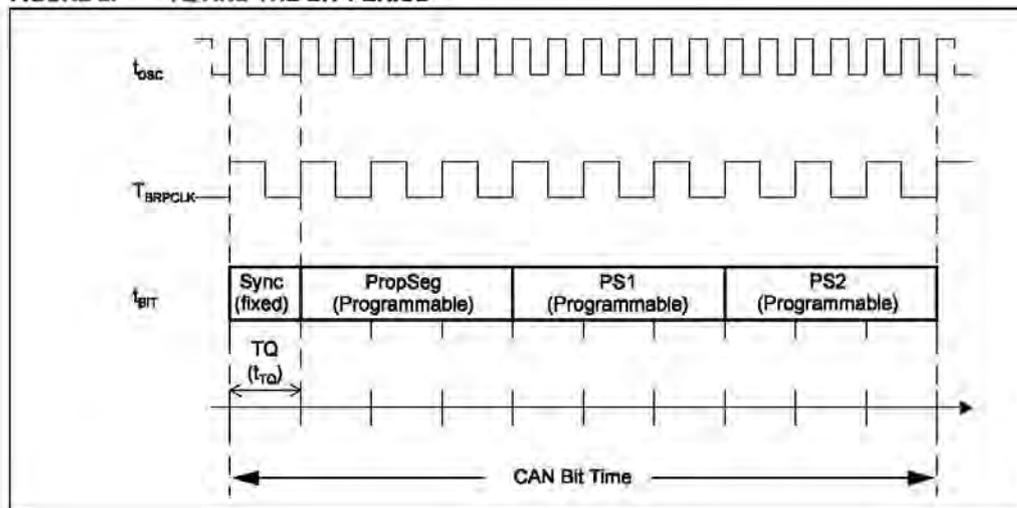
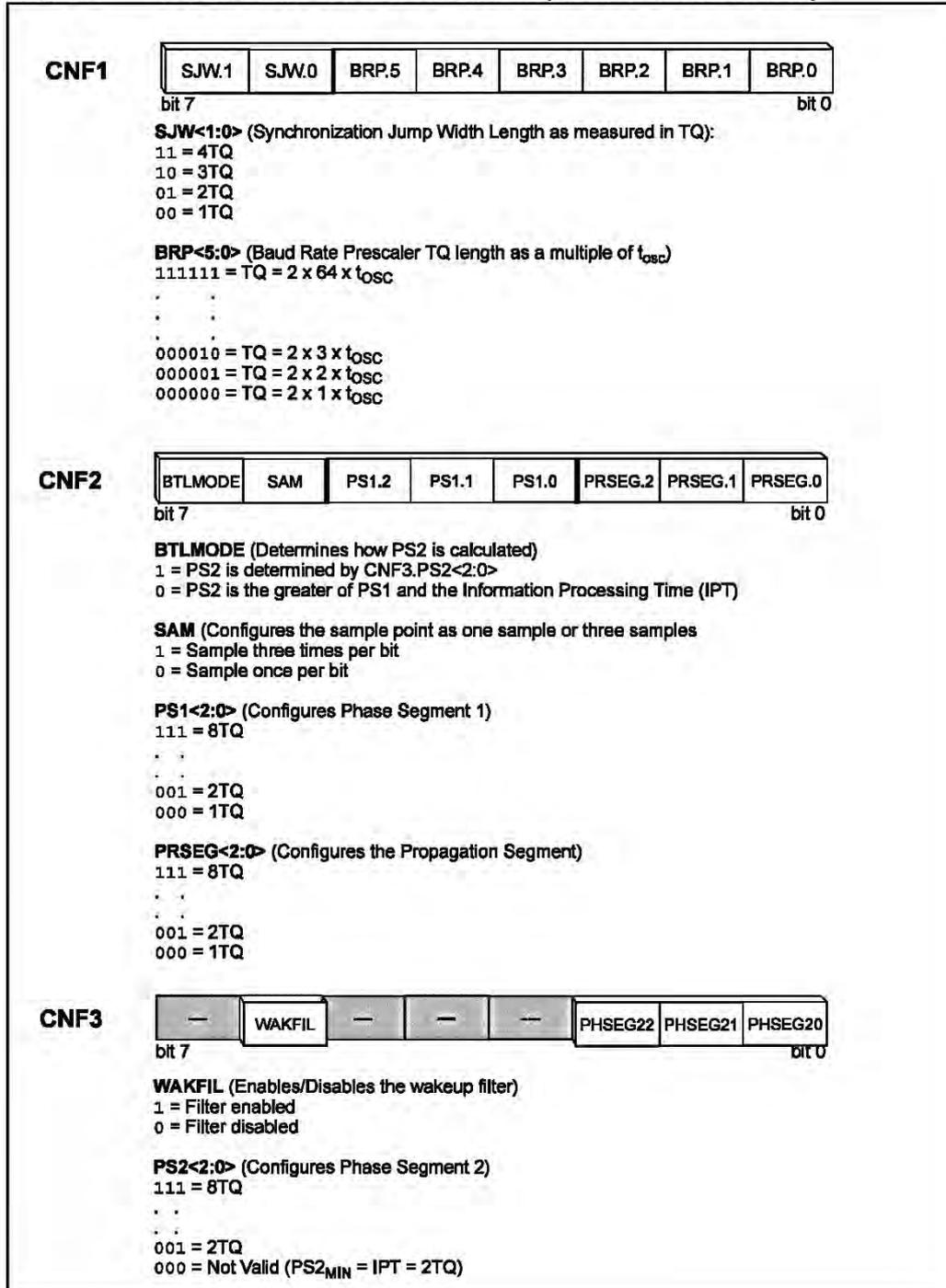


FIGURE 3: CAN BIT TIMING CONTROL REGISTERS (MCP2510 CNF REGISTERS)



AN754

SYNCHRONIZING THE BIT TIME

All nodes on the CAN bus must have the same nominal bit rate. Noise, phase shifts, and oscillator drift create situations where the nominal bit rate does not equal the actual bit rate in a real system. Therefore, the nodes must have a method for achieving and maintaining synchronization with bus messages.

Oscillator Tolerance

The bit timing for each node in a CAN system is derived from the reference frequency (f_{osc}) of its node. This creates a situation where phase shifting and oscillator drift will occur between nodes due to less than ideal oscillator tolerances between the nodes.

The CAN specification indicates that the worst case oscillator tolerance is 1.58% and is only suitable for low bit rates (125 kb/s or less). This application note does not cover oscillator tolerances in detail, however, the references at the end of this application note provide more information on the subject.

Propagation Delay

The CAN protocol has defined a recessive (logic 1) and dominant (logic 0) state to implement a non-destructive bit-wise arbitration scheme. It is this arbitration methodology that is affected the most by propagation delays. Each node involved with arbitration must be able to sample each bit level within the same bit time. For example, if two nodes at opposite ends of the bus start to transmit their messages at the same time, they must arbitrate for control of the bus. This arbitration is only effective if both nodes are able to sample during the same bit time. Figure 4 shows a one-way propagation delay between two nodes. Extreme propagation delays (beyond the sample point) will result in invalid arbitration. This implies that bus lengths are limited at given CAN data rates.

A CAN system's propagation delay is calculated as being a signal's round trip time on the physical bus (t_{bus}), the output driver delay (t_{drv}), and the input comparator delay (t_{cmp}). Assuming all nodes in the system have similar component delays, the propagation delay is explained mathematically as:

$$t_{prop} = 2 \cdot (t_{bus} + t_{cmp} + t_{drv})$$

Synchronization

All nodes on a given CAN bus must have the same NBT. The NRZ bit coding does not encode a clock into the message. The receivers must synchronize to the transmitted data stream to insure messages are properly decoded. There are two methods used for achieving and maintaining synchronization.

HARD SYNCHRONIZATION

Hard Synchronization only occurs on the first recessive-to-dominant (logic "1" to "0") edge during a bus idle condition, which indicates a Start-of-Frame (SOF) condition. Hard synchronization causes the bit timing counter to be reset to the SyncSeg which causes the edge to lie within the SyncSeg. At this point, all of the receivers will be synchronized to the transmitter.

Hard synchronization occurs only once during a message. Also, resynchronization may not occur during the same bit time (SOF) that hard synchronization occurred.

Identification des processus - Essais indiciels en BO - (SNE) - Broïda

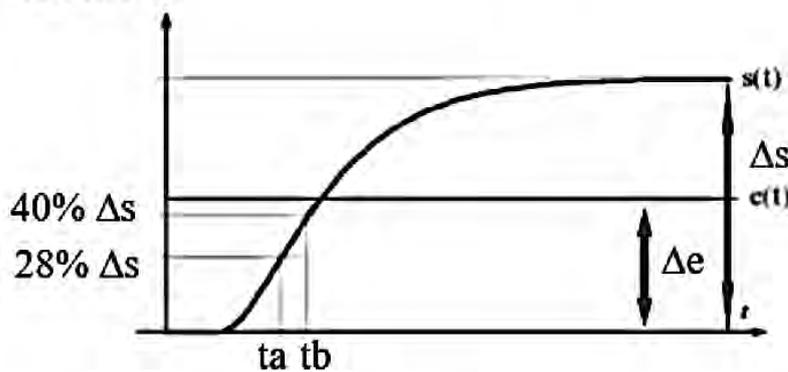
Modèle de Broïda

Broïda utilise un modèle simple : approximation par un 1er ordre :

$$F(p) = K \frac{e^{-Tp}}{1 + \tau p}$$

Problème : il faut déterminer K, T et τ .

Essai :

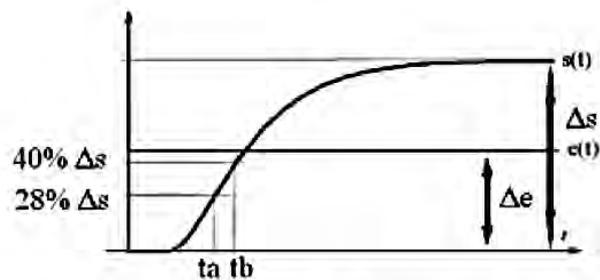


- 1) t_a, t_b
- 2) $\Delta e, \Delta s$

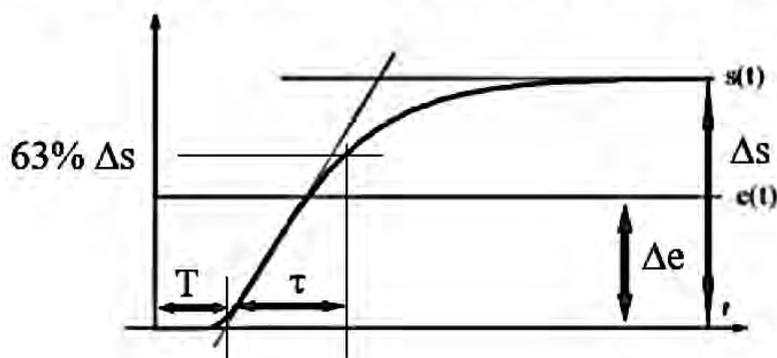
On mesure : $t_a, t_b, \Delta e$ et Δs .

Valeur des paramètres :

- $\Rightarrow K = \Delta s / \Delta e$.
- $\Rightarrow \tau = 5.5 (t_b - t_a)$.
- $\Rightarrow T = 2.8 t_a - 1.8 t_b$.



Pb: Suivant la précision des mesures, le modèle en T et τ peut être aberrant. On préfère alors l'identification de T et τ suivante :



Linéarisation d'un retard au premier ordre :

$$e^{-\tau p} \approx \frac{1}{1 + \tau p}$$

Annexe 8

Caractérisation d'un système du second ordre

m : coefficient d'amortissement.

t_m : temps de montée.

t_r : temps de réponse.

T_p : pseudo-période.

D : dépassement.

ω_R : pulsation de résonance.

ω_n : pulsation naturelle.

ω_c : pulsation de coupure.

M_{db} : surtension.

m	$t_m \omega_n$	$t_r \omega_n$	$t_{pic} \omega_n$	$T_p \omega_n$	$D\%$	ω_R / ω_n	ω_c / ω_n	ω_c / ω_R	M_{db}	m
0,1	1,68	30	3,16	6,31	73	0,99	1,54	1,56	14	0,1
0,15	1,74	20	3,18	6,36	62	0,98	1,53	1,56	10,5	0,15
0,2	1,81	14	3,21	6,41	53	0,96	1,51	1,57	8,1	0,2
0,25	1,88	11	3,24	6,49	44	0,94	1,48	1,59	6,3	0,25
0,3	1,97	10,1	3,24	6,59	37	0,91	1,45	1,61	4,8	0,3
0,35	2,06	7,9	3,35	6,71	31	0,87	1,42	1,63	3,6	0,35
0,4	2,16	7,7	3,43	6,86	25	0,82	1,37	1,67	2,7	0,4
0,45	2,28	5,4	3,52	7,04	21	0,77	1,33	1,72	1,9	0,45
0,5	2,42	5,3	3,63	7,26	16	0,71	1,27	1,80	1,2	0,5
0,55	2,58	5,3	3,76	7,52	12,6	0,63	1,21	1,93	0,7	0,55
0,6	2,77	5,2	3,93	7,85	9,5	0,53	1,15	2,17	0,3	0,6
0,65	3,00	5,0	4,13	8,27	6,8	0,39	1,08	2,74	0,1	0,65
0,7	3,29	3	4,40	8,80	4,6	0,14	1,01	7,14	0	0,7
0,75	3,66	3,1	4,75	9,50	2,84	-	0,94	-	-	0,75
0,80	4,16	3,4	5,24	10,5	1,52	-	0,87	-	-	0,80
0,85	4,91	3,7	5,96	11,93	0,63	-	0,81	-	-	0,85
0,90	6,17	4	7,21	14,41	0,15	-	0,75	-	-	0,90
0,95	9,09	4,1	10,06	20,12	0,01	-	0,69	-	-	0,95



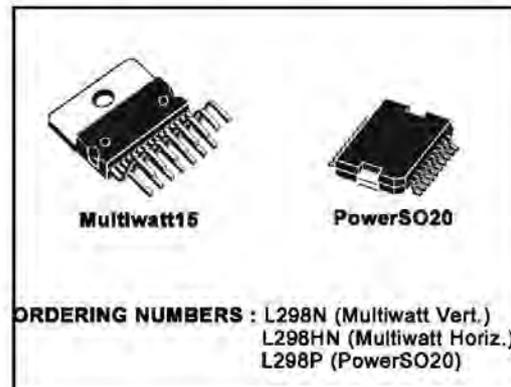
L298

DUAL FULL-BRIDGE DRIVER

- OPERATING SUPPLY VOLTAGE UP TO 46 V
- TOTAL DC CURRENT UP TO 4 A
- LOW SATURATION VOLTAGE
- OVERTEMPERATURE PROTECTION
- LOGICAL "0" INPUT VOLTAGE UP TO 1.5 V (HIGH NOISE IMMUNITY)

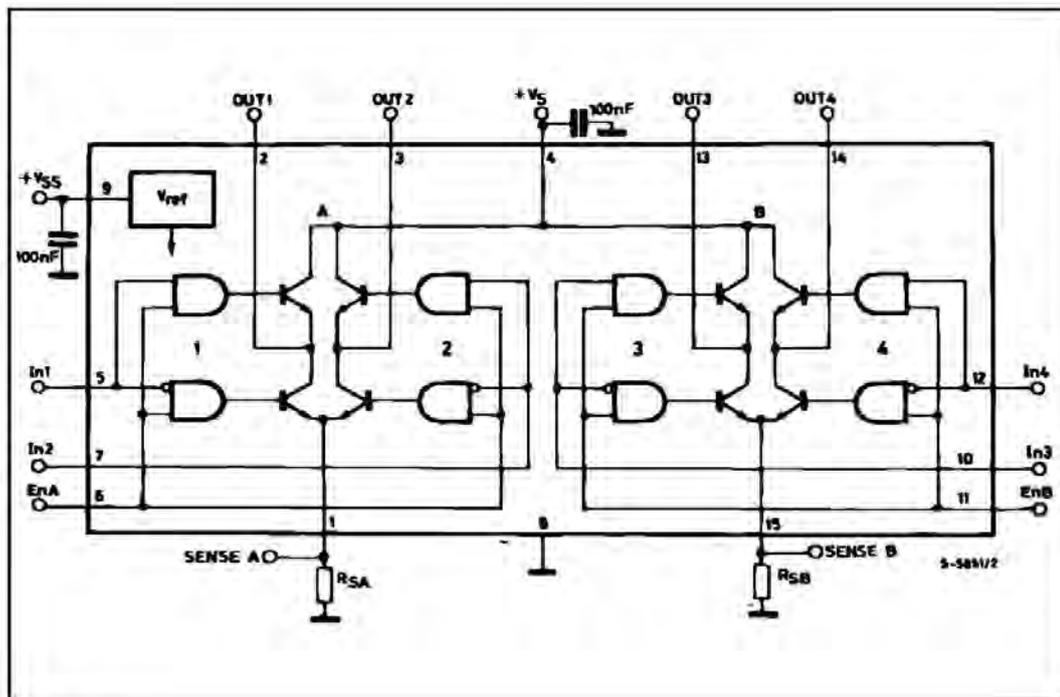
DESCRIPTION

The L298 is an integrated monolithic circuit in a 15-lead Multiwatt and PowerSO20 packages. It is a high voltage, high current dual full-bridge driver designed to accept standard TTL logic levels and drive inductive loads such as relays, solenoids, DC and stepping motors. Two enable inputs are provided to enable or disable the device independently of the input signals. The emitters of the lower transistors of each bridge are connected together and the corresponding external terminal can be used for the con-



nection of an external sensing resistor. An additional supply input is provided so that the logic works at a lower voltage.

BLOCK DIAGRAM



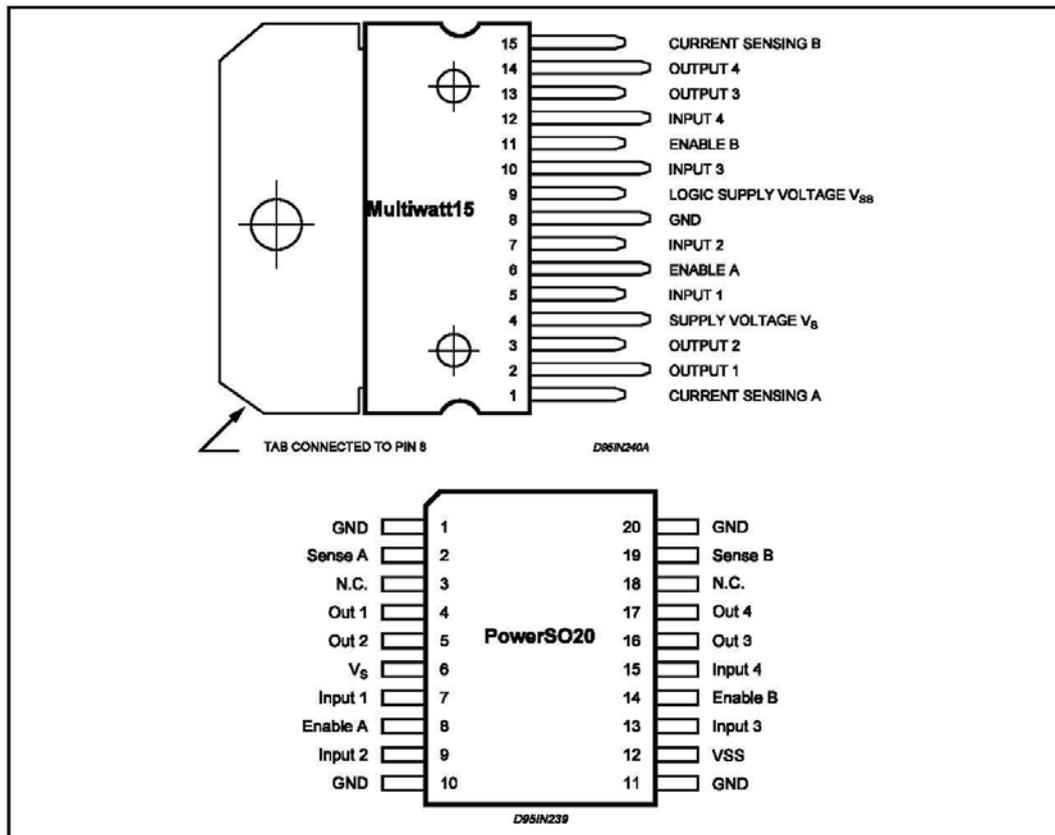
Annexe 9

L298

ABSOLUTE MAXIMUM RATINGS

Symbol	Parameter	Value	Unit
V_S	Power Supply	50	V
V_{SS}	Logic Supply Voltage	7	V
V_I, V_{en}	Input and Enable Voltage	-0.3 to 7	V
I_O	Peak Output Current (each Channel)		
	– Non Repetitive ($t = 100\mu s$)	3	A
	– Repetitive (80% on -20% off; $t_{on} = 10ms$)	2.5	A
	– DC Operation	2	A
V_{sens}	Sensing Voltage	-1 to 2.3	V
P_{tot}	Total Power Dissipation ($T_{case} = 75^\circ C$)	25	W
T_{op}	Junction Operating Temperature	-25 to 130	$^\circ C$
T_{stg}, T_J	Storage and Junction Temperature	-40 to 150	$^\circ C$

PIN CONNECTIONS (top view)



THERMAL DATA

Symbol	Parameter		PowerSO20	Multiwatt15	Unit
$R_{th\ j-case}$	Thermal Resistance Junction-case	Max.	–	3	$^\circ C/W$
$R_{th\ j-amb}$	Thermal Resistance Junction-ambient	Max.	13 (*)	35	$^\circ C/W$

(*) Mounted on aluminum substrate

PIN FUNCTIONS (refer to the block diagram)

MW.15	PowerSO	Name	Function
1;15	2;19	Sense A; Sense B	Between this pin and ground is connected the sense resistor to control the current of the load.
2;3	4;5	Out 1; Out 2	Outputs of the Bridge A; the current that flows through the load connected between these two pins is monitored at pin 1.
4	6	V _S	Supply Voltage for the Power Output Stages. A non-inductive 100nF capacitor must be connected between this pin and ground.
5;7	7;9	Input 1; Input 2	TTL Compatible Inputs of the Bridge A.
6;11	8;14	Enable A; Enable B	TTL Compatible Enable Input: the L state disables the bridge A (enable A) and/or the bridge B (enable B).
8	1,10,11,20	GND	Ground.
9	12	V _{SS}	Supply Voltage for the Logic Blocks. A 100nF capacitor must be connected between this pin and ground.
10; 12	13;15	Input 3; Input 4	TTL Compatible Inputs of the Bridge B.
13; 14	16;17	Out 3; Out 4	Outputs of the Bridge B. The current that flows through the load connected between these two pins is monitored at pin 15.
–	3;18	N.C.	Not Connected

ELECTRICAL CHARACTERISTICS (V_S = 42V; V_{SS} = 5V, T_J = 25°C; unless otherwise specified)

Symbol	Parameter	Test Conditions	Min.	Typ.	Max.	Unit
V _S	Supply Voltage (pin 4)	Operative Condition	V _{IH} +2.5		46	V
V _{SS}	Logic Supply Voltage (pin 9)		4.5	5	7	V
I _S	Quiescent Supply Current (pin 4)	V _{en} = H; I _L = 0 V _I = L V _I = H		13 50	22 70	mA mA
		V _{en} = L V _I = X			4	mA
I _{SS}	Quiescent Current from V _{SS} (pin 9)	V _{en} = H; I _L = 0 V _I = L V _I = H		24 7	36 12	mA mA
		V _{en} = L V _I = X			6	mA
V _{IL}	Input Low Voltage (pins 5, 7, 10, 12)		-0.3		1.5	V
V _{IH}	Input High Voltage (pins 5, 7, 10, 12)		2.3		V _{SS}	V
I _{IL}	Low Voltage Input Current (pins 5, 7, 10, 12)	V _I = L			-10	μA
I _{IH}	High Voltage Input Current (pins 5, 7, 10, 12)	V _I = H ≤ V _{SS} -0.6V		30	100	μA
V _{en} = L	Enable Low Voltage (pins 6, 11)		-0.3		1.5	V
V _{en} = H	Enable High Voltage (pins 6, 11)		2.3		V _{SS}	V
I _{en} = L	Low Voltage Enable Current (pins 6, 11)	V _{en} = L			-10	μA
I _{en} = H	High Voltage Enable Current (pins 6, 11)	V _{en} = H ≤ V _{SS} -0.6V		30	100	μA
V _{CEsat (H)}	Source Saturation Voltage	I _L = 1A I _L = 2A	0.95	1.35 2	1.7 2.7	V V
V _{CEsat (L)}	Sink Saturation Voltage	I _L = 1A (5) I _L = 2A (5)	0.85	1.2 1.7	1.6 2.3	V V
V _{CEsat}	Total Drop	I _L = 1A (5) I _L = 2A (5)	1.80		3.2 4.9	V V
V _{sens}	Sensing Voltage (pins 1, 15)		-1 (1)		2	V

MCP629x 10-MHz, Rail-to-Rail Operational Amplifier

1 Features

- Gain bandwidth product: 10-MHz typical
- Operating supply voltage: 2.4 V to 5.5 V
- Rail-to-rail input/output
- Low input bias current: 1 pA
- Low quiescent current: 0.6 mA
- Input voltage noise: 8.7 nV/√Hz at f = 10 kHz
- Internal RF and EMI filter
- Extended temperature range: –40°C to 125°C
- Unity-gain stable
- Easier to stabilize with higher capacitive load due to resistive open-loop output impedance

2 Applications

- Power modules
- Smoke detectors
- HVAC: heating, ventilating, and air conditioning
- Battery-powered applications
- Sensor signal conditioning
- Photodiode amplifier
- Analog filters
- Medical instrumentation
- Notebooks and PDAs
- Barcode scanners
- Audio receiver
- Automotive infotainment

3 Description

The MCP6291 (single), MCP6292 (dual), and MCP6294 (quad) devices comprise a family of general-purpose, low-power operational amplifiers. Features such as rail-to-rail input and output swings, low quiescent current (800-μA/ch typical) combined with a wide bandwidth of 10 MHz, and low noise (8.7 nV/√Hz at 10 kHz) make this family attractive for a variety of applications that require a balance between cost and performance. The low input bias current enables the family to be used in applications with high-source impedances.

The robust design of the MCP629x provides ease-of-use to the circuit designer: a unity-gain stable, integrated RFI and EMI rejection filter, no phase reversal in overdrive condition, and high electrostatic discharge (ESD) protection (4-kV HBM).

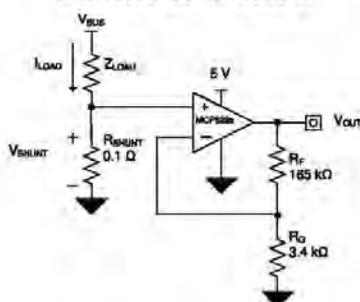
The MCP629x family operates over the extended temperature range of –40°C to 125°C. The family has a power supply range of 2.4 V to 5.5 V.

Device Information⁽¹⁾

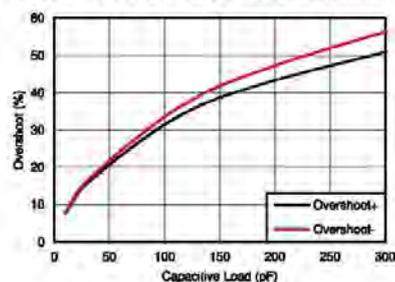
PART NUMBER	PACKAGE	BODY SIZE (NOM)
MCP6291	SOT-23 (5)	1.60 mm × 2.90 mm
	SC70 (5)	1.25 mm × 2.00 mm
MCP6292	SOIC (8)	3.91 mm × 4.90 mm
	VSSOP (8)	3.00 mm × 3.00 mm
	SOT-23 (8)	1.60 mm × 2.90 mm
MCP6294	SOIC (14)	8.65 mm × 3.91 mm
	TSSOP (14)	4.40 mm × 5.00 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

Low-Side Motor Control



Small-Signal Overshoot vs Load Capacitance



 An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

Annexe 10



MCP6291, MCP6292, MCP6294

SBOS879D – JULY 2017 – REVISED OCTOBER 2019

www.ti.com

7.7 Electrical Characteristics: V_S (Total Supply Voltage) = $(V+) - (V-) = 2.4\text{ V to }5.5\text{ V}$

at $T_A = 25^\circ\text{C}$, $R_L = 10\text{ k}\Omega$ connected to $V_S / 2$, $V_{CM} = V_S / 2$, and $V_{OUT} = V_S / 2$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
OFFSET VOLTAGE					
V_{OS} Input offset voltage	$V_S = 5\text{ V}$		± 0.3	± 3	mV
	$V_S = 5\text{ V}$, $T_A = -40^\circ\text{C to }125^\circ\text{C}$			± 5	
dV_{OS}/dT Drift	$V_S = 5\text{ V}$, $T_A = -40^\circ\text{C to }125^\circ\text{C}$		± 1.1		$\mu\text{V}/^\circ\text{C}$
PSRR Power-supply rejection ratio	$V_S = 2.4\text{ V to }5.5\text{ V}$, $V_{CM} = (V-)$		± 7		$\mu\text{V}/\text{V}$
	Channel separation, DC	At DC		100	dB
INPUT VOLTAGE RANGE					
V_{CM} Common-mode voltage range	$V_S = 2.4\text{ V to }5.5\text{ V}$	$(V-) - 0.1$		$(V+) + 0.1$	V
CMRR Common-mode rejection ratio	$V_S = 5.5\text{ V}$ $(V-) - 0.1\text{ V} < V_{CM} < (V+) - 1.4\text{ V}$ $T_A = -40^\circ\text{C to }125^\circ\text{C}$	80	103		dB
	$V_S = 5.5\text{ V}$ $V_{CM} = -0.1\text{ V to }5.6\text{ V}$ $T_A = -40^\circ\text{C to }125^\circ\text{C}$	57	87		
	$V_S = 2.4\text{ V}$ $(V-) - 0.1\text{ V} < V_{CM} < (V+) - 1.4\text{ V}$ $T_A = -40^\circ\text{C to }125^\circ\text{C}$		88		
	$V_S = 2.4\text{ V}$ $V_{CM} = -0.1\text{ V to }1.9\text{ V}$ $T_A = -40^\circ\text{C to }125^\circ\text{C}$		81		
INPUT BIAS CURRENT					
I_B Input bias current			± 1		pA
I_{OS} Input offset current			± 0.05		pA
NOISE					
E_n Input voltage noise (peak-to-peak)	$V_S = 5\text{ V}$, $f = 0.1\text{ Hz to }10\text{ Hz}$		4.77		μV_{PP}
e_n Input voltage noise density	$V_S = 5\text{ V}$, $f = 10\text{ kHz}$, $R_L = 10\text{ k}\Omega$		8.7		nV/ $\sqrt{\text{Hz}}$
	$V_S = 5\text{ V}$, $f = 1\text{ kHz}$, $R_L = 10\text{ k}\Omega$		16		
i_n Input current noise density	$f = 1\text{ kHz}$		10		fA/ $\sqrt{\text{Hz}}$
INPUT CAPACITANCE					
C_{ID} Differential			2		pF
C_{IC} Common-mode			4		pF
OPEN-LOOP GAIN					
A_{OL} Open-loop voltage gain	$V_S = 2.4\text{ V}$ $(V-) + 0.04\text{ V} < V_O < (V+) - 0.04\text{ V}$ $R_L = 10\text{ k}\Omega$		100		dB
	$V_S = 5.5\text{ V}$ $(V-) + 0.05\text{ V} < V_O < (V+) - 0.05\text{ V}$ $R_L = 10\text{ k}\Omega$	104	130		
	$V_S = 2.4\text{ V}$ $(V-) + 0.06\text{ V} < V_O < (V+) - 0.06\text{ V}$ $R_L = 2\text{ k}\Omega$		100		
	$V_S = 5.5\text{ V}$ $(V-) + 0.15\text{ V} < V_O < (V+) - 0.15\text{ V}$ $R_L = 2\text{ k}\Omega$		130		
FREQUENCY RESPONSE					
GBP Gain bandwidth product	$V_S = 5\text{ V}$, $G = 1$		10		MHz
ϕ_m Phase margin	$V_S = 5\text{ V}$, $G = 1$		55		°
SR Slew rate	$V_S = 5\text{ V}$, $G = 1$		8.5		V/ μs
t_s Settling time	To 0.1%, $V_S = 5\text{ V}$, 2-V step, $G = 1$ $C_L = 100\text{ pF}$		0.5		μs
	To 0.01%, $V_S = 5\text{ V}$, 2-V step, $G = 1$ $C_L = 100\text{ pF}$		1		
t_{OR} Overload recovery time	$V_S = 5\text{ V}$ $V_{OH} \times \text{gain} > V_S$		0.2		μs

Annexe 10



MCP6291, MCP6292, MCP6294

www.ti.com

SBOS879D – JULY 2017 – REVISED OCTOBER 2019

Electrical Characteristics: V_S (Total Supply Voltage) = (V+) – (V–) = 2.4 V to 5.5 V (continued)at $T_A = 25^\circ\text{C}$, $R_L = 10\text{ k}\Omega$ connected to $V_S / 2$, $V_{CM} = V_S / 2$, and $V_{OUT} = V_S / 2$ (unless otherwise noted)

PARAMETER	TEST CONDITIONS	MIN	TYP	MAX	UNIT
THD + N Total harmonic distortion + noise ⁽¹⁾	$V_S = 5\text{ V}$ $V_O = 1\text{ V}_{RMS}$ $G = 1$, $f = 1\text{ kHz}$		0.0008%		
OUTPUT					
V_O Voltage output swing from supply rails	$V_S = 5.5\text{ V}$, $R_L = 10\text{ k}\Omega$ $V_S = 5.5\text{ V}$, $R_L = 2\text{ k}\Omega$			15 50	mV
I_{SC} Short-circuit current	$V_S = 5\text{ V}$		± 50		mA
Z_O Open-loop output impedance	$V_S = 5\text{ V}$, $f = 10\text{ MHz}$		100		Ω
POWER SUPPLY					
I_Q Quiescent current per amplifier	$V_S = 5.5\text{ V}$, $I_O = 0\text{ mA}$		800	1300	μA

(1) Third-order filter, bandwidth = 80 kHz at –3 dB.

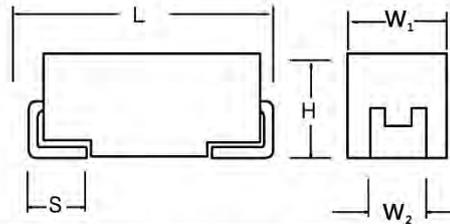
CA45 Chip Tantalum Capacitors (SMD Tantalum Capacitors)

◆ Brief Introduction

General purpose SMT chip tantalum series
 General low power DC/DC and LDO
 Operating Standard: QJ/PWV109-2003
 Factory quality control system: Military Standard GJB90018-2009
 Meets RoHS 2.0, Reach requirement

◆ Specifications

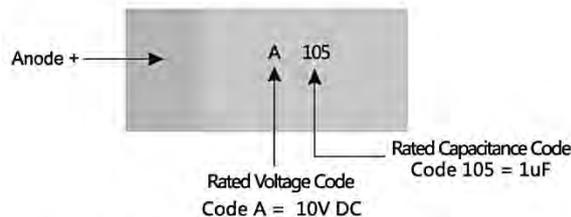
Operating Temperature Range: $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$; $>85^{\circ}\text{C}$ (with rated voltage derating);
 DC Leakage at 25°C : $I_{\text{le}} \leq 0.01C_R U_R$ or $0.5\mu\text{A}$ (Choose the greater one)
 Capacitance Range: $1\mu\text{F} \sim 1000\mu\text{F}$
 Voltage Range: 6.3V, 10V, 16V, 25V, 35V, 50V, 63V, 75V, 100V
 Capacitance Tolerance: K: $\pm 10\%$; M: $\pm 20\%$ ($\pm 20\%$ tolerance is standard)
 SPQ: A,B case: 2000pcs/reel; C,D case: 500pcs/reel; E case: 400pcs/reel
 How to order, please refer to Part Number System



◆ Table 1 Dimensions (Unit: mm)

Case Size		$L \pm 0.2$	$W_1 \pm 0.2$	$H \pm 0.4$	$S \pm 0.2$	$W_2 \pm 0.2$
P	2012	2.00	1.25	1.20	0.50	0.90
A	3216	3.20	1.60	1.60	0.80	1.20
B	3528	3.50	2.80	1.90	0.80	2.20
C	6032	6.00	3.20	2.50	1.30	2.20
D	7343	7.30	4.30	2.80	1.30	2.40
E	7343	7.30	4.30	4.10	1.30	2.40

◆ Marking on Chip Tantalum Capacitor Body



Voltage Code Table for Chip Tantalum Capacitors

CA45 Series Chip Tantalum Capacitors (SMD Tantalum Capacitor) Annexe 11
◆Table 3 Electrical Characteristics

Nominal Capacitance (μF)	Case Code	Max DCL at +25°CμA	Max DF(100Hz) at +25°C	Max ESR (100 kHz) +25°C Ω	Ripple Current (A) 100KHz Max		
					+25°C	+85°C	+125°C
Rated Voltage 20V, Category Voltage 15V							
68.0	E	13.6	6.0	0.9	0.486	0.46	0.307
100	D	20.0	10.0	0.5	0.463	0.439	0.293
100	E	20.0	10.0	0.4	0.574	0.544	0.363
150	D	30.0	10.0	0.9	0.463	0.439	0.293
150	E	30.0	10.0	0.3	0.574	0.544	0.363
220	E	44.0	12.0	0.9	0.574	0.544	0.363
220	V	44.0	12.0	0.9	0.575	0.546	0.375
Rated Voltage 25V, Category Voltage 17V							
0.33	A	0.5	4.0	15.0	0.068	0.065	0.043
0.47	A	0.5	4.0	13.0	0.071	0.067	0.045
0.68	A	0.5	4.0	10.0	0.084	0.079	0.053
0.68	B	0.5	4.0	7.5	0.084	0.079	0.053
1.0	A	0.5	4.0	8.0	0.094	0.089	0.059
1.0	B	0.5	4.0	5.0	0.126	0.12	0.08
1.5	A	0.5	6.0	6.7	0.097	0.092	0.061
1.5	B	0.5	6.0	5.0	0.126	0.12	0.08
2.2	A	0.6	6.0	6.3	0.105	0.1	0.067
2.2	B	0.6	6.0	4.5	0.133	0.126	0.084
2.2	C	0.6	6.0	3.5	0.177	0.168	0.112
3.3	B	0.8	6.0	3.5	0.151	0.143	0.096
3.3	C	0.8	6.0	2.5	0.21	0.199	0.133
4.7	B	1.2	6.0	1.5	0.183	0.173	0.115
4.7	C	1.2	6.0	2.4	0.271	0.257	0.171
6.8	B	1.7	6.0	2.8	0.169	0.16	0.107
6.8	C	1.7	6.0	1.9	0.271	0.257	0.171
10	B	2.5	6.0	2.5	0.271	0.257	0.171
10	C	2.5	6.0	1.5	0.271	0.257	0.171
15	C	3.8	6.0	1.5	0.272	0.256	0.17
15	D	3.8	6.0	0.9	0.271	0.257	0.171
22	C	5.5	6.0	1.4	0.28	0.266	0.177
22	D	5.5	6.0	0.8	0.433	0.411	0.274
33	D	7.5	8.0	0.7	0.463	0.439	0.293
33	E	7.5	6.0	0.9	0.486	0.46	0.307
47	D	11.8	8.0	0.7	0.463	0.439	0.293
47	E	11.8	6.0	0.9	0.486	0.46	0.307
68	E	17	8.0	0.9	0.486	0.46	0.307
68	V	17	8.0	0.7	0.486	0.47	0.308
100	E	25	8.0	0.3	0.464	0.438	0.295
100	V	25	8.0	0.3	0.466	0.437	0.296
150	E	38	8.0	0.8	0.486	0.46	0.307
150	V	38	8.0	0.4	0.487	0.462	0.308



COMPOSANTS & MODULES

COMPOSANT PASSIF

CONDENSATEUR

CONDENSATEUR ALUMINIUM ÉLECTROLYTIQUE : SURFACE MOUNT



AISHi

Visitez le site de la marque

Condensateur aluminium électrolytique : Surface Mount | AISHI

Taille : $\phi 4 - \phi 18$ Voltage : 6.3 V – 450 V Capacité : 2.2 μ F – 1,000 μ F ESR : aussi bas que 10 m Ω

DEVIS SANS ENGAGEMENT

Description

Caractéristiques Techniques

- Taille : $\Phi 4 - \Phi 18$
- Voltage : 6.3 V – 450 V
- Capacité : 2.2 μF – 1,000 μF
- ESR : aussi bas que 10 m Ω
- Durée de vie :
 - jusqu'à 20 000 heures (105°C)
 - jusqu'à 5 000 heures (130°C)
- Capacité de production: 30 mil pcs / mois

Fiche technique

Types	
Electrolytique	

30 autres produits dans la même catégorie



Condensateur au tantale CMS :
CA45



Condensateur aluminium
électrolytique : Radial leaded



Condensateur polymère sol
Radial/ SMD

CONSEILS ET PRÉCONISATIONS CEM

DISTRIBUTEUR



COMPOSANTS & MODULES

COMPOSANT PASSIF

CONDENSATEUR

CONDENSATEUR POLYMÈRE SOLIDE : RADIAL/ SMD



AISHI

Visitez le site de la marque

Condensateur polymère solide : Radial/ SMD | AISHI

Taille : $\phi 4$ – $\phi 18$ Voltage : 2.5 V – 200 V Capacité : 4.7 μ F – 3,300 μ F ESR : aussi bas que 5 m Ω

DEVIS SANS ENGAGEMENT

Description

Caractéristiques Techniques

- Taille : $\Phi 4 - \Phi 18$
- Voltage : 2.5 V – 200 V
- Capacité : 4.7 μF – 3,300 μF
- ESR : aussi bas que 5 m Ω
- Durée de vie :
 - jusqu'à 2 000 heures (105°C)
 - jusqu'à 20 000 heures (85°C)
 - jusqu'à 1 000 heures (150°C)
- Capacité de production: 30 mil pcs / mois

Fiche technique

Types	
Polymère	

30 autres produits dans la même catégorie



Condensateur au tantale CMS :
CA45



Condensateur aluminium
électrolytique : Radial leaded

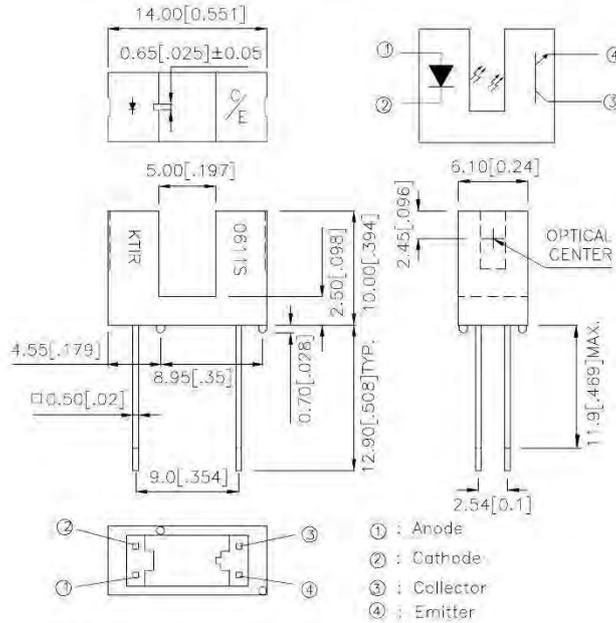


Condensateur aluminium
électrolytique : Surface Mo

CONSEILS ET PRÉCONISATIONS CEM

Part Number: KTIR0611S

Package Dimensions



Features

- Ultra-small.
- Minimal influence from stray light.
- Low collector-emitter saturation voltage.
- RoHS Compliant.

Applications

- Optical control equipment.
- Cameras.
- Floppy disk drives.

Notes:
 1. All dimensions are in millimeters (inches).
 2. Tolerance is $\pm 0.25(0.01)$ unless otherwise noted.
 3. Lead spacing is measured where the leads emerge from the package.
 4. The specifications, characteristics and technical data described in the data-sheet are subject to change without prior notice.

***Absolute Maximum Ratings(Ta=25°C)**

Parameter		Symbol	Rating	Unit
Input	Forward current	I_F	50	mA
	Reverse voltage	V_R	6	V
	Power dissipation	P_d	75	mW
	Peak Forward Current (Pulse Width $\leq 100\mu\text{s}$, Duty Cycle =1%)	I_{FP}	1	A
Output	Collector-emitter voltage	V_{CE0}	35	V
	Emitter-collector voltage	V_{ECO}	6	V
	Collector current	I_C	20	mA
	Collector power dissipation	P_C	75	mW
Operating temperature		T_{opr}	-25~+85	°C
Storage temperature		T_{stg}	-40~+100	°C
soldering temperature (1/16 inch from body for 5 seconds)		T_{sol}	260	°C



SPEC NO: DSAC1844
 APPROVED: WYNEC

REV NO: V.10
 CHECKED: Tracy Deng

DATE: JUN/17/2011
 DRAWN: D.M.Su

PAGE: 1 OF 4
 ERP:1105000004

***Electro-optical Characteristics (Ta=25°C)**

Parameter		Symbol	Conditions	Min.	TYP.	Max.	Unit
Input	Forward Voltage	V_F	$I_F=20mA$	1.0	1.2	1.5	V
	Reverse Current	I_R	$V_R=6V$	-	-	10	μA
	Peak Wavelength	λ_P	$I_F=20mA$	-	940	-	nm
Output	Collector dark current	I_{CEO}	$V_{CE}=20V$	-	-	100	nA
Transfer characteristics	Collector-emitter saturation voltage	$V_{CE(SAT)}$	$I_C=1mA$ $I_F=40mA$	-	-	0.4	V
	Current transfer ratio	CTR	$V_{CE}=5V$ $I_F=20mA$	-	14	-	%
	Response time	Rise time	t_r	$V_{CE}=2V$ $I_C=2mA$ $R_L=100\Omega$	-	5	25
Fall time		t_f		-	4	20	μsec

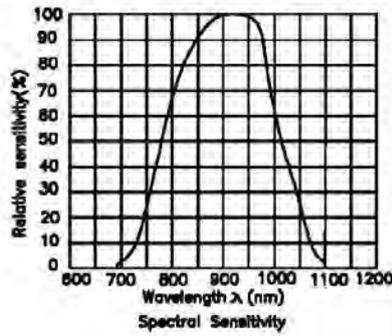


Fig. 1 Forward Current vs. Forward Voltage

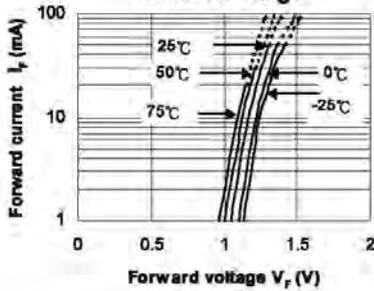


Fig. 2 Collector Current vs. Forward Current

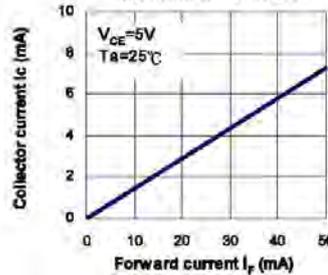
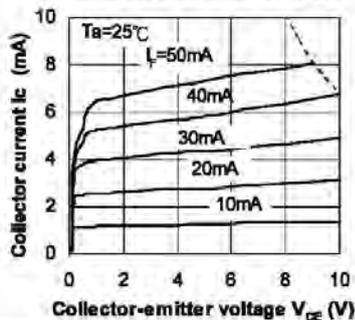


Fig. 3 Collector Current vs. Collector-emitter Voltage



SPEC NO: DSAC1844
APPROVED: WYNEC

REV NO: V.10
CHECKED: Tracy Deng

DATE: JUN/17/2011
DRAWN: D.M.Su

PAGE: 2 OF 4
ERP:1105000004

Fig. 4 Collector Current vs. Ambient Temperature

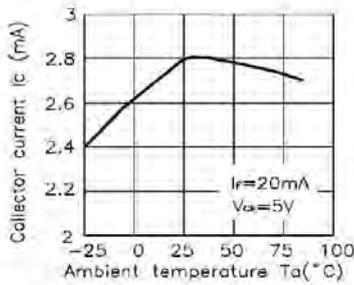


Fig.5 Collector-emitter Saturation Voltage vs. Ambient Temperature

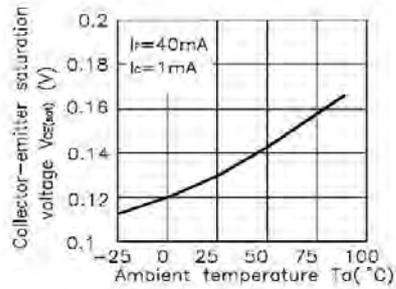


Fig.6 Relative Collector Current vs. Shield Distance (1)

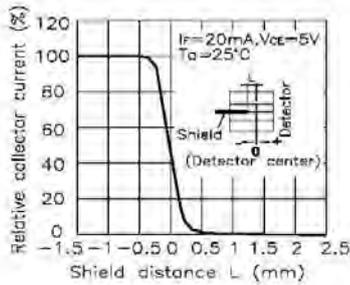


Fig.7 Relative Collector Current vs. Shield Distance (2)

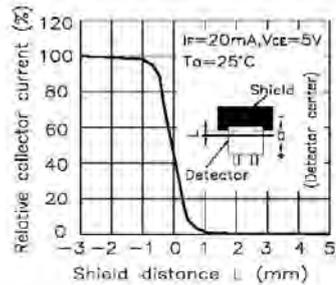
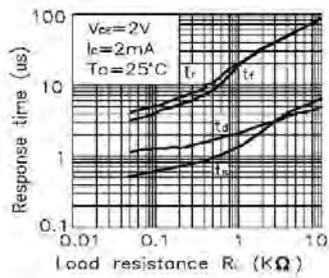
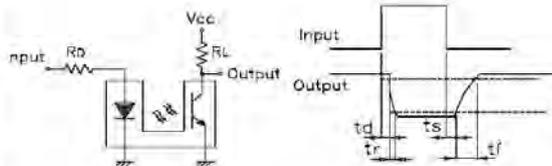


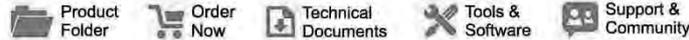
Fig.8 Response Time vs Load Resistance



Test Circuit for Response Time



Annexe 13



LM193-N, LM2903-N, LM293-N, LM393-N
SNOSBJ6G—OCTOBER 1999—REVISED OCTOBER 2018

LMx93-N, LM2903-N Low-Power, Low-Offset Voltage, Dual Comparators

1 Features

- Wide Supply
 - Voltage Range: 2.0 V to 36 V
 - Single or Dual Supplies: ± 1.0 V to ± 18 V
- Very Low Supply Current Drain (0.4 mA) — Independent of Supply Voltage
- Low Input Biasing Current: 25 nA
- Low Input Offset Current: ± 5 nA
- Maximum Offset voltage: ± 3 mV
- Input Common-Mode Voltage Range Includes Ground
- Differential Input Voltage Range Equal to the Power Supply Voltage
- Low Output Saturation Voltage: 250 mV at 4 mA
- Output Voltage Compatible with TTL, DTL, ECL, MOS and CMOS logic systems
- Available in the 8-Bump (12 mil) DSBGA Package
- See AN-1112 (SNVA009) for DSBGA Considerations
- Advantages
 - High Precision Comparators
 - Reduced V_{OS} Drift Over Temperature
 - Eliminates Need for Dual Supplies
 - Allows Sensing Near Ground
 - Compatible with All Forms of Logic
 - Power Drain Suitable for Battery Operation

2 Applications

- Battery Powered Applications
- Industrial Applications

3 Description

The LM193-N series consists of two independent precision voltage comparators with an offset voltage specification as low as 2.0 mV max for two comparators which were designed specifically to operate from a single power supply over a wide range of voltages. Operation from split power supplies is also possible and the low power supply current drain is independent of the magnitude of the power supply voltage. These comparators also have a unique characteristic in that the input common-mode voltage range includes ground, even though operated from a single power supply voltage.

Application areas include limit comparators, simple analog to digital converters; pulse, squarewave and time delay generators; wide range VCO; MOS clock timers; multivibrators and high voltage digital logic gates. The LM193-N series was designed to directly interface with TTL and CMOS. When operated from both plus and minus power supplies, the LM19-N series will directly interface with MOS logic where their low power drain is a distinct advantage over standard comparators.

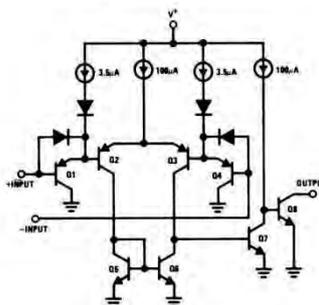
The LM393 and LM2903 parts are available in TI's innovative thin DSBGA package with 8 (12 mil) large bumps.

Device Information⁽¹⁾

PART NUMBER	PACKAGE	BODY SIZE (NOM)
LM193-N	TO-99 (8)	9.08 mm x 9.08 mm
LM293-N		
LM393-N	SOIC (8)	4.90 mm x 3.91 mm
	DSBGA (8)	1.54 mm x 1.54 mm
LM2903-N	SOIC (8)	4.90 mm x 3.91 mm
	DSBGA (8)	1.54 mm x 1.54 mm

(1) For all available packages, see the orderable addendum at the end of the datasheet.

Simplified Schematic



⚠ An IMPORTANT NOTICE at the end of this data sheet addresses availability, warranty, changes, use in safety-critical applications, intellectual property matters and other important disclaimers. PRODUCTION DATA.

Annexe 13



www.ti.com

LM193-N, LM2903-N, LM293-N, LM393-N
SNOSBJ6G –OCTOBER 1999–REVISED OCTOBER 2018

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾	LMx93	UNIT
	TO-99	
	8 PINS	
$R_{\theta JA}$ Junction-to-ambient thermal resistance	170	°C/W

(1) For more information about traditional and new thermal metrics, see the *IC Package Thermal Metrics* application report, SPRA953.

6.5 Electrical Characteristics: LM193A $V^+ = 5\text{ V}$, $T_A = 25^\circ\text{C}$

Unless otherwise stated.

PARAMETER	TEST CONDITIONS	LM193A			UNIT
		MIN	TYP	MAX	
Input Offset Voltage	See ⁽¹⁾ .		1.0	2.0	mV
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $V_{CM} = 0\text{ V}$ ⁽²⁾		25	100	nA
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$ $V_{CM} = 0\text{ V}$		3.0	25	nA
Input Common Mode Voltage Range	$V^+ = 30\text{ V}$ ⁽³⁾	0		$V^+ - 1.5$	V
Supply Current	$R_L = \infty$ $V^+ = 5\text{ V}$ $V^+ = 36\text{ V}$		0.4	1	mA
			1	2.5	mA
Voltage Gain	$R_L \geq 15\text{ k}\Omega$, $V^+ = 15\text{ V}$ $V_O = 1\text{ V}$ to 11 V	50	200		V/mV
Large Signal Response Time	$V_{IN} = \text{TTL Logic Swing}$, $V_{REF} = 1.4\text{ V}$ $V_{RL} = 5\text{ V}$, $R_L = 5.1\text{ k}\Omega$		300		ns
Response Time	$V_{RL} = 5\text{ V}$, $R_L = 5.1\text{ k}\Omega$ ⁽⁴⁾		1.3		μs
Output Sink Current	$V_{IN(-)} = 1\text{ V}$, $V_{IN(+)} = 0$, $V_O = 1.5\text{ V}$	6.0	16		mA
Saturation Voltage	$V_{IN(-)} = 1\text{ V}$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4\text{ mA}$		250	400	mV
Output Leakage Current	$V_{IN(-)} = 0$, $V_{IN(+)} = 1\text{ V}$, $V_O = 5\text{ V}$		0.1		nA

- (1) At output switch point, $V_O = 1.4\text{ V}$, $R_S = 0\ \Omega$ with V^+ from 5 V to 30 V ; and over the full input common-mode range (0 V to $V^+ - 1.5\text{ V}$), at 25°C .
- (2) The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.
- (3) The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3 V . The upper end of the common-mode voltage range is $V^+ - 1.5\text{ V}$ at 25°C , but either or both inputs can go to 36 V without damage, independent of the magnitude of V^+ .
- (4) The response time specified is for a 100 mV input step with 5 mV overdrive. For larger overdrive signals 300 ns can be obtained, see *LMx93 and LM193A Typical Characteristics*.

6.6 Electrical Characteristics: LM193A ($V^+ = 5\text{ V}$)⁽¹⁾

PARAMETER	TEST CONDITIONS	LM193A			UNIT
		MIN	TYP	MAX	
Input Offset Voltage	See ⁽²⁾			4.0	mV
Input Offset Current	$I_{IN(+)} - I_{IN(-)}$, $V_{CM} = 0\text{ V}$			100	nA
Input Bias Current	$I_{IN(+)}$ or $I_{IN(-)}$ with Output in Linear Range, $V_{CM} = 0\text{ V}$ ⁽³⁾			300	nA
Input Common Mode Voltage Range	$V^+ = 30\text{ V}$ ⁽⁴⁾	0		$V^+ - 2.0$	V
Saturation Voltage	$V_{IN(-)} = 1\text{ V}$, $V_{IN(+)} = 0$, $I_{SINK} \leq 4\text{ mA}$			700	mV
Output Leakage Current	$V_{IN(-)} = 0$, $V_{IN(+)} = 1\text{ V}$, $V_O = 30\text{ V}$			1.0	μA
Differential Input Voltage	Keep All V_{IN} 's $\geq 0\text{ V}$ (or V^+ , if Used), ⁽⁵⁾			36	V

- (1) These specifications are limited to $-55^\circ\text{C} \leq T_A \leq +125^\circ\text{C}$, for the LM193/LM193A. With the LM293 all temperature specifications are limited to $-25^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$ and the LM393 temperature specifications are limited to $0^\circ\text{C} \leq T_A \leq +70^\circ\text{C}$. The LM2903 is limited to $-40^\circ\text{C} \leq T_A \leq +85^\circ\text{C}$.
- (2) At output switch point, $V_O = 1.4\text{ V}$, $R_S = 0\ \Omega$ with V^+ from 5 V to 30 V ; and over the full input common-mode range (0 V to $V^+ - 1.5\text{ V}$), at 25°C .
- (3) The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.
- (4) The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3 V . The upper end of the common-mode voltage range is $V^+ - 1.5\text{ V}$ at 25°C , but either or both inputs can go to 36 V without damage, independent of the magnitude of V^+ .
- (5) Positive excursions of input voltage may exceed the power supply level. As long as the other voltage remains within the common-mode range, the comparator will provide a proper output state. The low input voltage state must not be less than -0.3 V (or 0.3 V below the magnitude of the negative power supply, if used).

Annexe 13



LM193-N, LM2903-N, LM293-N, LM393-N

SNOSBJ6G – OCTOBER 1999 – REVISED OCTOBER 2018

www.ti.com

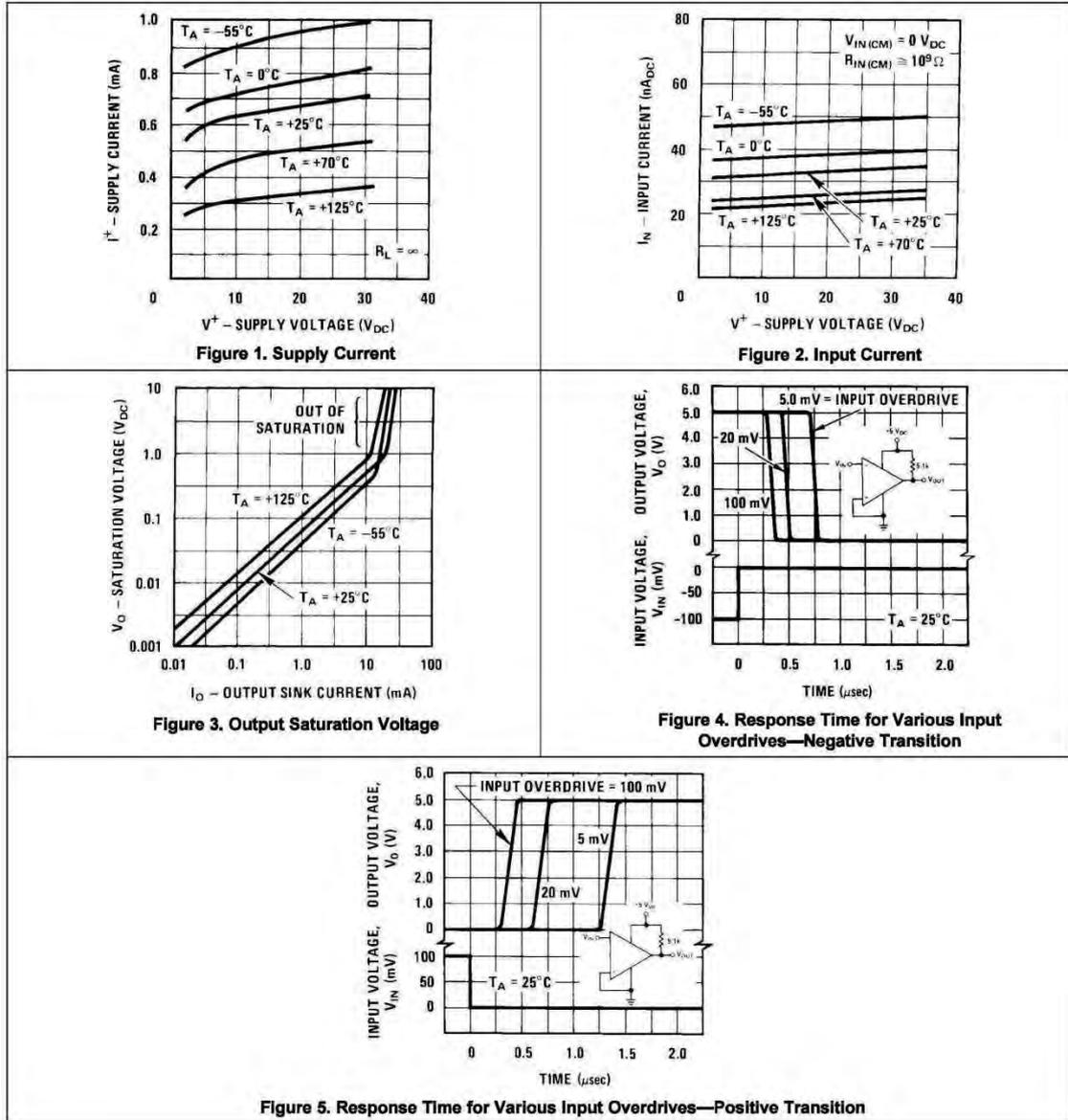
6.7 Electrical Characteristics: LMx93 and LM2903 $V^+ = 5\text{ V}$, $T_A = 25^\circ\text{C}$

Unless otherwise stated.

PARAMETER	TEST CONDITIONS	LM193-N			LM293-N, LM393-N			LM2903-N			UNIT
		MIN	TYP	MAX	MIN	TYP	MAX	MIN	TYP	MAX	
Input Offset Voltage	See (1)		1.0	5.0		1.0	5.0		2.0	7.0	mV
Input Bias Current	$I_{IN}(+)$ or $I_{IN}(-)$ with Output In Linear Range, $V_{CM} = 0\text{ V}$ (2)		25	100		25	250		25	250	nA
Input Offset Current	$I_{IN}(+) - I_{IN}(-)$ $V_{CM} = 0\text{ V}$		3.0	25		5.0	50		5.0	50	nA
Input Common Mode Voltage Range	$V^+ = 30\text{ V}$ (3)	0		$V^+ - 1.5$	0		$V^+ - 1.5$	0		$V^+ - 1.5$	V
Supply Current	$R_L = \infty$ $V^+ = 5\text{ V}$		0.4	1		0.4	1		0.4	1.0	mA
			1	2.5		1	2.5		1	2.5	mA
Voltage Gain	$R_L \geq 15\text{ k}\Omega$, $V^+ = 15\text{ V}$ $V_O = 1\text{ V to } 11\text{ V}$	50	200		50	200		25	100		V/mV
Large Signal Response Time	$V_{IN} = \text{TTL Logic Swing}$, $V_{REF} = 1.4\text{ V}$ $V_{RL} = 5\text{ V}$, $R_L = 5.1\text{ k}\Omega$		300			300			300		ns
Response Time	$V_{RL} = 5\text{ V}$, $R_L = 5.1\text{ k}\Omega$ (4)		1.3			1.3			1.5		μs
Output Sink Current	$V_{IN}(-) = 1\text{ V}$, $V_{IN}(+) = 0$, $V_O \leq 1.5\text{ V}$	6.0	18		8.0	16		6.0	16		mA
Saturation Voltage	$V_{IN}(-) = 1\text{ V}$, $V_{IN}(+) = 0$, $I_{SINK} \leq 4\text{ mA}$	250	400		250	400		250	400		mV
Output Leakage Current	$V_{IN}(-) = 0$, $V_{IN}(+) = 1\text{ V}$, $V_O = 5\text{ V}$		0.1			0.1			0.1		nA

- (1) At output switch point, $V_O \approx 1.4\text{ V}$, $R_S = 0\ \Omega$ with V^+ from 5V to 30V; and over the full input common-mode range (0V to $V^+ - 1.5\text{ V}$), at 25°C .
- (2) The direction of the input current is out of the IC due to the PNP input stage. This current is essentially constant, independent of the state of the output so no loading change exists on the reference or input lines.
- (3) The input common-mode voltage or either input signal voltage should not be allowed to go negative by more than 0.3V. The upper end of the common-mode voltage range is $V^+ - 1.5\text{ V}$ at 25°C , but either or both inputs can go to 36 V without damage, independent of the magnitude of V^+ .
- (4) The response time specified is for a 100 mV input step with 5 mV overdrive. For larger overdrive signals 300 ns can be obtained, see *LMx93 and LM193A Typical Characteristics*.

6.9 Typical Characteristics: LMx93 and LM193A



dsPIC30F4011/4012

8.0 I/O PORTS

Note: This data sheet summarizes features of this group of dsPIC30F devices and is not intended to be a complete reference source. For more information on the CPU, peripherals, register descriptions and general device functionality, refer to the *dsPIC30F Family Reference Manual* (DS70046).

All of the device pins (except VDD, VSS, MCLR and OSC1/CLKIN) are shared between the peripherals and the parallel I/O ports.

All I/O input ports feature Schmitt Trigger inputs for improved noise immunity.

8.1 Parallel I/O (PIO) Ports

When a peripheral is enabled and the peripheral is actively driving an associated pin, the use of the pin as a general purpose output pin is disabled. The I/O pin may be read, but the output driver for the Parallel Port bit will be disabled. If a peripheral is enabled, but the peripheral is not actively driving a pin, that pin may be driven by a port.

All port pins have three registers directly associated with the operation of the port pin. The data direction register (TRISx) determines whether the pin is an input or an output. If the Data Direction bit is a '1', then the pin is an input. All port pins are defined as inputs after a Reset. Reads from the latch (LATx), read the latch. Writes to the latch, write the latch (LATx). Reads from the port (PORTx), read the port pins, and writes to the port pins, write the latch (LATx).

Any bit and its associated data and control registers that are not valid for a particular device will be disabled. That means the corresponding LATx and TRISx registers and the port pin will read as zeros.

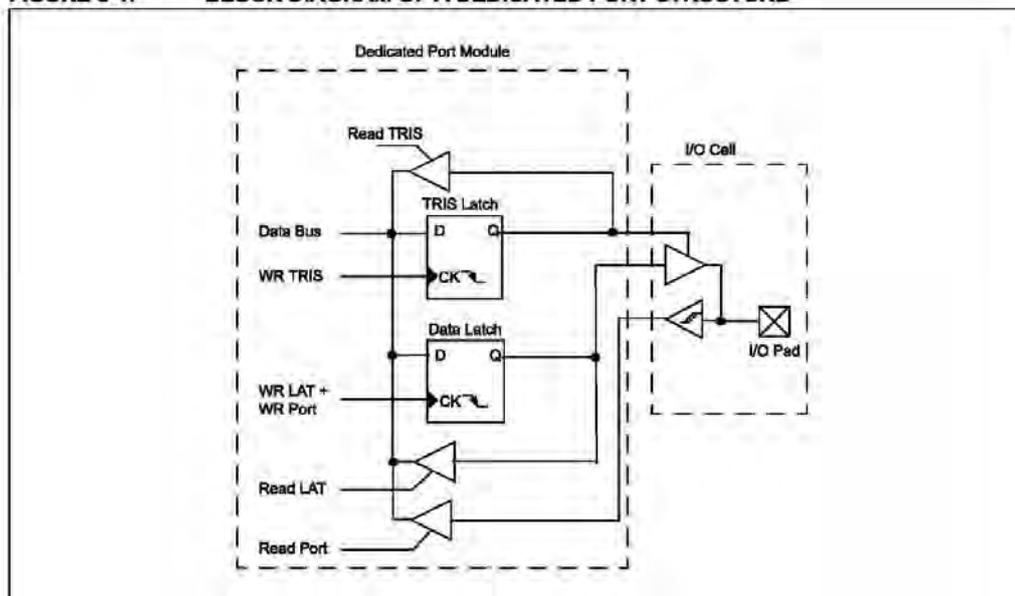
When a pin is shared with another peripheral or function that is defined as an input only, it is nevertheless regarded as a dedicated port because there is no other competing source of outputs. An example is the INT4 pin.

The format of the registers for PORTX are shown in Table 8-1.

The TRISX (Data Direction Control) register controls the direction of the pins. The LATX register supplies data to the outputs, and is readable/writable. Reading the PORTX register yields the state of the input pins, while writing the PORTX register modifies the contents of the LATX register.

A parallel I/O (PIO) port that shares a pin with a peripheral is, in general, subservient to the peripheral. The peripheral's output buffer data and control signals are provided to a pair of multiplexers. The multiplexers select whether the peripheral or the associated port has ownership of the output data and control signals of the I/O pad cell. Figure 8-2 shows how ports are shared with other peripherals, and the associated I/O cell (pad) to which they are connected. Table 8-1 and shows the formats of the registers for the shared ports, PORTB through PORTG.

FIGURE 8-1: BLOCK DIAGRAM OF A DEDICATED PORT STRUCTURE



dsPIC30F4011/4012

TABLE 8-1: dsPIC30F4011 PORT REGISTER MAP

SFR Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State	
TRISB	02C8	—	—	—	—	—	—	—	TRISB8	TRISB7	TRISB6	TRISB5	TRISB4	TRISB3	TRISB2	TRISB1	TRISB0	0000 0001 1111 1111	
PORTB	02C8	—	—	—	—	—	—	—	RB8	RB7	RB6	RB5	RB4	RB3	RB2	RB1	RB0	0000 0000 0000 0000	
LATB	02CB	—	—	—	—	—	—	—	LATB8	LATB7	LATB6	LATB5	LATB4	LATB3	LATB2	LATB1	LATB0	0000 0000 0000 0000	
TRISC	02CC	TRISC15	TRISC14	TRISC13	—	—	—	—	—	—	—	—	—	—	—	—	—	1110 0000 0000 0000	
PORTC	02CE	RC15	RC14	RC13	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000	
LATC	02D0	LATC15	LATC14	LATC13	—	—	—	—	—	—	—	—	—	—	—	—	—	0000 0000 0000 0000	
TRISD	02D2	—	—	—	—	—	—	—	—	—	—	—	—	TRISD3	TRISD2	TRISD1	TRISD0	0000 0000 0000 1111	
PORTD	02D4	—	—	—	—	—	—	—	—	—	—	—	—	RD3	RD2	RD1	RD0	0000 0000 0000 0000	
LATD	02D6	—	—	—	—	—	—	—	—	—	—	—	—	LATD3	LATD2	LATD1	LATD0	0000 0000 0000 0000	
TRISE	02D8	—	—	—	—	—	—	—	TRISE8	—	—	—	TRISE5	TRISE4	TRISE3	TRISE2	TRISE1	TRISE0	0000 0001 0011 1111
PORTE	02DA	—	—	—	—	—	—	—	RE8	—	—	—	RE5	RE4	RE3	RE2	RE1	RE0	0000 0000 0000 0000
LATE	02DC	—	—	—	—	—	—	—	LATE8	—	—	—	LATE5	LATE4	LATE3	LATE2	LATE1	LATE0	0000 0000 0000 0000
TRISF	02EE	—	—	—	—	—	—	—	—	TRISF8	TRISF5	TRISF4	TRISF3	TRISF2	TRISF1	TRISF0	—	—	0000 0000 0111 1111
PORTF	02E0	—	—	—	—	—	—	—	—	RF8	RF5	RF4	RF3	RF2	RF1	RF0	—	—	0000 0000 0000 0000
LATF	02E2	—	—	—	—	—	—	—	—	LATF8	LATF5	LATF4	LATF3	LATF2	LATF1	LATF0	—	—	0000 0000 0000 0000

Legend: u = uninitialized bit

Note: Refer to dsPIC30F Family Reference Manual (DS70046) for descriptions of register bit fields.

dsPIC30F4011/4012

9.0 TIMER1 MODULE

Note: This data sheet summarizes features of this group of dsPIC30F devices and is not intended to be a complete reference source. For more information on the CPU, peripherals, register descriptions and general device functionality, refer to the *dsPIC30F Family Reference Manual* (DS70046).

This section describes the 16-bit General Purpose (GP) Timer1 module and associated operational modes. Figure 9-1 depicts the simplified block diagram of the 16-bit Timer1 Module.

Note: Timer1 is a 'Type A' timer. Please refer to the specifications for a Type A timer in Section 24.0 Electrical Characteristics of this document.

The following sections provide a detailed description, including setup and control registers along with associated block diagrams for the operational modes of the timers.

The Timer1 module is a 16-bit timer which can serve as the time counter for the real-time clock, or operate as a free running interval timer/counter. The 16-bit timer has the following modes:

- 16-bit Timer
- 16-bit Synchronous Counter
- 16-bit Asynchronous Counter

Further, the following operational characteristics are supported:

- Timer gate operation
- Selectable prescaler settings
- Timer operation during CPU Idle and Sleep modes
- Interrupt on 16-bit period register match or falling edge of external gate signal

These operating modes are determined by setting the appropriate bit(s) in the 16-bit SFR, T1CON. Figure 9-1 presents a block diagram of the 16-bit timer module.

16-bit Timer Mode: In the 16-bit Timer mode, the timer increments on every instruction cycle up to a match value, preloaded into the period register PR1, then resets to 0 and continues to count.

When the CPU goes into the Idle mode, the timer will stop incrementing, unless the TSIDL (T1CON<13>) bit = 0. If TSIDL = 1, the timer module logic will resume the incrementing sequence upon termination of the CPU Idle mode.

16-bit Synchronous Counter Mode: In the 16-bit Synchronous Counter mode, the timer increments on the rising edge of the applied external clock signal, which is synchronized with the internal phase clocks. The timer counts up to a match value preloaded in PR1, then resets to 0 and continues.

When the CPU goes into the Idle mode, the timer will stop incrementing, unless the respective TSIDL bit = 0. If TSIDL = 1, the timer module logic will resume the incrementing sequence upon termination of the CPU Idle mode.

16-bit Asynchronous Counter Mode: In the 16-bit Asynchronous Counter mode, the timer increments on every rising edge of the applied external clock signal. The timer counts up to a match value preloaded in PR1, then resets to 0 and continues.

When the timer is configured for the Asynchronous mode of operation and the CPU goes into the Idle mode, the timer will stop incrementing if TSIDL = 1.

dsPIC30F4011/4012

9.4 Timer Interrupt

The 16-bit timer has the ability to generate an interrupt on period match. When the timer count matches the period register, the T1IF bit is asserted and an interrupt will be generated, if enabled. The T1IF bit must be cleared in software. The timer interrupt flag T1IF is located in the IFS0 control register in the Interrupt Controller.

When the Gated Time Accumulation mode is enabled, an interrupt will also be generated on the falling edge of the gate signal (at the end of the accumulation cycle).

Enabling an interrupt is accomplished via the respective Timer Interrupt Enable bit, T1IE. The Timer Interrupt Enable bit is located in the IEC0 control register in the Interrupt Controller.

9.5 Real-Time Clock

Timer1, when operating in Real-Time Clock (RTC) mode, provides time-of-day and event time stamping capabilities. Key operational features of the RTC are:

- Operation from 32 kHz LP oscillator
- 8-bit prescaler
- Low power
- Real-Time Clock Interrupts

These Operating modes are determined by setting the appropriate bit(s) in the T1CON Control register

9.5.1 RTC OSCILLATOR OPERATION

When the TON = 1, TCS = 1 and TGATE = 0, the timer increments on the rising edge of the 32 kHz LP oscillator output signal, up to the value specified in the period register, and is then reset to '0'.

The TSYNC bit must be asserted to a logic '0' (Asynchronous mode) for correct operation.

Enabling LPOSCEN (OSCCON<1>) will disable the normal Timer and Counter modes and enable a timer carry-out wake-up event.

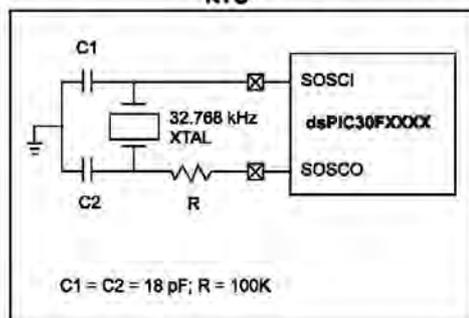
When the CPU enters Sleep mode, the RTC will continue to operate, provided the 32 kHz external crystal oscillator is active and the control bits have not been changed. The TSIDL bit should be cleared to '0' in order for RTC to continue operation in Idle mode.

9.5.2 RTC INTERRUPTS

When an interrupt event occurs, the respective interrupt flag, T1IF, is asserted and an interrupt will be generated, if enabled. The T1IF bit must be cleared in software. The respective Timer interrupt flag, T1IF, is located in the IFS0 status register in the Interrupt Controller.

Enabling an interrupt is accomplished via the respective Timer Interrupt Enable bit, T1IE. The Timer Interrupt Enable bit is located in the IEC0 control register in the Interrupt Controller.

FIGURE 9-2: RECOMMENDED COMPONENTS FOR TIMER1 LP OSCILLATOR RTC



dsPIC30F4011/4012

TABLE 9-1: TIMER1 REGISTER MAP

Register Name	Addr.	Bit 15	Bit 14	Bit 13	Bit 12	Bit 11	Bit 10	Bit 9	Bit 8	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0	Reset State
TMR1	0100																	uuuu uuuu uuuu uuuu
PR1	0102																	1111 1111 1111 1111
T1CON	0104	TON	TSIDL							TGATE	TCKPS1	TCKPS0	TSYNC	TCS				0000 0000 0000 0000

Legend: u = uninitialized bit

Note: Refer to dsPIC30F Family Reference Manual (DS70046) for descriptions of register bit fields.

dsPIC30F4011/4012

24.2 AC Characteristics and Timing Parameters

The information contained in this section defines dsPIC30F AC characteristics and timing parameters.

TABLE 24-12: TEMPERATURE AND VOLTAGE SPECIFICATIONS – AC

AC CHARACTERISTICS	Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated)
	Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended Operating voltage V_{DD} range as described in DC Spec Section 24.0.

FIGURE 24-2: LOAD CONDITIONS FOR DEVICE TIMING SPECIFICATIONS

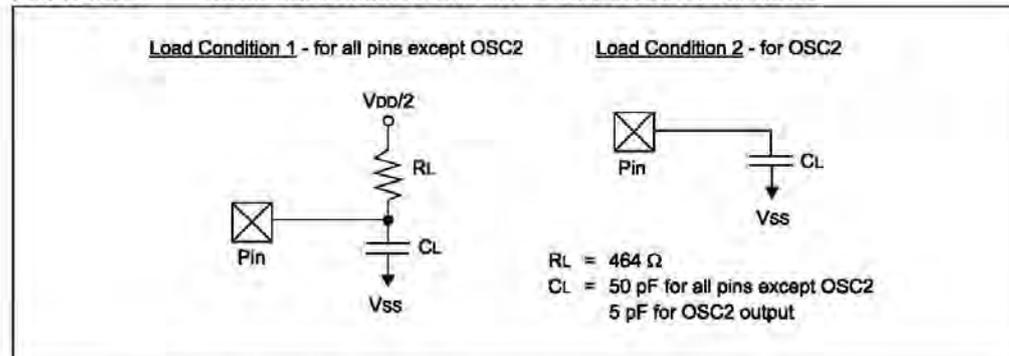
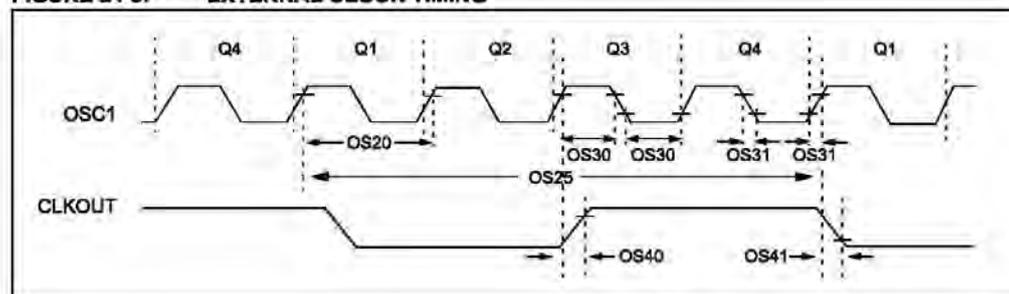


FIGURE 24-3: EXTERNAL CLOCK TIMING



dsPIC30F4011/4012

TABLE 24-13: EXTERNAL CLOCK TIMING REQUIREMENTS

AC CHARACTERISTICS			Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature $-40^{\circ}\text{C} \leq T_A \leq +85^{\circ}\text{C}$ for Industrial $-40^{\circ}\text{C} \leq T_A \leq +125^{\circ}\text{C}$ for Extended				
Param No.	Symbol	Characteristic	Min	Typ ⁽¹⁾	Max	Units	Conditions
OS10	Fosc	External CLKIN Frequency ⁽²⁾ (External clocks allowed only in EC mode)	DC	—	40	MHz	EC
			4	—	10	MHz	EC with 4x PLL
			4	—	10	MHz	EC with 8x PLL
			4	—	7.5	MHz	EC with 16x PLL
		Oscillator Frequency ⁽²⁾	DC	—	4	MHz	RC
			0.4	—	4	MHz	XTL
			4	—	10	MHz	XT
			4	—	10	MHz	XT with 4x PLL
			4	—	10	MHz	XT with 8x PLL
			4	—	7.5	MHz	XT with 16x PLL
			10	—	25	MHz	HS
			31	—	33	kHz	LP
			—	7.3728	—	MHz	FRC internal
			—	512	—	kHz	LPRC internal
OS20	Tosc	Tosc = 1/Fosc	—	—	—	—	See parameter OS10 for Fosc value
OS25	Tcy	Instruction Cycle Time ⁽²⁾⁽³⁾	33	—	DC	ns	See Table 24-15
OS30	TosL, TosH	External Clock ⁽²⁾ in (OSC1) High or Low Time	.45 x Tosc	—	—	ns	EC
OS31	TosR, TosF	External Clock ⁽²⁾ in (OSC1) Rise or Fall Time	—	—	20	ns	EC
OS40	TckR	CLKOUT Rise Time ⁽²⁾⁽⁴⁾	—	6	10	ns	
OS41	TckF	CLKOUT Fall Time ⁽²⁾⁽⁴⁾	—	6	10	ns	

Note 1: Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

2: These parameters are characterized but not tested in manufacturing.

3: Instruction cycle period (Tcy) equals four times the input oscillator time-base period. All specified values are based on characterization data for that particular oscillator type under standard operating conditions with the device executing code. Exceeding these specified limits may result in an unstable oscillator operation and/or higher than expected current consumption. All devices are tested to operate at "min." values with an external clock applied to the OSC1/CLK1 pin. When an external clock input is used, the "Max." cycle time limit is "DC" (no clock) for all devices.

4: Measurements are taken in EC or ERC modes. The CLKOUT signal is measured on the OSC2 pin. CLKOUT is low for the Q1-Q2 period (1/2 Tcy) and high for the Q3-Q4 period (1/2 Tcy).

dsPIC30F4011/4012

TABLE 24-14: PLL CLOCK TIMING SPECIFICATIONS (V_{DD} = 2.5 TO 5.5 V)

AC CHARACTERISTICS		Standard Operating Conditions: 2.5V to 5.5V (unless otherwise stated) Operating temperature -40°C ≤ TA ≤ +85°C for Industrial -40°C ≤ TA ≤ +125°C for Extended					
Param No.	Symbol	Characteristic ⁽¹⁾	Min	Typ ⁽²⁾	Max	Units	Conditions
OS50	FPLI	PLL Input Frequency Range ⁽²⁾	4	—	10	MHz	EC, XT modes with PLL
OS51	Fsys	On-chip PLL Output ⁽²⁾	16	—	120	MHz	EC, XT modes with PLL
OS52	TLoc	PLL Start-up Time (Lock Time)	—	20	50	μs	
OS53	DCLK	CLKOUT Stability (Jitter)	TBD	1	TBD	%	Measured over 100 ms period

Note 1: These parameters are characterized but not tested in manufacturing.

Note 2: Data in "Typ" column is at 5V, 25°C unless otherwise stated. Parameters are for design guidance only and are not tested.

TABLE 24-15: INTERNAL CLOCK TIMING EXAMPLES

Clock Oscillator Mode	Fosc (MHz) ⁽¹⁾	Tcy (μsec) ⁽²⁾	MIPS ⁽³⁾ w/o PLL	MIPS ⁽³⁾ w PLL x4	MIPS ⁽³⁾ w PLL x8	MIPS ⁽³⁾ w PLL x16
EC	0.200	20.0	0.05	—	—	—
	4	1.0	1.0	4.0	8.0	16.0
	10	0.4	2.5	10.0	20.0	—
	25	0.16	6.25	—	—	—
XT	4	1.0	1.0	4.0	8.0	16.0
	10	0.4	2.5	10.0	20.0	—

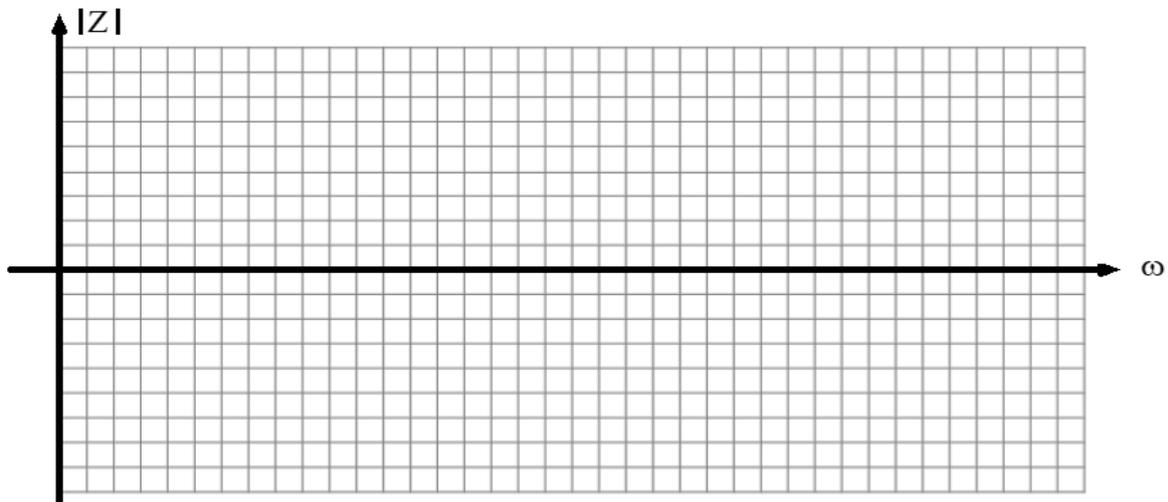
Note 1: Assumption: Oscillator Postscaler is divide by 1.

Note 2: Instruction Execution Cycle Time: Tcy = 1 / MIPS.

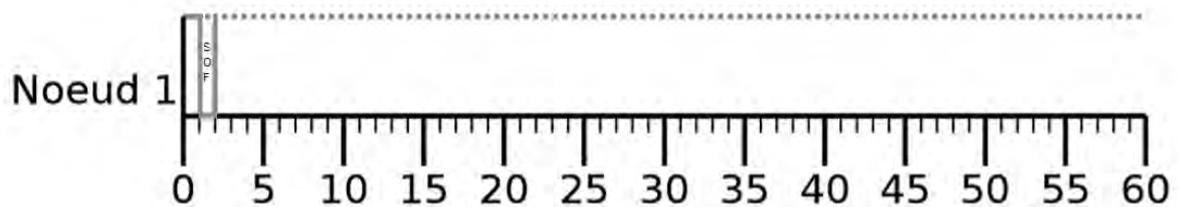
Note 3: Instruction Execution Frequency: MIPS = (Fosc * PLLx) / 4 [since there are 4 Q clocks per instruction cycle].

NE RIEN ECRIRE DANS CE CADRE

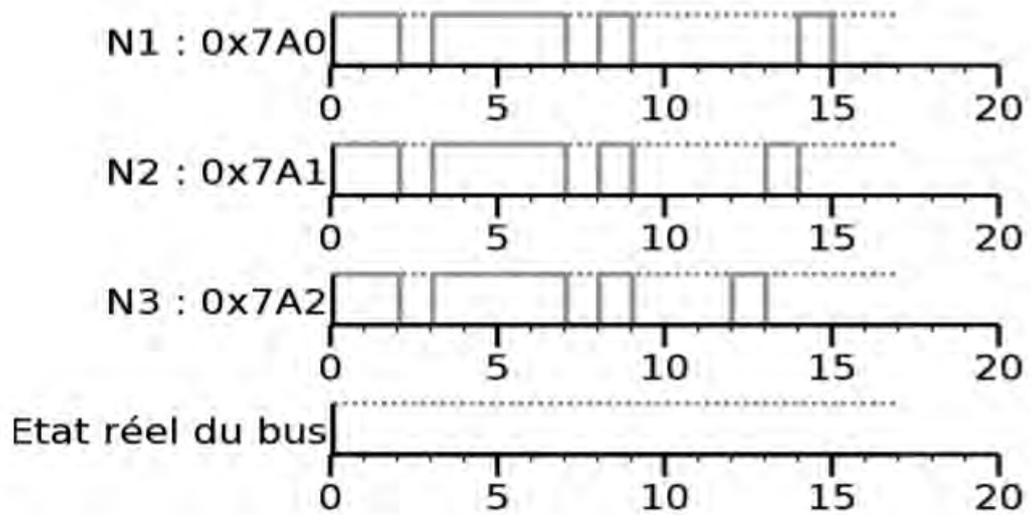
DR1 Question A-3 :



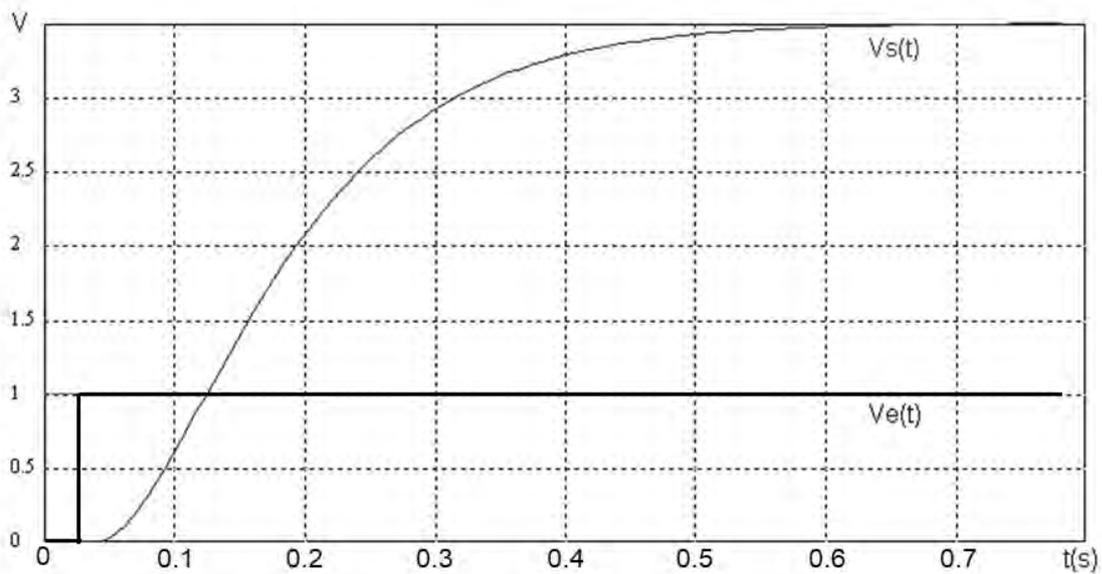
DR1 Question B-4 :



DR2 Question B-5 :

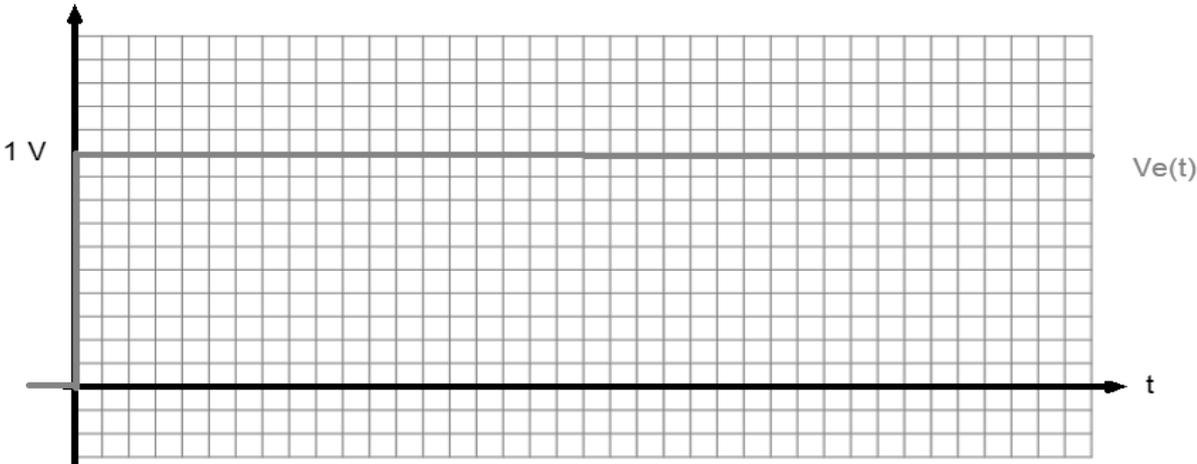


DR2 Question C-1 :

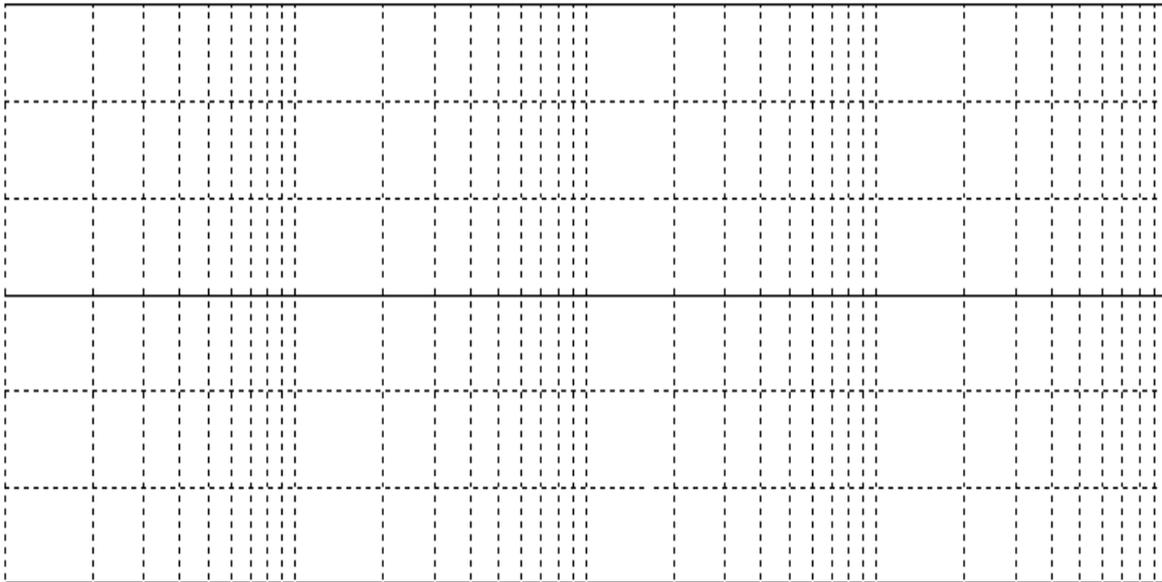


Description de la méthode :

DR3 Question C-3 :



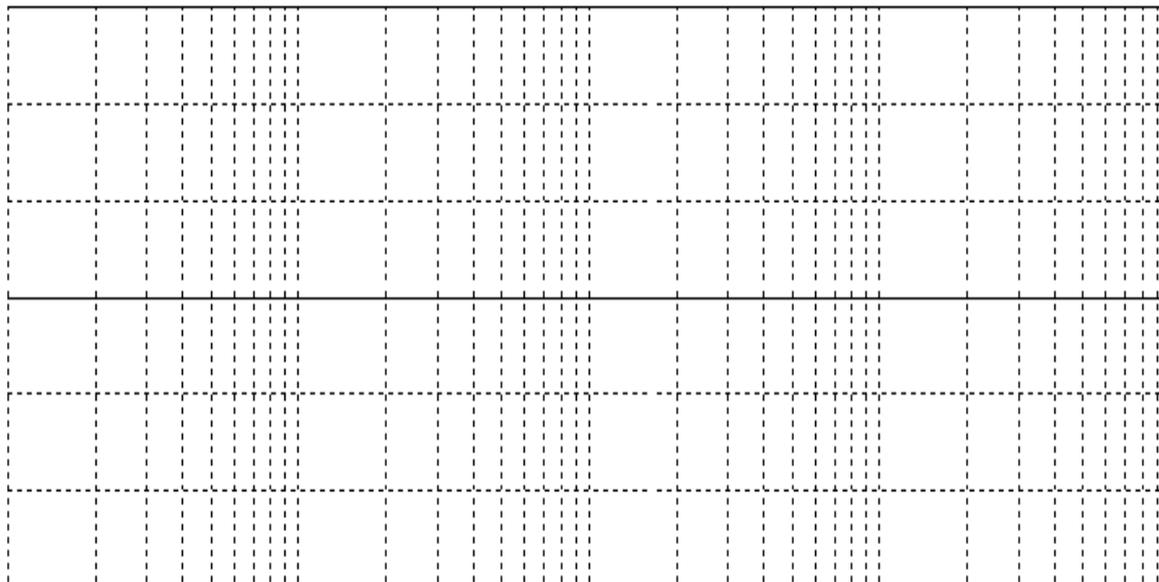
[dB]



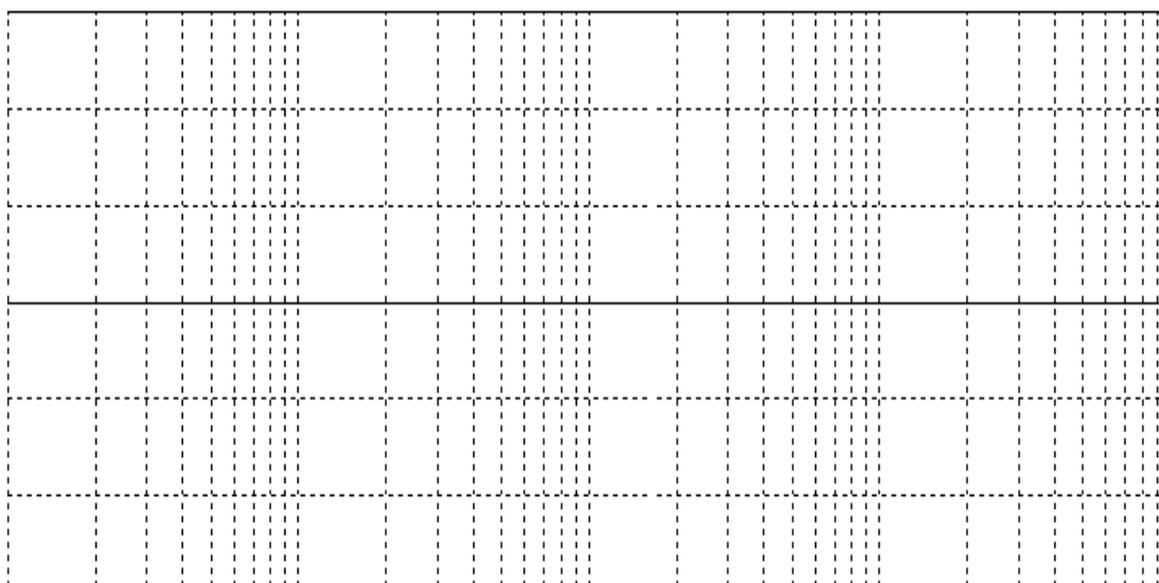
NE RIEN ECRIRE DANS CE CADRE

DR4 Question C-4 :

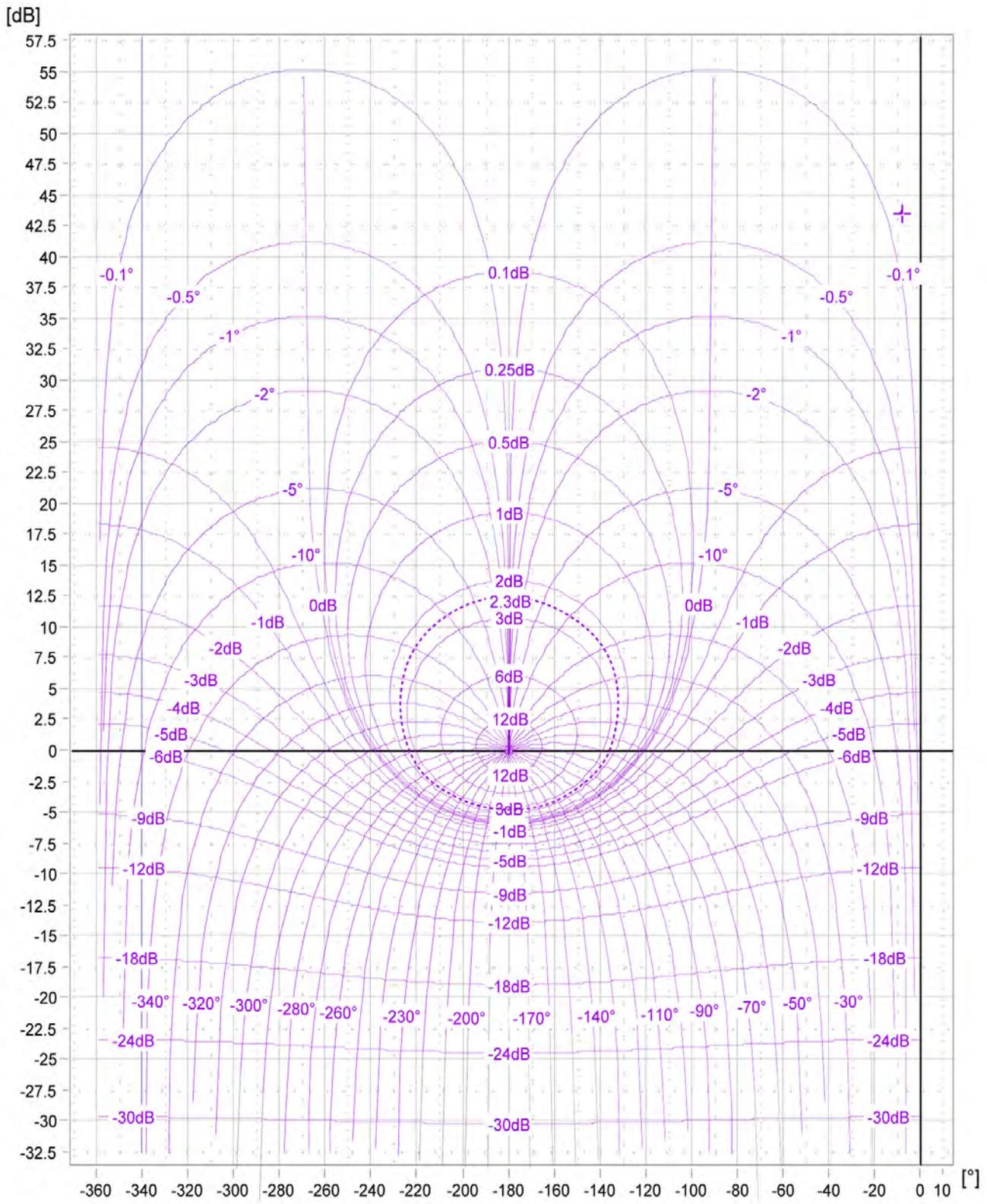
[dB]



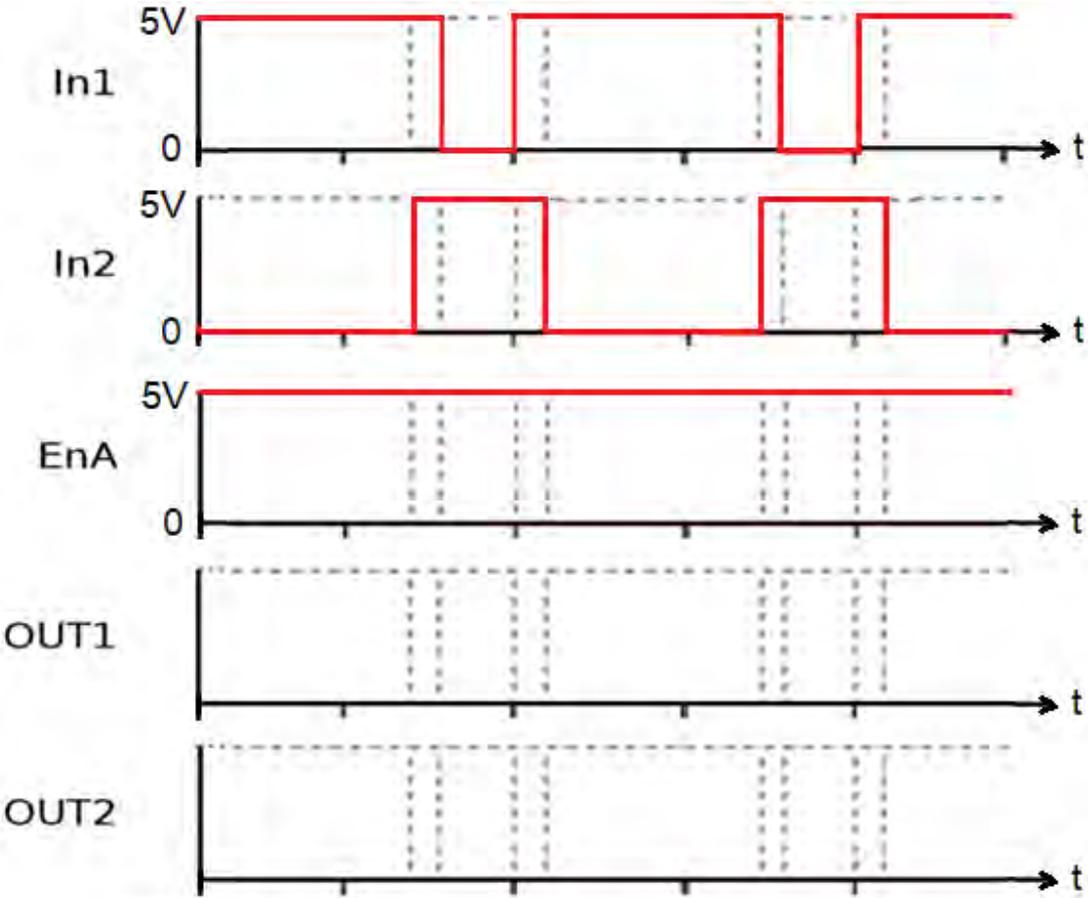
[°]



DR5 Question C-5 / C-6 :



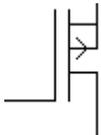
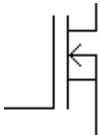
DR6 Question D-1 :



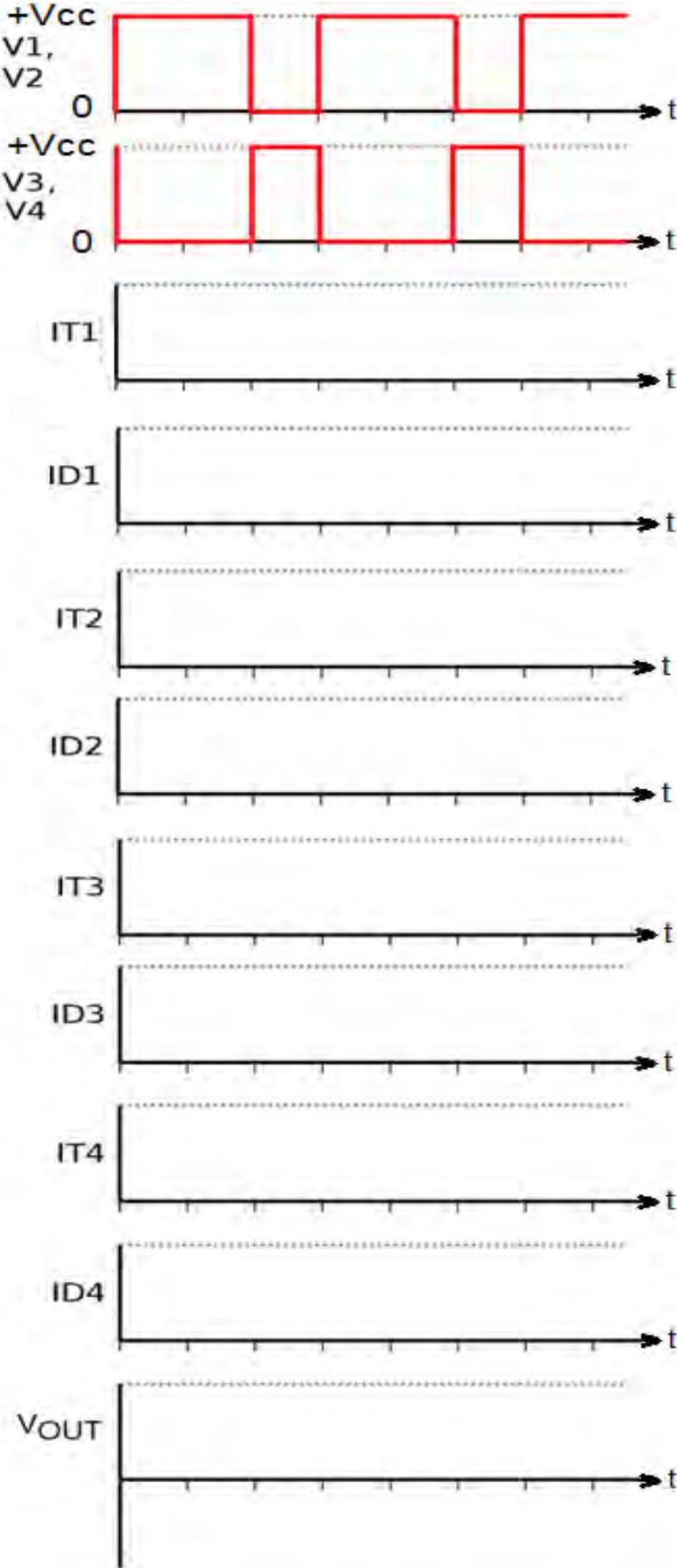
Transistor								
T1								
T2								
T3								
T4								

NE RIEN ECRIRE DANS CE CADRE

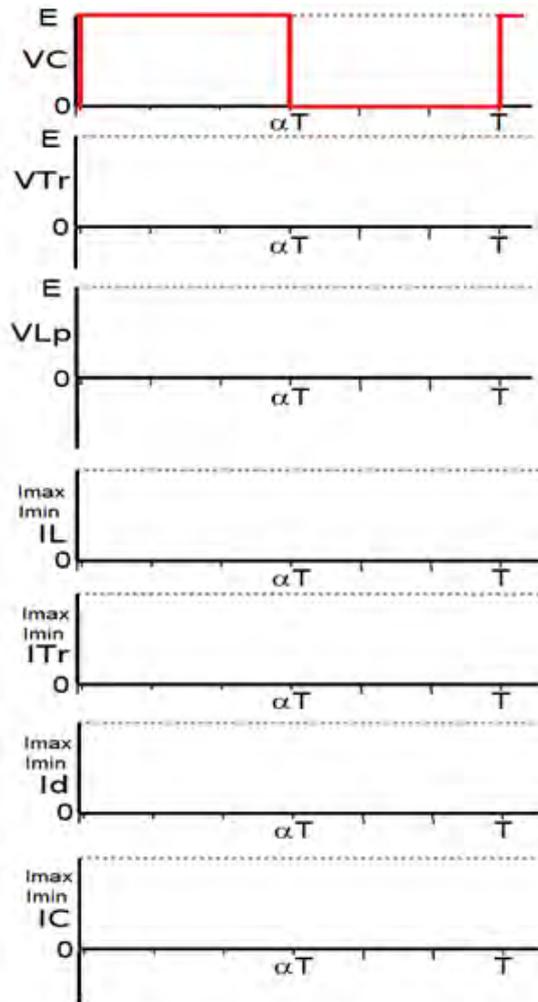
DR7 Question D-6 :

Transistor T1	Type :	Transistor T2	Type :
	Nom des broches		Nom des broches
Tension de commande 1	Etat :	Tension de commande 1	Etat :
Tension de commande 2	Etat :	Tension de commande 2	Etat :

DR8 Question D-7 :



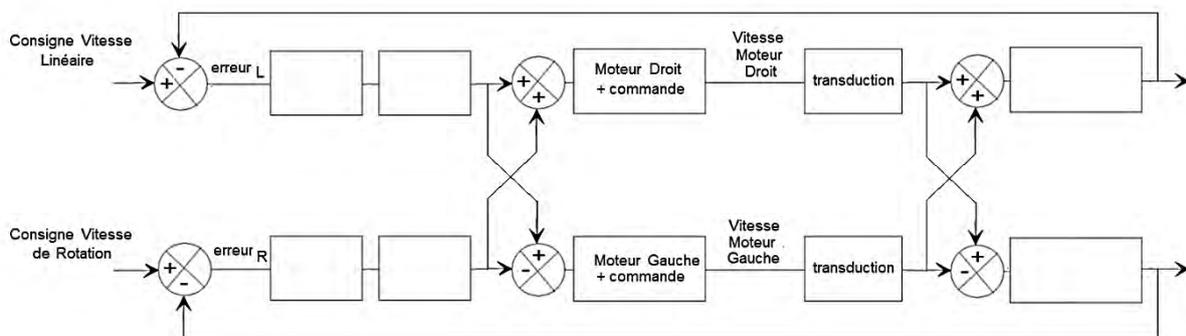
DR9 Question F-1 :



DR9 Question G-5 :

Flux lumineux diode	Vco	Vout
Obturé par le disque		
Non obturé		

DR9 Question G-6 :



NE RIEN ECRIRE DANS CE CADRE

DR10 Question H-1 :

```
#include "general.h"
#include "general_private.h"
```

```
_FOSC(CSW_FSCM_OFF & XT_PLL16)
_FWDT(WDT_OFF)
_FBORPOR(FBOR_OFF & FWRT_OFF & MCLR_EN)
_FUS(CODE_PROT_OFF)
_FICD(ICS_FGDI)
```

```
Parameters general P = {1.0, 50.0, 25.0, 0.0};
BlockIO general B;
D_Work general DWork;
```

```
void Step(void)
```

```
{
    real_T rtb_LEDclignotante;
```

```
rtb_LEDclignotante = ((real_T)general_DWork.clockTickCounter < general_P.LEDclignotante_Duty) &&
    (general_DWork.clockTickCounter >= 0L) ? general_P.LEDclignotante_Amp : 0.0;
```

```
if ((real_T)general_DWork.clockTickCounter >= general_P.LEDclignotante_Period - 1.0)
```

```
{
    general_DWork.clockTickCounter = 0L;
```

```
else
    general_DWork.clockTickCounter = general_DWork.clockTickCounter + 1L;
```

```
}
```

```
general_B.DataTypeConversion7 = (rtb_LEDclignotante != 0.0);
```

```
LAIbBits.LAIbD2 = general_B.DataTypeConversion7;
```

```
void initialize(void)
```

```
{
    (void) memset((void *) &general_B, 0,
        sizeof(BlockIO general));
    (void) memset((void *) &general_DWork, 0,
        sizeof(D_Work general));
```

```
ConfigIntTimer(TI_INT_PRIOR_0 & TI_INT_OFF);
TIOCON = 0x6040;
PR1 = 9999;
```

```
TRISD = 65533;
```

```
ADCFEG = 00;
```

```
general_DWork.clockTickCounter = 0L;
```

```
int main(void)
```

```
{
    initialize();
```

```
    while (1)
```

```
    {
        while (!TIIF);
```

```
        _TIIF = 0;
```

```
        Step();
```

```
    }
```